9

Perifere schakelingen voor microprocessoren

Inhoud

■/■■ reeds gepubliceerd
■/■■ gepland voor de volgende aanvullingen

9/1

Bus-schakelaars

Inhoud

QS32861	10 bit N-kanaals CMOS bus-schakelaar met flow-through pinout, 25 Ω
QS32X861	20 bit N-kanaals CMOS bus-schakelaar met flow-through pinout, 5 Ω
QS32XR861	20 bit N-kanaals CMOS bus-schakelaar met flow-through pinout, 2,5 Ω
QS32862	10 bit N-kanaals CMOS bus-schakelaar met actief HOGE en LAGE enables, 25 Ω
QS32X862	20 bit N-kanaals CMOS bus-schakelaar met actief HOGE en LAGE enables, 5 Ω
QS32XR862	20 bit N-kanaals CMOS bus-schakelaar met actief HOGE en LAGE enables, 2,5 Ω
QS34X245	32 bit N-kanaals CMOS bus-schakelaar, 5 Ω
QS34XR245	32 bit N-kanaals CMOS bus-schakelaar, 2,5 Ω
QS34XR800	32 bit N-kanaals CMOS bus-schakelaar met voorspanning op de uitgangen, 2,5 Ω
QS35861	10 bit N-kanaals CMOS bus-schakelaar met 50 Ω serieweerstand
QS316211	24 bit N-kanaals CMOS bus-schakelaar, 5 Ω
QS316245	16 bit N-kanaals CMOS Widebus compatibele bus-schakelaar, 5 Ω
QS32X2245	16 bit N-kanaals CMOS bus-schakelaar, 25 Ω
QS32X2384	20 bit N-kanaals CMOS bus-schakelaar, 25 Ω
QS32XL2384	20 bit N-kanaals low-power CMOS bus-schakelaar, 25 Ω
QS32X2861	20 bit N-kanaals CMOS bus-schakelaar met flow-through pinout, 25 Ω
QS32X2862	20 bit N-kanaals CMOS bus-schakelaar met actief HOGE en LAGE enables, 25 Ω
QS34X2245	32 bit N-kanaals CMOS bus-schakelaar, 25 Ω
QS3162211	24 bit N-kanaals CMOS bus-schakelaar met "flow-thru" aansluitingen, 25 Ω

9/1.3 Type-beschrijving QuickSwitch bus-exchange en hot swap schakelaars

(aanvulling 81)

QS3VH125	4 N-kanaals hot-switches, 4 Ω, 3,3 V, enable aktief-LAAG
QS3VH126	4 N-kanaals hot-switches, 4 Ω, 3,3 V, enable aktief-HOOG
QS3VH245	8 bit N-kanaals hot-switch, 4 Ω, 3,3 V
QS3VH257	4 N-kanaals 2:1 mux/demux hot-switches, 4 Ω, 3,3 V
QS3383	10 bit N-kanaals bus-exchange switch, 5 Ω, 5 V
QS3L383	10 bit low power N-kanaals bus-exchange switch, 5 Ω, 5 V
QS3388	5 N-kanaals bus-exchange switches met actieve afsluiting, 5 Ω, 5 V
QS3L388	5 low power N-kanaals bus-exchange switches met actieve afsluiting, 5 Ω, 5 V
QS3B491	geklokte N-kanaals CMOS 4 poort x 9 bit crossbar switch, 8 Ω, 5 V
QS3VH2245	8 bit N-kanaals hot-switch, met serieweerstand 27 Ω, 3,3 V
QS32XVH245	16 bit N-kanaals hot-switch, 4 Ω, 3,3 V

QS32383	10 bit N-kanaals bus-exchange switch, met serieweerstand 25 Ω, 5 V
QS3L2383	10 bit low power N-kanaals bus-exchange switch, met serieweerstand 25 Ω, 5 V
QS32X383	20 bit N-kanaals bus-exchange switch, 5 Ω, 5 V
QS32XL383	20 bit low power N-kanaals bus-exchange switch, 5 Ω, 5 V
QS3B2491	geklokte N-kanaals CMOS 4 poort x 9 bit crossbar switch, 33 Ω, 5 V
QS34XVH245	32 bit N-kanaals hot-switch, 4 Ω, 3,3 V
(aanvulling 82)	
QS34X383	32 bit N-kanaals bus-exchange switch, 5 Ω, 5 V
QS316209	18 bit N-kanaals bus-exchange switch, 5 Ω, 5 V
QS316212	24 bit N-kanaals bus-exchange switch, 5 Ω, 5 V
QS316213	24 bit N-kanaals bus-exchange switch met A1=A2=B2 functie, 5 Ω, 5 V
QS32X2383	20 bit N-kanaals bus-exchange switch, 28 Ω, 5 V
QS32XL2383	20 bit low power N-kanaals bus-exchange switch, 28 Ω, 5 V
QS3162209	18 bit N-kanaals bus-exchange switch, 28 Ω, 5 V
QS3162212	24 bit N-kanaals bus-exchange switch, 28 Ω, 5 V
QS3162213	24 bit N-kanaals bus-exchange switch met A1=A2=B2 functie, 28 Ω, 5 V

9/1.1

Achtergrond-informatie

Werkingsprincipes

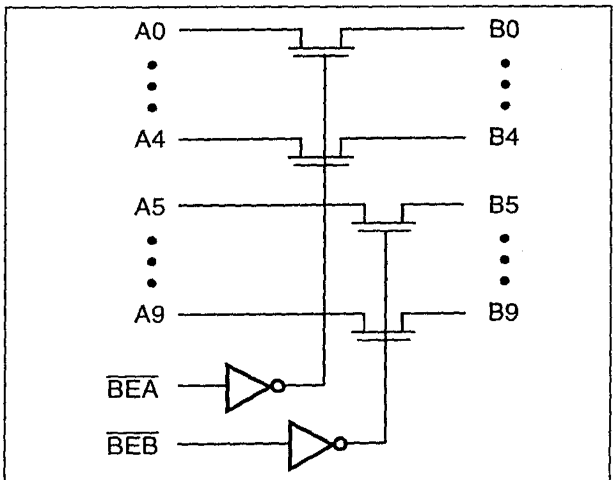
Inleiding

Bij de communicatie via bussen biedt het voordelen om speciale CMOS bus-schakelaars te gebruiken voor de besturing van de signalen hierover.
Deze bus-schakelaars bieden de volgende voordelen en mogelijkheden:
- er ontstaat geen vertraging;
- de bus-schakelaars zijn altijd volkomen bidirectioneel;
- conversie van 5 V logica naar 3 V logica is eenvoudig mogelijk;
- er kunnen grote, snelle dual-port RAM's mee worden gemaakt;
- ook "hot-plug" mogelijk.

Eigenschappen

Als voorbeeld worden de QS3383 en QS3384 CMOS bus-schakelaars van Quality Semiconductor behandeld. Als ze enabled zijn, worden twee buslijnen direct met elkaar verbonden via een weerstand van nog geen 5 Ω. Ze gedragen zich als een 5 ns meerpolig relais voor TTL-signalen met een ON-weerstand van 5 Ω. Aangezien deze schakelaars de bus-signalen direct verbinden, introduceren zij geen extra vertraging, timing-skew (zie ook het hoofdstuk "clock-drivers") of ruis, terwijl zij ook inherent bidirectioneel zijn en geen extra vermogen dissiperen. De bus-schakelaars zijn zodoende zeer geschikt om traditionele TTL buffers en transceivers te vervangen.
In figuur 9/1.1-1 is het blokschema van de QS3384 CMOS bus-schakelaar te zien.

Deze schakeling bestaat uit tien schakelaars, verdeeld over twee banken van 5 stuks. Hierdoor kan de QS3384 worden gebruikt als 10 bit schakelaar of als 5 bit 2-naar-1 multiplexer (zie ook de waarheidstabel 9/1.1-1).



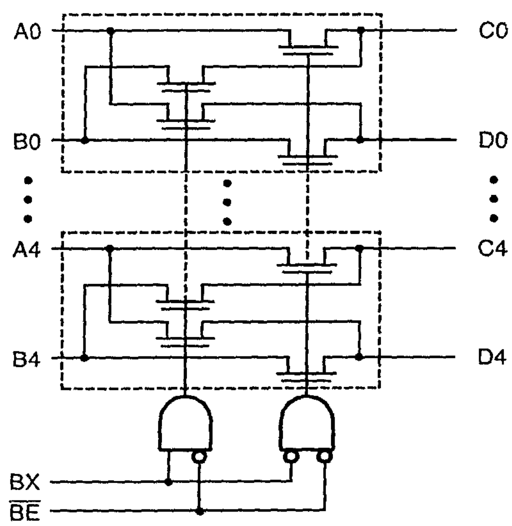
Figuur 9/1.1-1: Blokschema van de 10-kanaals bus-schakelaar QS3384.

$\overline{BEA}$	$\overline{BEB}$	B4-B0	B9-B5	Function
H	H	Hi-Z	Hi-Z	Disconnect
L	H	A4-A0	Hi-Z	Connect
H	L	Hi-Z	A9-A5	Connect
L	L	A4-A0	A9-A5	Connect

Tabel 9/1.1-1: Waarheidstabel van de QS3384.

1.1 Achtergrond-informatie

Het blokschema van een ander type, de QS3383 CMOS bus-exchange schakelaar is te zien in figuur 9/1.1-2. Deze component bestaat uit twee banken van 10 schakelaars die zodanig zijn verbonden dat twee groepen van 5 signalen kunnen worden doorgelaten of verwisseld. Hierdoor kan de QS3383 zowel worden gebruikt als 10 bit schakelaar of als 5 bit twee-richtings bus-wissel schakelaar (zie ook tabel 9/1.1-2). De QS3383 is vooral bruikbaar voor wissel- en routing-operaties, zoals byte-swap, crossbar matrices en RAM sharing.



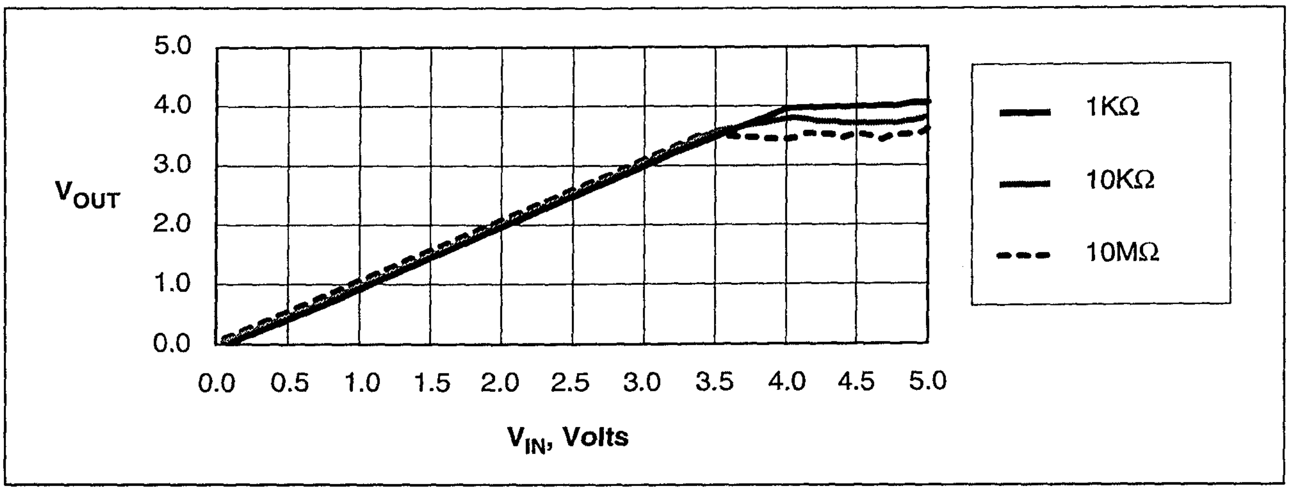
Figuur 9/1.1-2: Blokschema van de QS3383 bus-exchange schakelaar.

$\overline{BE}$	BX	A4-A0	B4-B0	Function
H	X	Hi-Z	Hi-Z	Disconnect
L	L	C4-C0	D4-D0	Connect
L	H	D4-D0	C4-C0	Exchange

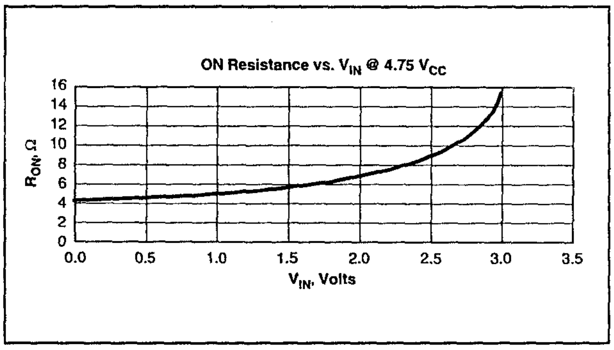
Tabel 9/1.1-2: Waarheidstabel van de QS3383.

Elke schakelaar is opgebouwd uit een N-kanaals MOS transistor die wordt aangestuurd door een CMOS-poort. Als de schakelaar is vrijgegeven (enabled) bevindt de gate van de N-kanaals transistor zich op V_{CC}-niveau (+5 V) en is de schakelaar AAN. Voor lage I/O-spanningen (nabij GND) hebben deze schakelingen een ON-weerstand van minder dan 5 Ω en kunnen zij stroomsterkten van ruim 64 mA per kanaal verwerken. Bij hogere I/O-spanningen (bijvoorbeeld TTL-HOOG: 2,4 V) neemt de weerstand iets toe. In dit gebied zijn de A en B pennen (van de QS3384) stevig met elkaar verbonden en wordt de bus-schakelaar op dezelfde manier gespecificeerd als een TTL-schakeling. Wanneer de I/O-spanning tot circa 4 V stijgt, begint de transistor “af te knijpen” (pinch-off), waardoor de voor de belasting beschikbare stroom wordt begrensd (zie figuur 9/1.1-3). Dit komt overeen met een TTL-HOOG toestand van 3,5 V tot 4 V. De ON-weerstand van de schakelaar wordt bepaald door de laagste van de twee spanningen op de I/O-pennen en is eveneens afhankelijk van deze spanningen (zie figuur 9/1.1-4). De bus-schakelaar voorziet een aandrijvende schakeling van een pad om een capacitieve belasting te laden en te ontladen (zie figuur 9/1.1-5). Als de A (of B) ingang op TTL-LAAG staat (0 V) en de N-kanaals transistor volledig AAN is, zal de B (of A) uitgang deze volgen. Evenzo zal bij een overgang op de A (of B) ingang van TTL-LAAG naar TTL-HOOG niveau de condensator-zijde van de N-kanaals schakelaar zich eerst op 0 V bevinden. De schakelaar is volledig AAN en de B (of A) uitgang zal volgen tot voorbij de drempelspanning. Dit betekent dat de stijg- en afvaltijden (en golfvormen) van de uitgangen worden bepaald door de TTL-driver en niet door de bus-schakelaar. De bus-schakelaar introduceert dus geen vertraging. Als de bus-schakelaar gesperd is, bevindt de gate van de N-kanaals transistor zich op 0 V en is de schakelaar UIT. Door de aard van de N-kanaals transistor zijn de pennen A en B dan volledig van elkaar geïsoleerd.

1.1 Achtergrond-informatie

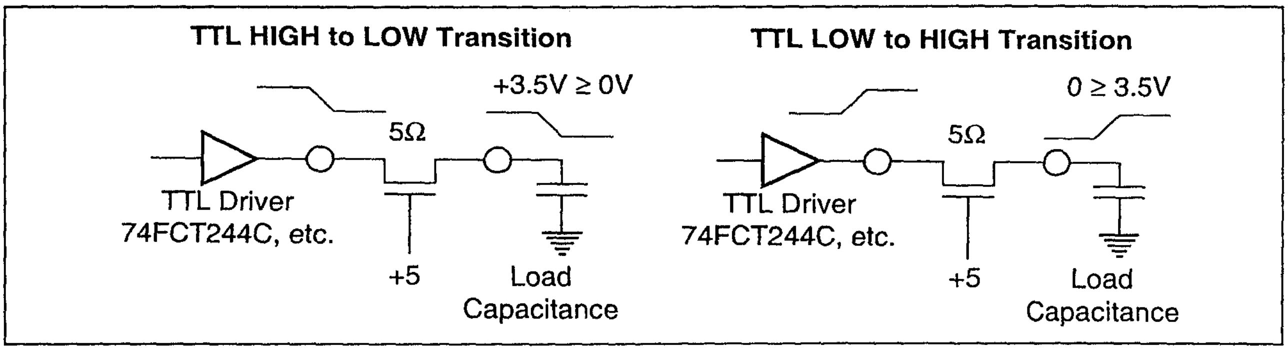


Figuur 9/1.1-3: V_{uit} als functie van V_{in} bij verschillende belastingen.



Figuur 9/1.1-4: De ON-weerstand van een bus-schakelaar is ook afhankelijk van de spanning.

Lek en capaciteit gaan dan meer in de richting van de substraat van de chip dan tussen ingang en uitgang.
Omdat uitsluitend een N-kanaals transistor wordt gebruikt kan zowel de A- als de B-pen op een niveau van V_{CC} of hoger worden gebracht en kan de voedingsspanning van de component worden verwijderd zonder één van de bussen te belasten.



Figuur 9/1.1-5: CMOS bus schakel-operaties.

1.1 Achtergrond-informatie

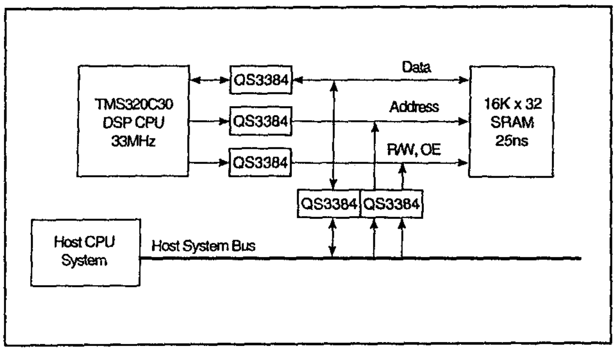
Vervanging van transceivers

De bus-schakelaar kan drivers en transceivers in systemen vervangen als het bekrachtigen van de bussen niet nodig is. Aangezien de bus-schakelaar direct twee bussen met elkaar verbindt, levert de schakelaar zelf geen aandrijving, maar is afhankelijk van de schakeling die data op de verbonden bussen zet. Als de extra belasting van de verbonden bus klein genoeg is, ontstaat er netto een hogere snelheid dan met een driver of transceiver.
De gevoeligheid voor belasting van een driver zoals de 74FCT244 is bijvoorbeeld 2 ns per 100 pF. Als de verbonden bus 50 pF belasting toevoegt, zal de vertraging hierdoor 1 ns groter worden. Dit is veel minder dan de 4 ns tot 10 ns extra vertraging door de buffer of transceiver die anders gebruikt had moeten worden.

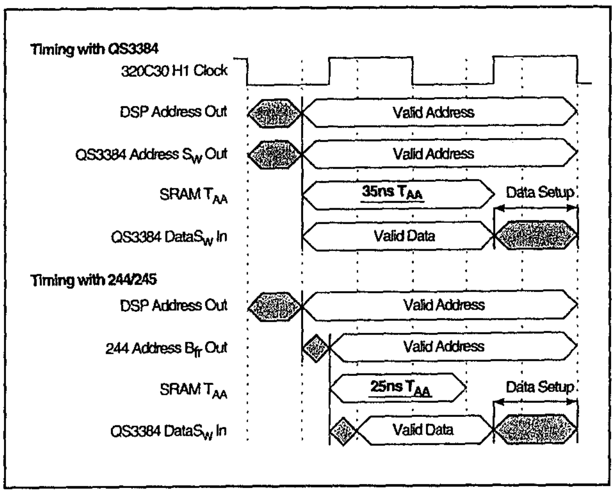
Toepassingsvoorbeelden

Gedeeld geheugen voor slaaf-processor

Wanneer in een systeem een hoofdprocessor en bijvoorbeeld een DSP-processor aanwezig zijn, kunnen die beide van hetzelfde geheugen gebruik maken als ook QS3384 bus-schakelaars wordt gebruikt. In figuur 9/1.1-6 is zo'n toepassing te zien van een "host" CPU met een 33 MHz TMS320C30 embedded processor. Beide maken gebruik van dezelfde 16 k x 32 bit SRAM geheugenbank voor de opslag van programma en data. Zowel de CPU als de DSP zijn via enkele QS3384's met de SRAM verbonden. Hiermee wordt 10 ns gewonnen ten opzichte van conventionele buffers en transceivers, namelijk 5 ns voor een 244 adres-buffer naar de SRAM en 5 ns voor een 245 adres-transceiver vanaf de SRAM, zoals in figuur 9/1.1-7 te zien is. Hierdoor wordt het mogelijk om SRAM's met 35 ns T_{AA} te gebruiken in plaats van de (duurdere) 25 ns typen. Tussen de berekeningen in wordt de SRAM losgekoppeld van de DSP en aangesloten op de host-CPU waardoor de laatste data kan schrijven vóór de DSP-berekening en data uitlezen na de berekening.



Figuur 9/1.1-6: Door bus-schakelaars toe te passen kan een slaaf-processor van hetzelfde geheugen gebruik maken als de "host"-processor.



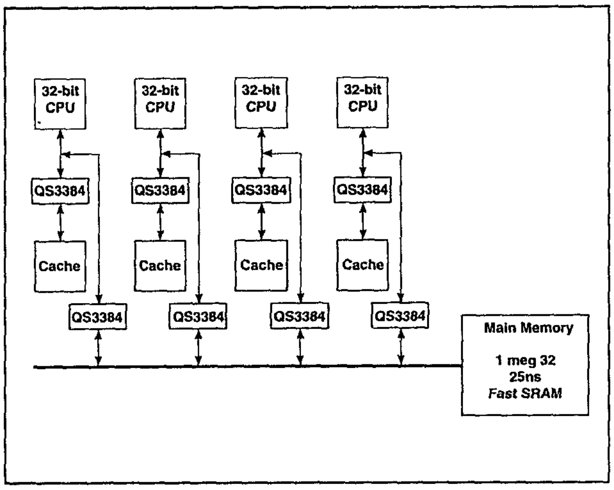
Figuur 9/1.1-7: Door bus-schakelaars toe te passen wordt een tijdwinst geboekt van 10 ns ten opzichte van een 244/245-combinatie. Hierdoor kunnen langzamer (goedkoper) geheugens worden gebruikt.

Multi-processor systeem met snelle bus-verbinding

In figuur 9/1.1-8 is een multi-processor systeem te zien waarbij de QS3384 bus-schakelaar wordt gebruikt als snelle busverbinder. In dit voorbeeld heeft elk van de

1.1 Achtergrond-informatie

vier processors zijn eigen cache of ander lokaal geheugen, terwijl ze ook gebruik kunnen maken van een 1 M x 32 bit 25 ns SRAM hoofd-geheugen. De QS3384's worden hier gebruikt om adres-, data- en besturingslijnen van de SRAM direct op elke processor aan te sluiten. Wanneer een QS3384 aktief is werkt het hoofd-geheugen als een eenvoudige SRAM samen met de betreffende CPU. Er is dus sprake van een eenvoudige, zeer snelle interface die geen extra vertragingen oplevert.

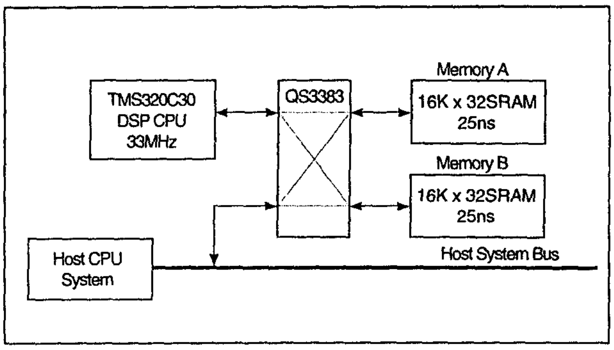


Figuur 9/1.1-8: Een multi-processor systeem waarbij QS3384 bus-schakelaars worden gebruikt.

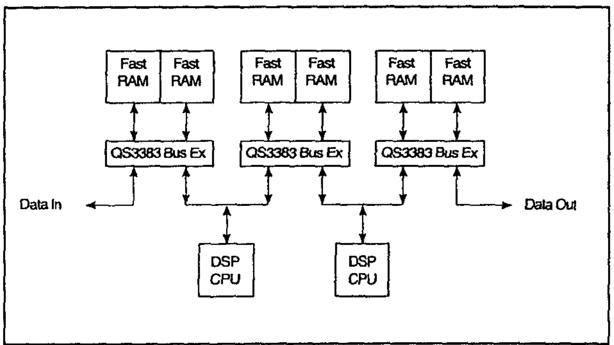
Bus-exchange schakelaar voor ping-pong geheugen-verbindingen

In figuur 9/1.1-9 is een toepassing te zien van de QS3383 bus-wissel schakelaar. Hierbij maken zowel een DSP-processor als een host-processor gebruik van dezelfde twee geheugens. De QS3383 verbindt geheugen A met de DSP of de host CPU en geheugen B met de host CPU of de DSP, afhankelijk van de toestand van de bus-wissel besturing. Deze configuratie maakt het mogelijk dat de host CPU toegang heeft tot het ene geheugen, terwijl de DSP gebruik maakt van het andere. Als de berekening is beëindigd, worden de geheugens omgewisseld en kan de DSP doorgaan met een volgende berekening terwijl de resultaten van de laatste door de host worden opgehaald.

Deze zogenaamde "ping-pong" geheugen-configuratie kan ook worden gebruikt om resultaten tussen verschillende processors te pijplijnen (figuur 9/1.1-10). Alle processors brengen data over van hun ingangs-geheugens naar hun uitgangs-geheugens. Wanneer één doorgifte klaar is, worden de geheugens omgewisseld en wordt de uitgang van de ene processor de ingang van de volgende processor.



Figuur 9/1.1-9: Toepassing van de QS3383 bus-wissel schakelaar als "ping-pong" geheugen-verbinder.

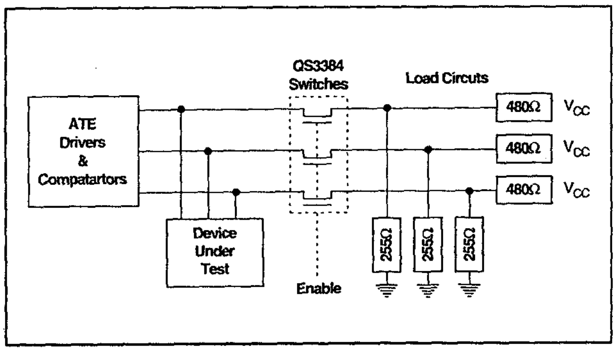


Figuur 9/1.1-10: Uitbreiding van de schakeling in 9/1.1-9: de "ping-pong" geheugen-verbinders vormen nu een "ping-pong" pijplijn.

ATE belasting-schakelaar

In figuur 9/1.1-11 wordt getoond hoe de QS3384 kan worden gebruikt als belasting-schakelaar in een automatisch testapparaat (ATE). Voor ATE-toepassingen is telkens een

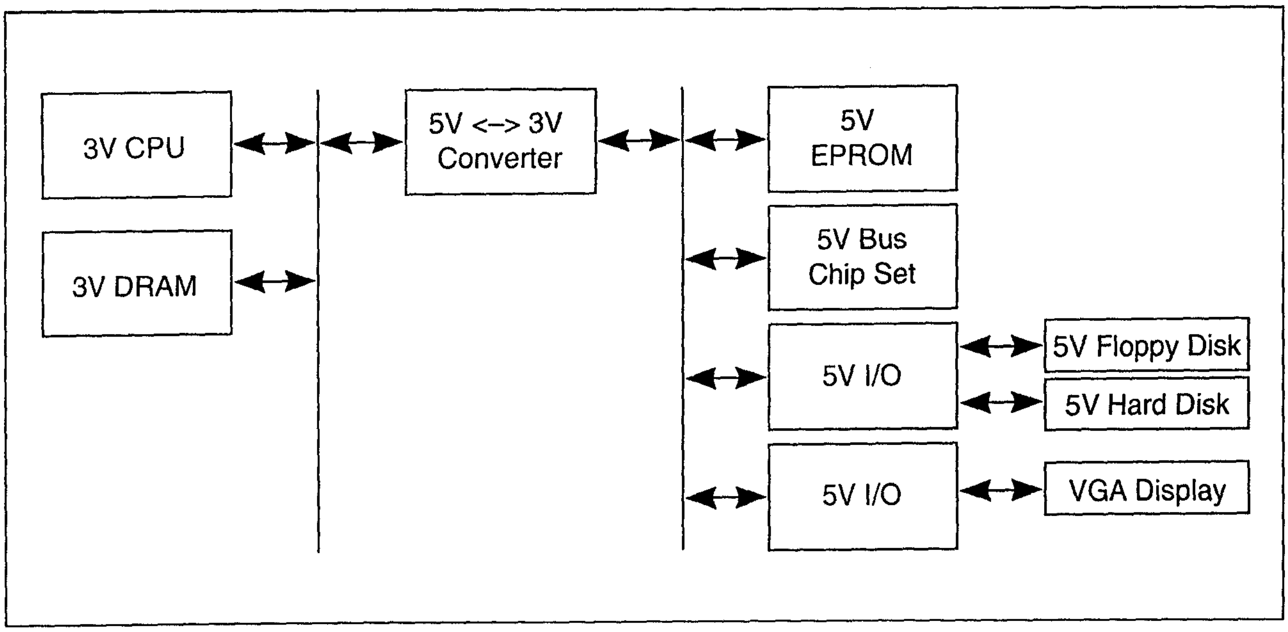
andere opstelling op het belasting-bord nodig (electrical test fixture).
Een probleem dat hier vaak bij optreedt is het verbinden en weer losmaken van een belastingsweerstand-netwerk op de te testen aansluitpennen. De belasting moet gedurende gedeelten van de test worden aangesloten en verbroken. Vroeger werd dit gedaan met behulp van kleine relais vanwege de kleine doorlaatweerstand. Relais zijn echter relatief langzaam en groot. De QS3384 kan 10 relais-contacten vervangen, waarbij de schakeltijd wordt verkleind van 5 ms tot 6 ns.



Figuur 9/1.1-11: Toepassing van de QS3384 als belasting-schakelaar in automatische test-apparatuur (ATE).

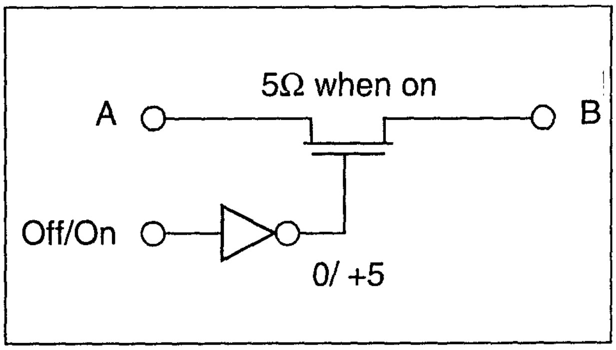
5 V naar 3 V omzetting zonder vertraging

Een tegenwoordig veel voorkomend probleem wordt veroorzaakt door het door elkaar gebruiken van 5 V en 3 V logica.
Een voorbeeld hiervan is te zien in figuur 9/1.1-12. De CPU en DRAM hebben hier een voedingsspanning van 3,3 V, terwijl de EPROM en de I/O-schakelingen op 5 V werken. In figuur 9/1.1-12 is een 5 V naar 3 V converter getekend omdat de 5 V TTL meestal geen 3 V TTL kan aansturen (ook al zijn de logische niveaus gelijk). Een 5 V CMOS-driver zal, bij een logisch HOOG, de bus naar 5 V sturen. De 3 V LVTTL-componenten kunnen niet meer dan ongeveer 3,3 V op hun I/O-pennen verdragen. Wordt toch een hogere spanning op de I/O-pennen aangesloten dan gaat de P-kanaals transistor in de uitgangs-driver geleiden, waardoor er stroom gaat lopen van de bus naar de 3,3 V voeding. Door deze stroom (die zeer groot kan worden) en de bijbehorende latch-up effecten kan de 3,3 V schakeling beschadigd raken.



Figuur 9/1.1-12: Gemengd gebruik van 5 V en 3 V logica.

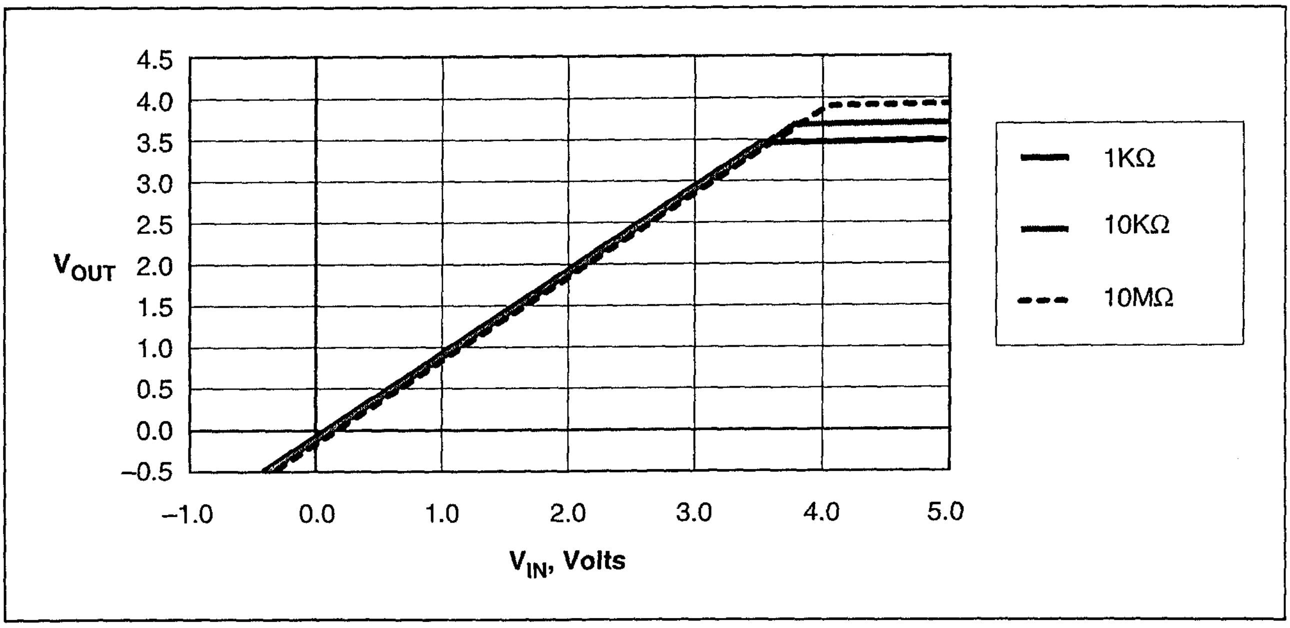
1.1 Achtergrond-informatie



Figuur 9/1.1-13: Een bus-schakelaar als 5 V naar 3 V omzetter.

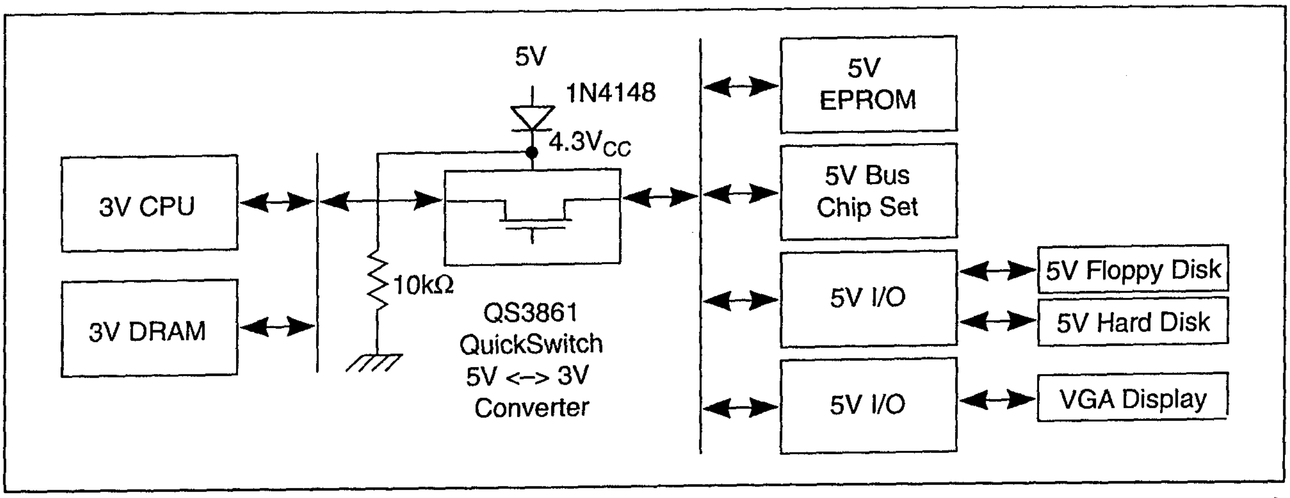
De functie van de 5 V naar 3 V omzetter is de spanning te begrenzen die gezien wordt door de 3 V logica (typisch niet hoger dan 3,3 V). Een dergelijke omzetter zou kunnen bestaan uit speciale buffers en transceivers die 5 V niveaus aan de ene kant accepteren en 3 V aan de andere kant. Voor deze schakelingen zou echter richtings-besturing en power-sequencing (het in de juiste volgorde inschakelen van de beide voedingen) nodig zijn, terwijl extra vertraging wordt geïntroduceerd.

Een veel betere oplossing is de toepassing van bus-schakelaars zoals de QuickSwitch-familie. Deze leveren bidirectionele 5 V naar 3 V omzetting zonder enige vertraging of richtingsbesturing. Onder de juiste omstandigheden accepteren deze bus-schakelaars 5 V TTL-signalen aan de aandrijvende kant, terwijl de uitgangsspanning wordt begrensd tot 3,3 V aan de aangedreven kant. Bovendien hebben deze bus-schakelaars een ON-weerstand van slechts 5 Ω, zodat geen merkbare vertraging aan de signaalweg wordt toegevoegd. Elke bus-schakelaar bestaat uit een N-kanaals MOS transistor die wordt aangestuurd door een CMOS-schakeling (zie figuur 9/1.1-13).
Als de bus-schakelaar wordt aangestuurd bevindt de gate van de N-kanaals transistor zich op V_{CC}-niveau (5 V). De schakelaar is dan AAN en de ON-weerstand bedraagt 5 Ω. Als de bus-schakelaar moet sperren staat de gate op 0 V en is de schakelaar UIT-geschakeld. De lekstroom in deze toestand kan worden omschreven als diode-lek naar de substraat (aarde) en bedraagt meestal iets van 10 nA bij kamertemperatuur.



Figuur 9/1.1-14: De uitgangsspanning van een bus-schakelaar als functie van de ingangsspanning. De uitgangsspanning wordt automatisch begrensd op circa 4 V.

1.1 Achtergrond-informatie



Figuur 9/1.1-15: Vervangingsschema van figuur 9/1.1-12 waarbij de plaats van de 5 V naar 3 V omzetter wordt ingenomen door een bus-schakelaar.

Deze schakelingen hebben een ON-weerstand van minder dan 5 Ω voor ingangs-spanningen rond aard-niveau. Deze weer-stand neemt iets toe wanneer de I/O-spanningen worden verhoogd van TTL-LAAG naar TTL-HOOG (2,4 V). In dit gebied zijn de A- en B-pennen stevig met elkaar verbonden. Als de ingangsspanning verder toeneemt, zal de uitgang volgen, maar bij circa 4 V bereikt de uitgangsspanning de hoogste waarde. Bij nog hogere ingangs-spanningen zal de uitgangsspanning op 4 V blijven staan. Dit is te zien in de V_{OUT} versus V_{IN}-karakteristiek in figuur 9/1.1-14. Tenslot-te is in figuur 9/1.1-15 het complete vervan-gingsschema van figuur 9/1.1-12 te zien.

9/1.2

Type-beschrijving QuickSwitch bus-schakelaars

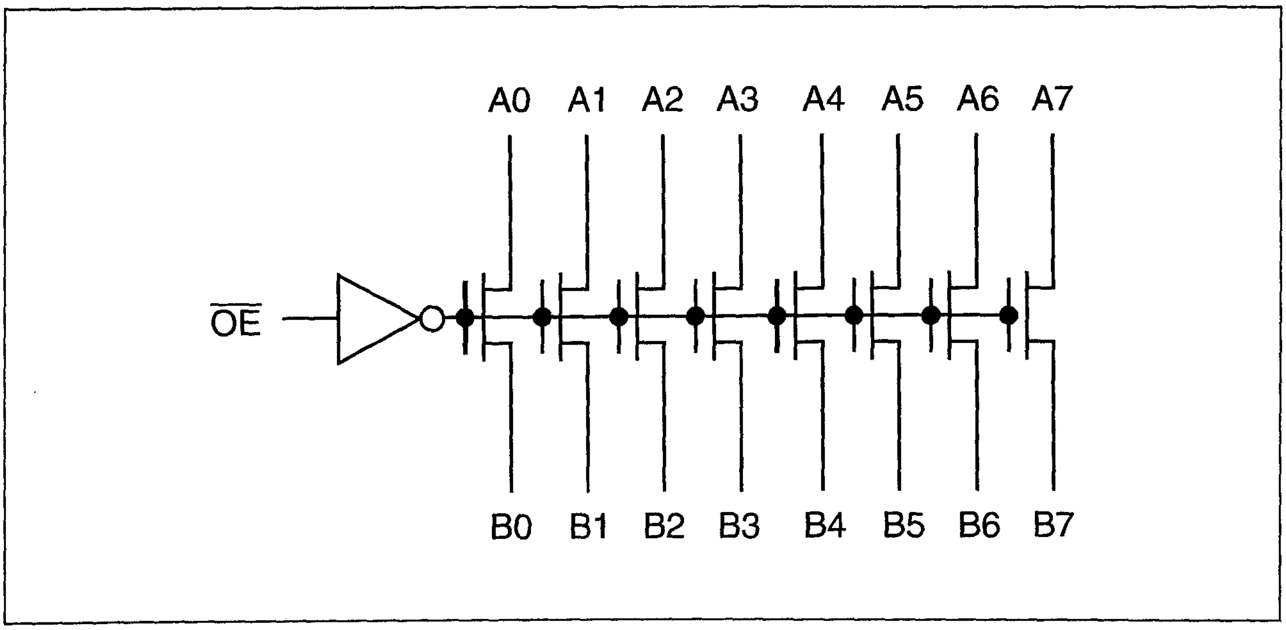
QS3245, QS3R245, QS32245

8 bit N-kanaals CMOS bus-switch

De QS3245, QS3245 en QS32245 zijn 8 bit CMOS high-speed TTL-compatibele bus-schakelaars. Ze hebben dezelfde pin-out als de 74FCT245 8 bit transceivers. Door de ON-weerstand van slechts 5 Ω veroorzaakt de QS3245 geen vertraging. De QS32245 heeft een serie-weerstand van 25 Ω ter verkleining van de "ground-bounce". De QS3R245 heeft een nog kleinere ON-weerstand van 2,5 Ω. De schakelaars worden AAN-gezet met het output enable-signaal ($\overline{OE}$). De QuickSwitch schakelaars zijn sneller dan conventionele logische schakelingen en worden onder andere gebruikt voor "hot-docking" en "hot-swapping", spanningsomzetting (5 V naar 3,3 V) en bus-isolatie.

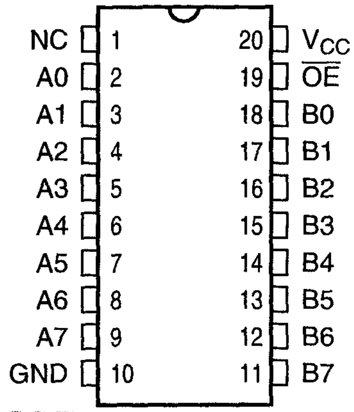
Technische gegevens

- 8 bit enhanced N-kanaals bus-schakelaar
- geen inherente diode naar V_{CC}
- ON-weerstand
  QS3245: 5 Ω
  QS3R245: 2,5 Ω
  QS32245: 25 Ω
- TTL-compatibele ingangen (ook $\overline{OE}$)
- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen



Figuur 9/1.2-1: Functioneel blokschema van de QS3245, QS3R245 en QS32245.

1.2 Type-beschrijving QuickSwitch bus-schakelaars



Name	Description
$\overline{OE}$	Output Enable
An	Data I/Os
Bn	Data I/Os

Figuur 9/1.2-2: Aansluitingen van de QS3245, QS3R245 en QS32245.

$\overline{OE}$	Outputs
H	Disconnected
L	An = Bn

Figuur 9/1.2-3: Waarheidstabel van de QS3245, QS3R245 en QS32245.

Supply Voltage to Ground	–0.5V to 7.0V
DC Switch Voltage V_S	–0.5V to 7.0V
DC Input Voltage V_{IN}	–0.5V to 7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation	0.5 watts
T_{STG} Storage Temperature	–65° to 150°C

Tabel 9/1.2-1: Maximaal toegelaten waarden voor de QS3245, QS3R245 en QS32245.

Commerical: T_A = –40°C to 85°C, V_{CC} = 5.0V ±5%
Military: T_A = –55°C to 125°C, V_{CC} = 5.0V ±10%

Symbol	Parameter	Test Conditions		Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs		2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs		—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0V \le V_{IN} \le V_{CC}$		—	—	1	μA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0V \le V_{OUT} \le V_{CC}$, Switches OFF		—	0.001	1	μA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V	3245	—	5	7	Ω
		I_{ON} = 30mA	32245	20	28	40	
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V	3245	—	10	15	Ω
		I_{ON} = 15mA	32245	20	35	48	
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5μA		3.7	4	4.2	V

Tabel 9/1.2-2: Gelijkspanningskenmerken van de QS3245 en QS32245.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

- behuizingen: 20-pens TSSOP, SOIC, QSOP of HQSOP
- ook militaire versie leverbaar
- fabrikant: Quality Semiconductor

Commerical: $T_A = -40°C$ to 85°C, $V_{CC} = 5.0V \pm 10\%$

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Input)	$0V \leq V_{IN} \leq V_{CC}$	—	—	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0V \leq V_{OUT} \leq V_{CC}$, Switches OFF	—	0.001	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., $V_{IN} = 0$ I_{ON} = 30mA	—	2.5	4	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., $V_{IN} = 2.4$ I_{ON} = 15mA	—	4	5.5	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC} = 5V$, $I_{OUT} = -5\mu A$	3.7	4	4.3	V

Tabel 9/1.2-3: Gelijkspanningskenmerken van de QS3R245.

Commercial: $T_A = -40°C$ to 85°C, $V_{CC} = 5.0V \pm 5\%$
Military: $T_A = -55°C$ to 125°C, $V_{CC} = 5.0V \pm 10\%$

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	3.0	µA
ΔI_{CC}	Power Supply Current(2) per Input HIGH	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per Control Input	1.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(3)	V_{CC} = Max., A and B Pins Open, Controls Inputs Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.2-4: Kenmerken van de voeding van de QS3245 en QS32245.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

Commercial: T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	3	μA
ΔI_{CC}	Power Supply Current(2) per Input HIGH	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per Control Input	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(3)	V_{CC} = Max., A and B Pins Open, Controls Input Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.2-5: Kenmerken van de voeding van de QS3R245.

Commercial: T_A = –40°C to 85°C, V_{CC} = 5.0V ±5%
Military: T_A = –55°C to 125°C, V_{CC} = 5.0V ±10%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description(1)		QS3245			QS32245			Unit
			Min	Typ	Max	Min	Typ	Max	
t_{PLH}	Data Propagation Delay(2,3)		—	—	0.25	—	—	1.25	ns
t_{PHL}	An to/from Bn	MIL	—	—	0.75				
t_{PZL}	Switch Turn-on Delay		0.5	—	5.6	0.5	—	6.6	ns
t_{PZH}	$\overline{OE}$ to An/Bn	MIL	—	—	6.6				
t_{PLZ}	Switch Turn-off Delay(2)		0.5	—	4.5	0.5	—	4.5	ns
t_{PHZ}	$\overline{OE}$ to An/Bn	MIL	—	—	5.5				

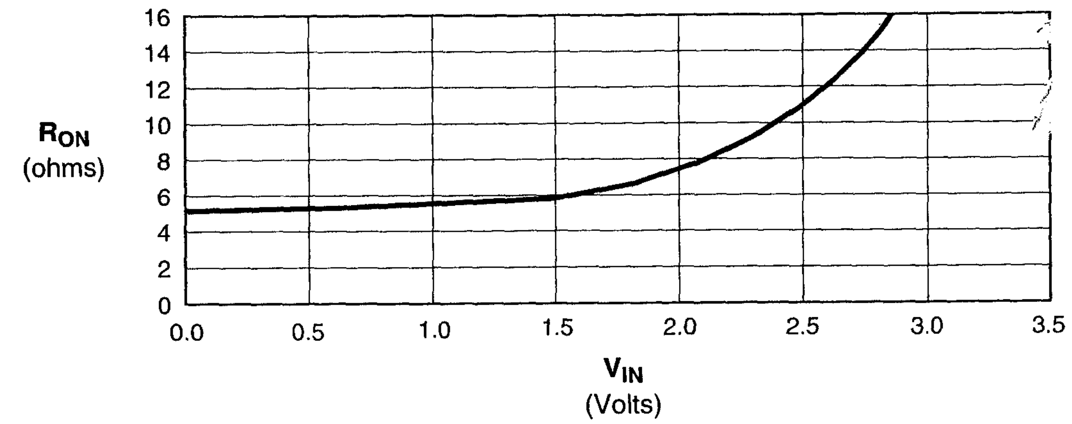
Tabel 9/1.2-6: Schakeltijden van de QS3245 en QS32245.

Commercial: T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

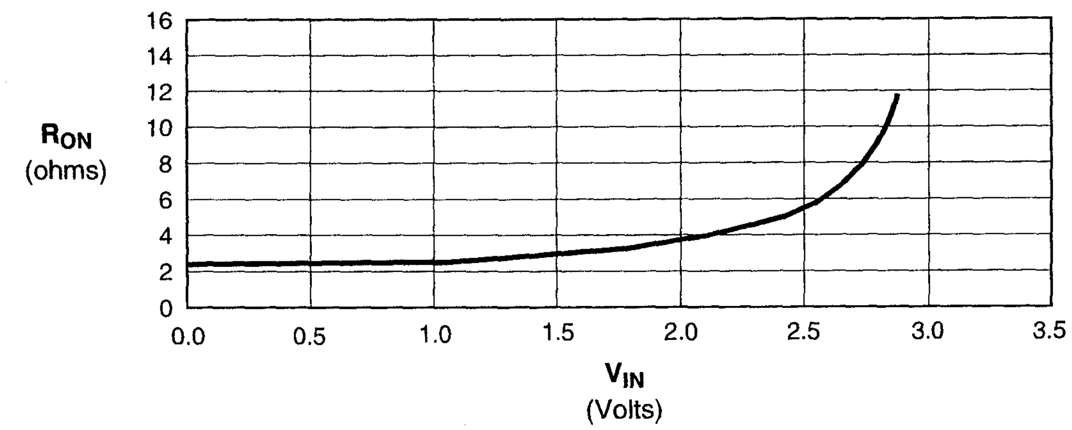
Symbol	Description(1)	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay(2,3) An to/from Bn	—	—	0.12(3)	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{OE}$ to An/Bn	0.5	—	5.6	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay(2) $\overline{OE}$ to An/Bn	0.5	—	4.5	ns

Tabel 9/1.2-7: Schakeltijden van de QS3R245.

1.2 Type-beschrijving QuickSwitch bus-schakelaars



Figuur 9/1.2-4: ON-weerstand van de QS3245 als functie van de ingangsspanning V_{in} (bij V_{cc} = 5 V).



Figuur 9/1.2-5: ON-weerstand van de QS3R245 als functie van V_{in} (bij V_{cc} = 5 V).

QS3306A

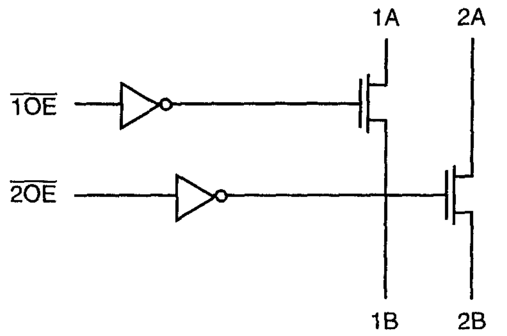
2-voudige N-kanaals CMOS bus-switch

De QS3306A is een 2 bit CMOS high-speed bus-schakelaar waarvan elk bit een aparte enable-ingang heeft. De ON-weerstand bedraagt slechts 3 Ω en veroorzaakt geen enkele vertraging. Beide schakelaars worden AAN-gezet door het bijbehorende output enable-signaal ($\overline{1OE}$ en $\overline{2OE}$) LAAG te maken. De QS3306A kan ook worden gebruikt voor analoge signalen, zoals bij video.

Technische gegevens

- 2 bit enhanced N-kanaals bus-schakelaar
- geen inherente diode naar V_{cc}
- ON-weerstand 3 Ω
- TTL-compatibele stuur-ingangen
- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizingen: 8-pens TSSOP of SOIC
- fabrikant: Quality Semiconductor

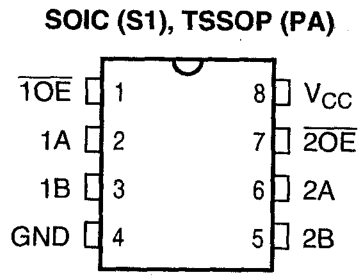
1.2 Type-beschrijving QuickSwitch bus-schakelaars



Figuur 9/1.2-6: Functioneel blokschema van de QS3306A.

$\overline{nOE}$	nA	nB	Function
L	H	H	Connect
L	L	L	Connect
H	X	X	Disconnect

Figuur 9/1.2-8: Waarheidstabel van de QS3306A.



Name	I/O	Description
1A-2A	I/O	Bus A
1Y-2Y	I/O	Bus B
$\overline{1OE}$-$\overline{2OE}$	I	Switch Enable

Figuur 9/1.2-7: Aansluitingen van de QS3306A.

Supply Voltage to Ground	–0.5V to 7.0V
DC Switch Voltage V_S	–0.5V to 7.0V
DC Input Voltage V_{IN}	–0.5V to 7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation	0.5 watts
T_{STG} Storage Temperature	–65° to 150°C

Tabel 9/1.2-8: Maximaal toegelaten waarden van de QS3306A.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 5\%$

Symbol	Parameter	Test Conditions	Min	Typ[1]	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Pins	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Pins	—	—	0.8	V
$\|I_{IN}\|$	Input Leakage Current (Control Inputs)	$0V \leq V_{IN} \leq V_{CC}$	—	—	1	µA
$\|I_{OZ}\|$	Off-State Current (Hi-Z)	$0V \leq V_{OUT} \leq V_{CC}$, Switches OFF	—	—	1	µA
R_{ON}	Switch On Resistance[2,3]	V_{CC} = Min., V_{IN} = 0.0V, I_{ON} = 30mA	—	3	5	Ω
		V_{CC} = Min., V_{IN} = 2.4V, I_{ON} = 15mA	—	6	10	
V_P	Pass Voltage[4]	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = −5µA	3.7	4	4.2	V

Tabel 9/1.2-9: Gelijkspanningskenmerken van de QS3306A.

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 5\%$

Symbol	Parameter	Test Conditions[1]	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	3.0	µA
ΔI_{CC}	Power Supply Current[2] per Input HIGH	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per control input	1.0	mA
Q_{CCD}	Dynamic Power Supply Current per MHz[3]	V_{CC} = Max., A and B Pins Open, Controls Inputs Toggling @ 50% Duty Cycle	0.25	mA/MHz

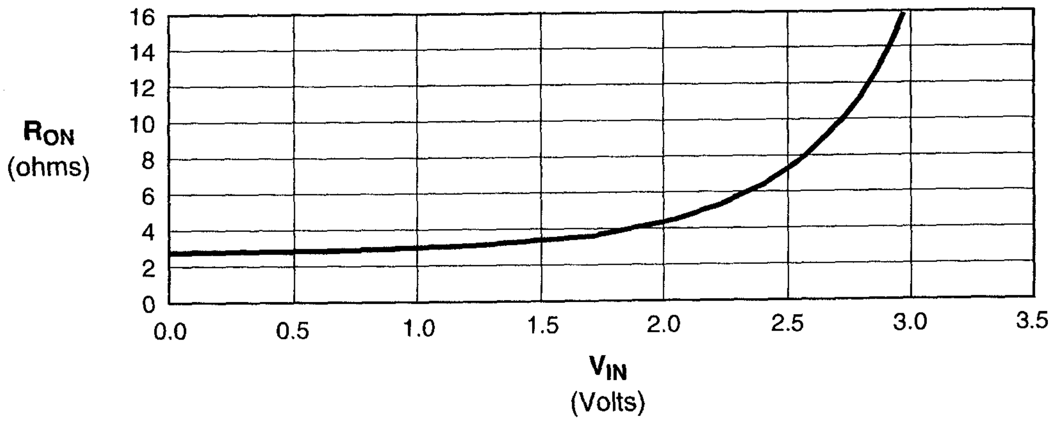
Tabel 9/1.2-10: Kenmerken van de voeding voor de QS3306A.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

Commercial T_A = –40°C to 85°C, V_{CC} = 5.0V ±5%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description(1)	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay(2,3) nA to nB	—	—	0.15	ns
t_{PZH} t_{PZL}	Switch Turn-on Delay $\overline{OE}$ to nA/nB	1.5	—	5.0	ns
t_{PHZ} t_{PLZ}	Switch Turn-off Delay(2) $\overline{OE}$ to nA/nB	1.5	—	4.3	ns

Tabel 9/1.2-11: Schakeltijden van de QS3306A.



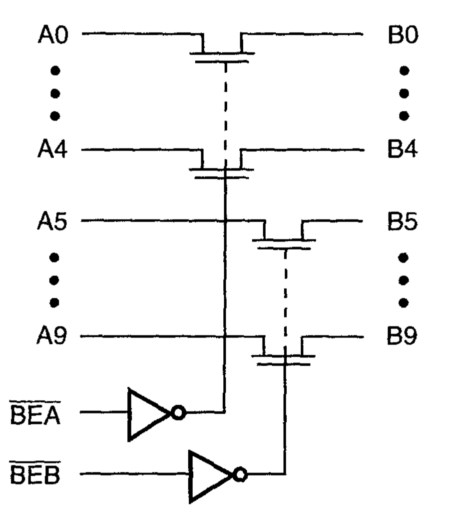
Figuur 9/1.2-9: ON-weerstand van de QS3306A als functie van de ingangsspanning V_{in} (bij V_{cc} = 5 V).

QS3384, QS3L384, QS3LR384, QS3R384, QS32384, QS3L2384

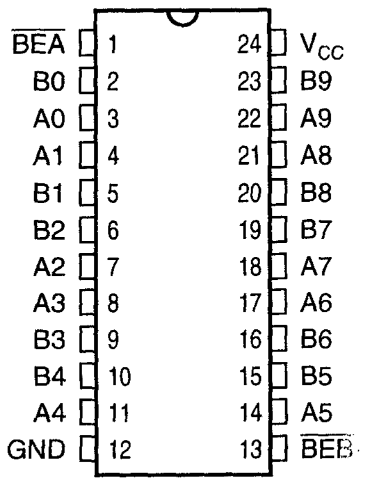
10 bit N-kanaals CMOS bus-switch

De QS3384, QS3L384, QS3LR384, QS3R384, QS32384 en QS3L2384 zijn 10 bit CMOS high-speed TTL-compatibele bus-schakelaars, georganiseerd in twee groepen van 5 stuks. Ze hebben alle dezelfde configuratie, alleen het opgenomen vermogen en de ON-weerstand verschilt.
De QS3384 en het Low-Power type QS3L384 hebben een ON-weerstand van 5 Ω. De QS3R384 en de QS3LR384 hebben een nog kleinere ON-weerstand van 2,5 Ω. Bij de QS32384 en de QS3L2384 is een serie-weerstand van 25 Ω ter verkleining van de "ground-bounce" opgenomen.
De schakelaars worden AAN-gezet door de bus enable-signalen ($\overline{BEA}$ en $\overline{BEB}$) LAAG te maken.
De QuickSwitch schakelaars zijn sneller dan conventionele logische schakelingen en worden onder andere gebruikt voor "hot-docking" en "hot-swapping", spanningsomzetting (5 V naar 3,3 V) en bus-isolatie.

1.2 Type-beschrijving QuickSwitch bus-schakelaars



Figuur 9/1.2-10: Functioneel blokschema van de QS3384, QS3L384, QS3LR384, QS3R384, QS32384 en QS3L2384.



Name	I/O	Function
A0-A9	I/O	Bus A
B0-B9	I/O	Bus B
$\overline{BEA}$, $\overline{BEB}$	I	Bus Switch Enable

Figuur 9/1.2-11: Aansluitingen van de QS3384, 3L384, 3LR384, 3R384, 32384 en 3L2384.

$\overline{BEA}$	$\overline{BEB}$	B0-B4	B5-B9	Function
H	H	Hi-Z	Hi-Z	Disconnect
L	H	A0-A4	Hi-Z	Connect
H	L	Hi-Z	A5-A9	Connect
L	L	A0-A4	A5-A9	Connect

Figuur 9/1.2-12: Waarheidstabel van de QS3384, 3L384, 3LR384, 3R384, 32384 en 3L2384.

Supply Voltage to Ground	–0.5V to 7.0V
DC Switch Voltage V_S	–0.5V to 7.0V
DC Input Voltage V_{IN}	–0.5V to 7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation	0.5 watts
T_{STG} Storage Temperature	–65° to 150°C

Tabel 9/1.2-12: Maximaal toegelaten waarden van de QS3384, QS3L384, QS3LR384, QS3R384, QS32384 en QS3L2384.

Technische gegevens

- 2x 5 bit enhanced N-kanaals bus-schakelaar
- geen inherente diode naar V_{CC}
- ON-weerstand
  QS3384 en QS3L384: 5 Ω
  QS3R384 en QS3LR384: 2,5 Ω
  QS32384 en QS3L2384: 25 Ω
- TTL-compatibele ingangen
- CMOS-technologie: geringe dissipatie
- Low-Power versies: I_{CC} = 0,2 μA
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizingen:
  24-pens SOIC en QSOP
  QS3384 en QS32384 ook in TSSOP en HQSOP
- ook militaire versie leverbaar
- fabrikant: Quality Semiconductor

1.2 Type-beschrijving QuickSwitch bus-schakelaars

Commercial: $T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 5\%$ Military: $T_A = -55°C$ to $125°C$, $V_{CC} = 5.0V \pm 10\%$

Symbol	Parameter	Test Conditions		Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs		2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs		—	—	0.8	V
$\vert I_{IN} \vert$	Input Leakage Current (Control Inputs)	$0 \leq V_{IN} \leq V_{CC}$		—	0.01	1	µA
$\vert I_{OZ} \vert$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches OFF		—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min.,	3384 (Com)	—	5	7	Ω
		$V_{IN} = 0.0V$	3384 (Mil)	—	10	15	
		$I_{ON} = 30mA$	32384 (Com)	20	28	40	
			32384 (Mil)	—	35	45	
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min.,	3384 (Com)	—	10	15	Ω
		$V_{IN} = 2.4V$	3384 (Mil)	—	15	20	
		$I_{ON} = 15mA$	32384 (Com)	20	35	48	
			32384 (Mil)	—	40	55	
V_P	Pass Voltage(3)	$V_{IN} = V_{CC} = 5V$, $I_{OUT} = -5\mu A$		3.7	4	4.2	V

Tabel 9/1.2-13: Gelijkspanningskenmerken van de QS3384 en QS32384.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

Commercial: $T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 5\%$ Military: $T_A = -55°C$ to $125°C$, $V_{CC} = 5.0V \pm 10\%$

Symbol	Parameter	Test Conditions		Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs		2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs		—	—	0.8	V
$\|I_{IN}\|$	Input Leakage Current	$0 \leq V_{IN} \leq V_{CC}$		—	—	1	µA
$\|I_{OZ}\|$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$		—	0.001	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., $V_{IN} = 0.0V$ $I_{ON} = 30mA$	3L384 (Com)	—	5	7	Ω
			3L384 (Mil)	—	10	15	
			3L2384 (Com)	20	28	40	
			3L2384 (Mil)	—	35	45	
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., $V_{IN} = 2.4V$ $I_{ON} = 15mA$	3L384 (Com)	—	10	15	Ω
			3L384 (Mil)	—	15	20	
			3L2384 (Com)	20	35	48	
			3L2384 (Mil)	—	40	55	
V_P	Pass Voltage(3)	$V_{IN} = V_{CC} = 5V$, $I_{OUT} = -5\mu A$		3.7	4	4.2	V

Tabel 9/1.2-14: Gelijkspanningskenmerken van de QS3L384 en QS3L2384.

Commercial: $T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 10\%$

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\|I_{IN}\|$	Input Leakage Current (Control Inputs)	$0 \leq V_{IN} \leq V_{CC}$	—	0.01	1	µA
$\|I_{OZ}\|$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches OFF	—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., $V_{IN} = 0.0V$, $I_{ON} = 30mA$	—	2.5	4	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., $V_{IN} = 2.4V$, $I_{ON} = 15mA$	—	4	5.5	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC} = 5V$, $I_{OUT} = -5\mu A$	3.7	4	4.3	V

Tabel 9/1.2-15: Gelijkspanningskenmerken van de QS3LR384 en QS3R384.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

Commercial: $T_A = -40°C$ to 85°C, $V_{CC} = 5.0V \pm 5\%$ Military: $T_A = -55°C$ to 125°C, $V_{CC} = 5.0V \pm 10\%$

Symbol	Parameter	Test Conditions[1]	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	1.5	mA
ΔI_{CC}	Power Supply Current per Input HIGH[2]	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per Control Input	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz[3]	V_{CC} = Max., A and B Pins Open, Control Inputs Toggling @ 50% Duty Cycle	0.25	mA/MHz

Tabel 9/1.2-16: Kenmerken van de voeding van de QS3384, QS3R384 en QS32384.

Commercial: $T_A = -40°C$ to 85°C, $V_{CC} = 5.0V \pm 5\%$ Military: $T_A = -55°C$ to 125°C, $V_{CC} = 5.0V \pm 10\%$
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Parameter	Test Conditions[1]	Typ[2]	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	0.2	3.0	µA
ΔI_{CC}	Power Supply Current per Input HIGH[3]	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per Control Input	—	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz[4]	V_{CC} = Max., A and B Pins Open, Control Inputs Toggling @ 50% Duty Cycle	—	0.25	mA/MHz

Tabel 9/1.2-17: Kenmerken van de voeding van de QS3L384, QS3LR384 en QS3L2384.

Commercial: $T_A = -40°C$ to 85°C, $V_{CC} = 5.0V \pm 5\%$ Military: $T_A = -55°C$ to 125°C, $V_{CC} = 5.0V \pm 10\%$
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

			QS3384			QS32384			
Symbol	Description[1]		Min	Typ	Max	Min	Typ	Max	Unit
t_{PLH}	Data Propagation Delay[2,4]	COM	—	—	0.25[3]	—	—	1.25[3]	ns
t_{PHL}	Ai to Bi, Bi to Ai	MIL	—	—	0.75[3]	—	—	1.75[3]	
t_{PZL}	Switch Turn-on Delay	COM	1.5	—	6.5	1.5	—	7.5	ns
t_{PZH}	$\overline{BEA}$, $\overline{BEB}$ to Ai, Bi	MIL	1.5	—	7.5	1.5	—	8.5	
t_{PLZ}	Switch Turn-off Delay[2]	COM	1.5	—	5.5	1.5	—	5.5	ns
t_{PHZ}	$\overline{BEA}$, $\overline{BEB}$ to Ai, Bi	MIL	1.5	—	6.5	1.5	—	6.5	

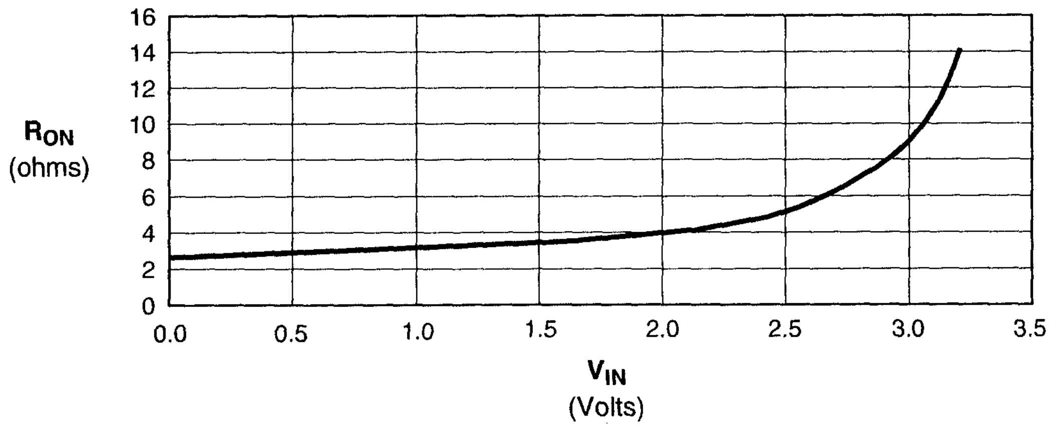
Tabel 9/1.2-18: Schakeltijden van de QS3384 (en QS3L384) en QS32384 (en QS3L2384).

1.2 Type-beschrijving QuickSwitch bus-schakelaars

Commercial: $T_A = -40°C$ to 85°C, $V_{CC} = 5.0V \pm 5\%$
$C_{LOAD} = 50pF$, $R_{LOAD} = 500\Omega$ unless otherwise noted.

Symbol	Description[1]	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,4] Ai to Bi, Bi to Ai	—	—	0.12[3]	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{BEA}$, $\overline{BEB}$ to Ai, Bi	1.5	—	6.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay[2] $\overline{BEA}$, $\overline{BEB}$ to Ai, Bi	1.5	—	5.5	ns

Tabel 9/1.2-19: Schakeltijden van de QS3LR384 en QS3R384.



Figuur 9/1.2-13: Ter illustratie: ON-weerstand van de QS3LR384 als functie van de ingangsspanning V_{in} (bij $V_{cc} = 5$ V).

QS3800, QS3R800

10 bit N-kanaals CMOS bus-switch met voorspanning op de uitgangen

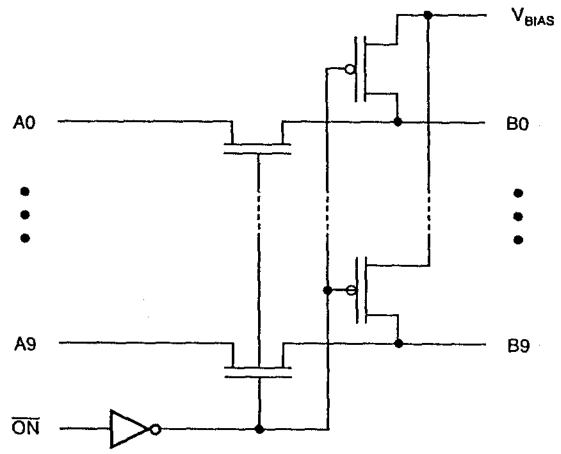
De QS3800 en QS3R800 zijn 10 bit CMOS high-speed TTL-compatibele bus-schakelaars, bestuurd door een enkel enable-signaal ($\overline{OE}$). Als $\overline{OE}$ LAAG is, is de schakelaar AAN en is port A verbonden met port B. Is $\overline{OE}$ = HOOG, dan is de schakelaar open en staat op port B de bias-spanning. De QS3800 heeft een ON-weerstand van 5 Ω en de QS3R800 van 2,5 Ω. Bij beide bus-switches kan op poort B een voor-ingestelde spanning worden gezet om (bijvoorbeeld bij VME-toepassingen) "live-insertion" gemakkelijker te maken.

Technische gegevens

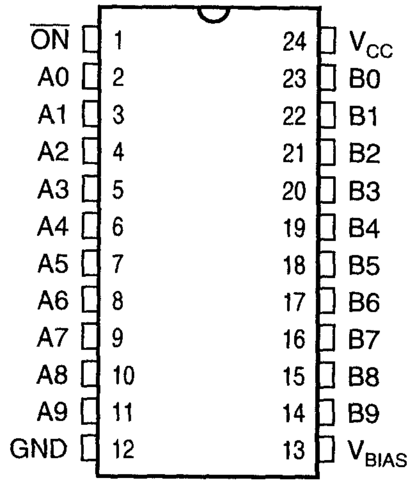
- 10 bit enhanced N-kanaals bus-schakelaar
- ON-weerstand:
  QS3800: 5 Ω
  QS3R800: 2,5 Ω
- TTL-compatibele in- en uitgangen
- uitgangen met voorspanning: minimale signaalverstoring bij "live-insertion"
- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce

1.2 Type-beschrijving QuickSwitch bus-schakelaars

- undershoot clamp-dioden aan alle ingangen
- behuizingen: 24-pens SOIC, QSOP en TSSOP (alleen QS3800)
- fabrikant: Quality Semiconductor



Figuur 9/1.2-14: Functioneel blokschema van de QS3800 en QS3R800.



Name	I/O	Function
A0-A9	I/O	Bus A
B0-B9	I/O	Bus B
$\overline{ON}$	I	Bus Switch Enable
V_{BIAS}	I	Bias Voltage

Figuur 9/1.2-15: Aansluitingen van de QS3800 en QS3R800.

Supply Voltage to Ground .... –0.5V to 7.0V
Bias Voltage Range, BIAS V .... –0.5V to V_{CC}
DC Input Voltage V_{IN} .... –0.5V to V_{CC} + 0.5V
AC Input Voltage (for a pulse width ≤ 20ns) .... –3.0V
DC Output Current Max. Sink Current/Pin 128mA
Input Clamp Current .... –50mA
Maximum Power Dissipation .... 0.5 watts
T_{STG} Storage Temperature .... –65° to 150°C

Tabel 9/1.2-20: Maximaal toegelaten waarden van de QS3800 en QS3R800.

$\overline{ON}$	B0-B9	Function
L	A0-A9	Connect
H	V_{BIAS}	Disconnect

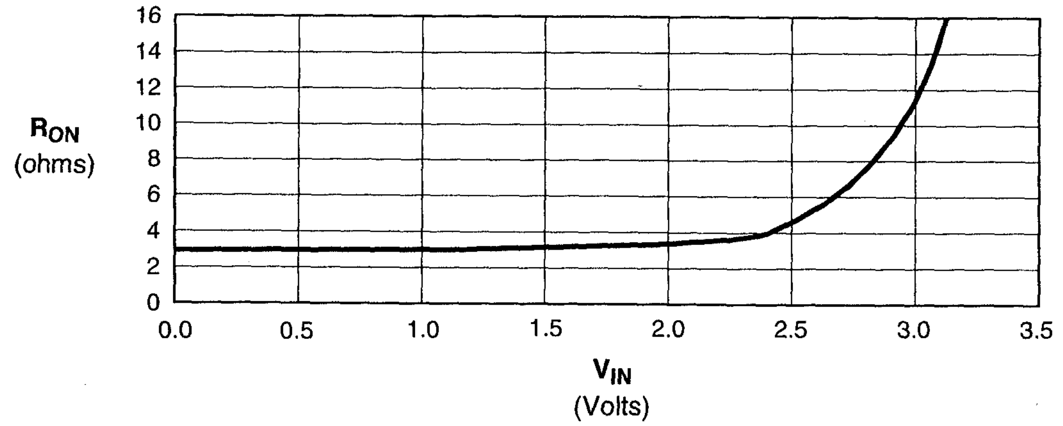
Figuur 9/1.2-16: Waarheidstabel van de QS3800 en QS3R800.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

Commercial: $T_A = -40°C$ to 85°C, $V_{CC} = 5.0V \pm 10\%$

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
V_{BIAS}	Bias Voltage	$V_{CC} = 5V$	1.3	—	V_{CC}	V
I_O	Bias Current	$V_{CC} = 4.5V$, $V_{BIAS} = 2.4V$, $V_O = 0$ $\overline{ON}$ = High	0.25	—	—	mA
$\lvert I_{IN} \rvert$	Input Leakage Current (Control inputs)	$0 \leq V_{IN} \leq V_{CC}$	—	—	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$	—	—	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., $V_{IN} = 0.0V$ $I_{ON} = 30mA$	—	5	7	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., $V_{IN} = 2.4V$ $I_{ON} = 15$ mA	—	10	15	Ω

Tabel 9/1.2-21: Gelijkspanningskenmerken van de QS3800.



Figuur 9/1.2-17: ON-weerstand van de QS3R800 als functie van de ingangsspanning V_{in} (bij $V_{cc} = 5$ V).

1.2 Type-beschrijving QuickSwitch bus-schakelaars

Commercial: T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
V_{BIAS}	Bias Voltage	V_{CC} = 5V	1.3	—	V_{CC}	V
I_O	Bias Current	V_{CC} = 4.5V, V_{BIAS} = 2.4V, V_0 =0 $\overline{ON}$ = High	0.25	—	—	mA
$\mid I_{IN} \mid$	Input Leakage Current (Control inputs)	$0 \leq V_{IN} \leq V_{CC}$	—	—	1	µA
$\mid I_{OZ} \mid$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$	—	—	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V I_{ON} = 30mA	—	2.5	4	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V I_{ON} = 15 mA	—	4	5.5	Ω

Tabel 9/1.2-22: Gelijkspanningskenmerken van de QS3R800.

T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%

Symbol	Parameter	Test Conditions(1)	Typ(2)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	0.2	3.0	µA
ΔI_{CC}	Power Supply Current per Input HIGH	V_{CC} = Max., V_{IN} = 3.4V(3), f = 0 per Control Input	—	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(4)	V_{CC} = Max., A and B Pins Open, Data Inputs = GND, Control Inputs Toggling @ 50% Duty Cycle	—	0.25	mA/ MHz

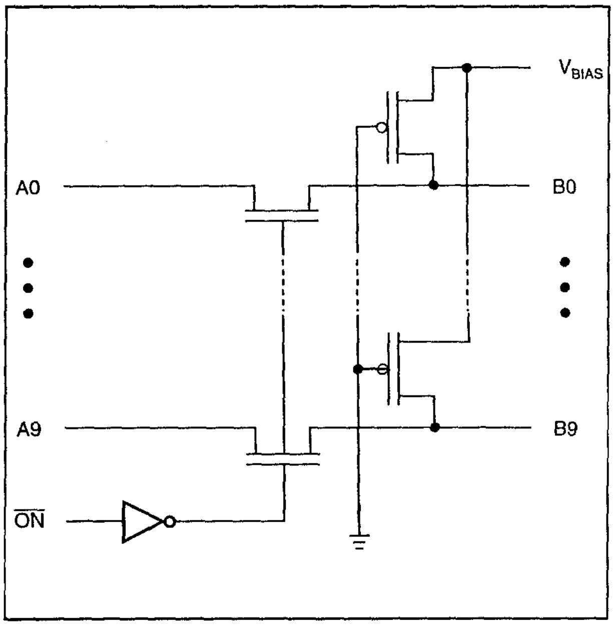
Tabel 9/1.2-23: Kenmerken van de voeding van de QS3800 en QS3R800.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

Commercial: T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description[1]	Test Conditions	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,3] A to B or B to A		—	0.25[3]	—	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{ON}$ to A or B	V_{BIAS} = 3V, V_{BIAS} = GND	1.5	—	7.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay[2] $\overline{ON}$ to A or B	V_{BIAS} = 3V, V_{BAIS} = GND	1.5	—	6.5	ns

Tabel 9/1.2-24: Schakeltijden van de QS3800 en QS3R800.

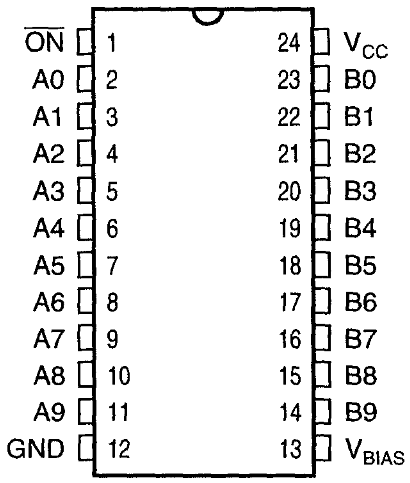


Figuur 9/1.2-18: Functioneel blokschema van de QS3R801.

Supply Voltage to Ground .... –0.5V to +7.0V
Bias Voltage Range, BIAS V .... –0.5V to V_{CC}
DC Input Voltage V_{IN} .... –0.5V to V_{CC} + 0.5V
AC Input Voltage (for a pulse width ≤ 20ns) .... –3.0V
DC Output Current Max. Sink Current/Pin 128mA
Input Clamp Current .... –50mA
Maximum Power Dissipation .... 0.5 watts
T_{STG} Storage Temperature .... –65° to +150°C

Tabel 9/1.2-25: Maximaal toegelaten waarden van de QS3R801.

SOIC. QSOP



Name	I/O	Function
A0-A9	I/O	Bus A
B0-B9	I/O	Bus B
$\overline{ON}$	I	Bus Switch Enable
V_{BIAS}	I	Bias Voltage

Figuur 9/1.2-19: Aansluitingen van de QS3R801.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

$\overline{ON}$	B0-B9	Function
L	A0-A9 ≡ (LOW state) V_{BIAS} (A0-A9 ≡ HIGH state)	Connect
H	V_{BIAS}	Disconnect

Figuur 9/1.2-20: Waarheidstabel van de QS3R801.

QS3801

10 bit bidirectionele CMOS bus-switch met pull-up afsluiting

De QS3801 is een 10 bit CMOS high-speed TTL-compatibele bus-schakelaar, bestuurd door een enkel enable-signaal ($\overline{ON}$). Als $\overline{ON}$ LAAG is, is de schakelaar AAN en is port A via de 5 Ω ON-weerstanden verbonden met port B. Als het signaal op ingang A logisch HOOG is (bijvoorbeeld 3,3 V) dan wordt door het P-kanaals optrekmechanisme de spanning op B verhoogd tot bijvoorbeeld 5 V. Deze P-kanaals optrekking is bijvoorbeeld nodig als het logisch HOOG-niveau niet hoog genoeg is voor de CMOS op de B-bus. Als het signaal op punt A logisch LAAG is, heeft het optrekmechanisme op B geen invloed.

Technische gegevens

- 10 bit bidirectionele bus-schakelaar
- ON-weerstand 5 Ω
- TTL-compatibele in- en uitgangen
- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizingen: 24-pens SOIC en QSOP
- fabrikant: Quality Semiconductor

Commercial: T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0 \le V_{IN} \le V_{CC}$	—	—	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0 \le V_{OUT} \le V_{CC}$	—	—	1	µA
V_{BIAS}	Bias Voltage	V_{CC} = 5V	1.3	—	V_{CC}	V
I_O	Bias Current	V_{CC} = 4.5V, V_{BIAS} = 2.4V, V_0 = 0, $\overline{ON}$ = HIGH	0.25	—	—	mA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V I_{ON} = 30mA	—	5	7	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V I_{ON} = 15 mA	—	10	15	Ω

Tabel 9/1.2-26: Gelijkspanningskenmerken van de QS3801.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%

Symbol	Parameter	Test Conditions(1)	Typ(2)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	0.2	3.0	µA
ΔI_{CC}	Power Supply Current per Input HIGH	V_{CC} = Max., V_{IN} = 3.4V(3), f = 0 per Control Input	—	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(4)	V_{CC} = Max., A and B Pins Open, Data Inputs = GND, Control Inputs Toggling @ 50% Duty Cycle	—	0.25	mA/ MHz

Tabel 9/1.2-27: Kenmerken van de voeding van de QS3R801.

Commercial: T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description(1)	QS3801 Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay(2,3) A to B or B to A	—	0.25	—	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{ON}$ to A or B	1.5	—	7.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay(2) $\overline{ON}$ to A or B	1.5	—	6.5	ns

Tabel 9/1.2-28: Schakeltijden van de QS3R801.

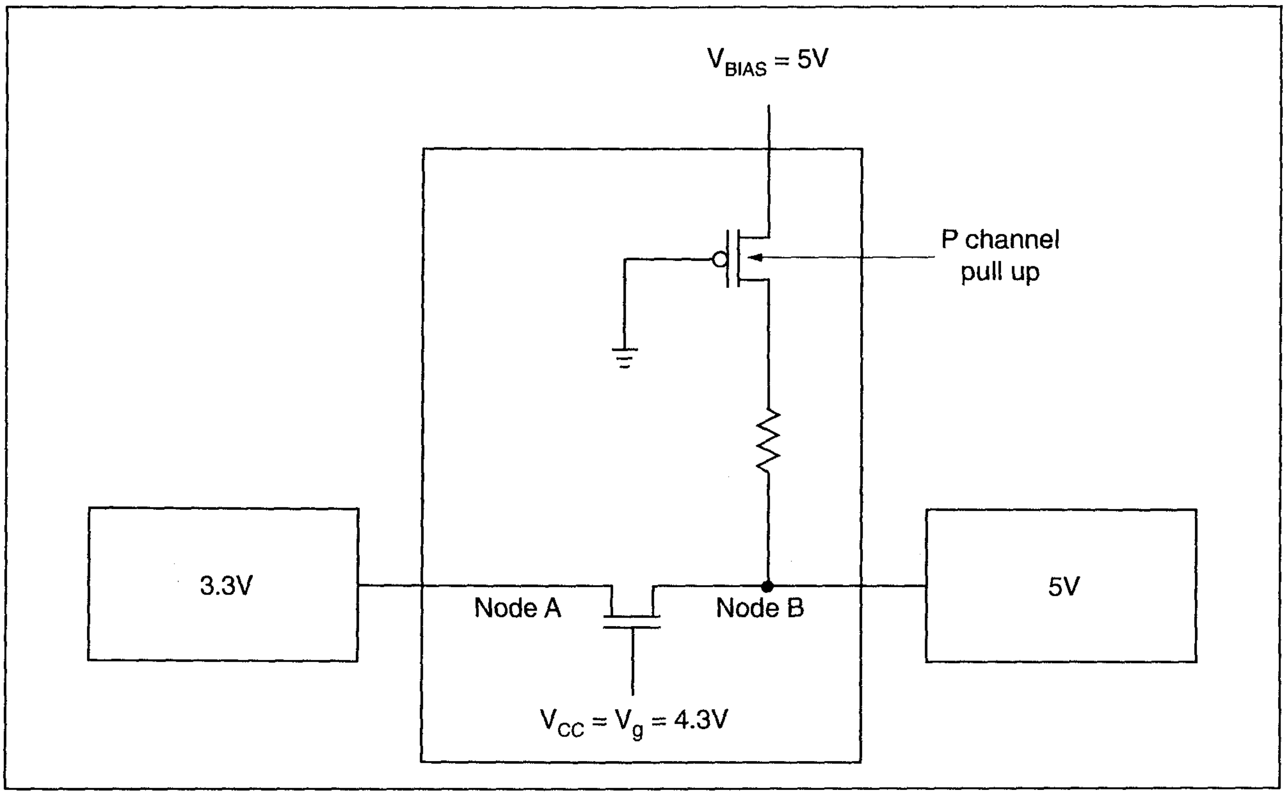
QS3861, QS3R861, QS32861
10 bit N-kanaals CMOS bus-switch met “flow-through” pinout

De QS3861, QS3R861 en QS32861 zijn 10 bit CMOS high-speed TTL-compatibele bus-schakelaars, waarbij de schakelfunctie wordt bediend met een enkel enable-signaal ($\overline{BE}$).
Als $\overline{BE}$ LAAG is, zijn de schakelaars AAN. Bij de QS3861 bedraagt de ON-weerstandswaarde 5 Ω, bij de QS3R861 is die de helft (2,5 Ω) en bij de QS32861 is een serieweerstand van 25 Ω opgenomen. De lage weerstandswaarden maken hot-plugging en hot-swapping mogelijk, terwijl de 25 Ω waarde weer zorgt voor geringe reflectie-ruis bij hoge snelheden.

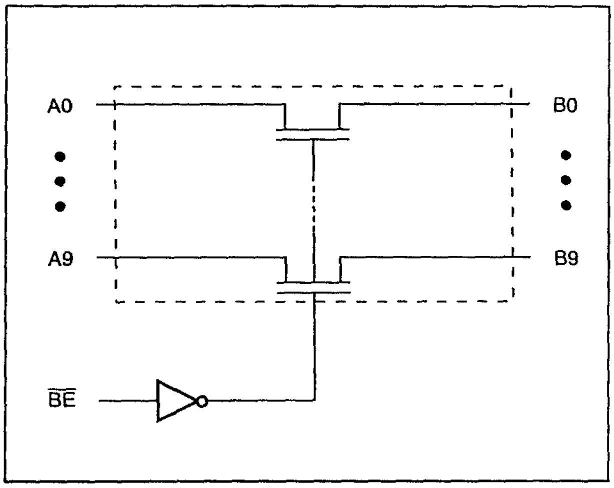
Technische gegevens
- 10 bit N-kanaals bus-schakelaar met “flow-thru” aansluitingen
- ON-weerstanden:
  QS3861: 5 Ω
  QS3R861: 2,5 Ω
  QS32861: 25 Ω
- TTL-compatibele in- en uitgangen
- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen

1.2 Type-beschrijving QuickSwitch bus-schakelaars

- behuizingen: 24-pens SOIC en QSOP (QS3861 ook TSSOP)
- fabrikant: Quality Semiconductor



Figuur 9/1.2-21: Toepassing van de QS3R801 met spannings-aanpassing voor de koppeling van 3,3 V logica aan 5 V logica.



Figuur 9/1.2-22: Functioneel blokschema van de QS3861, QS3R861 en QS32861.

Parameter	Value
Supply Voltage to Ground	–0.5V to 7.0V
DC Switch Voltage V_S	–0.5V to 7.0V
DC Input Voltage V_{IN}	–0.5V to 7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation	0.5 watts
T_{STG} Storage Temperature	–65° to 150°C

Tabel 9/1.2-29: Maximaal toegelaten waarden van de QS3861, QS3R861 en QS32861.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ±5%

Symbol	Parameter	Test Conditions		Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs		2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs		—	—	0.8	V
$\|I_{IN}\|$	Input Leakage Current (Control Input)	$0 \leq V_{IN} \leq V_{CC}$		—	0.01	1	µA
$\|I_{OZ}\|$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches Off		—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min. V_{IN} = 0.0V I_{ON} = 30mA	3861	—	5	7	Ω
			32861	20	28	40	
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min. V_{IN} = 2.4V I_{ON} = 15mA	3861	—	10	15	Ω
			32861	20	35	48	
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA		3.7	4	4.2	V

Tabel 9/1.2-30: Gelijkspanningskenmerken van de QS3861 en QS32861.

T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\|I_{IN}\|$	Input Leakage Current (Control Inputs)	$0 \leq V_{IN} \leq V_{CC}$	—	0.01	1	µA
$\|I_{OZ}\|$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches Off	—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V, I_{ON} = 30mA	—	2.5	4	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V, I_{ON} = 15mA	—	4	5.5	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA	3.7	4	4.3	V

Tabel 9/1.2-31: Gelijkspanningskenmerken van de QS3R861.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 5\%$

Symbol	Parameter	Test Conditions(1)	Typ(2)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	0.2	3.0	µA
ΔI_{CC}	Power Supply Current per Input HIGH	V_{CC} = Max., V_{IN} = 3.4V(3), f = 0 per Control Input	—	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(4)	V_{CC} = Max., A and B Pins Open, $\overline{BE}$ Input Toggling @ 50% Duty Cycle	—	0.25	mA/ MHz

Tabel 9/1.2-32: Kenmerken van de voeding van de QS3861, QS3R861 en QS32861.

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 5\%$
$C_{LOAD} = 50pF$, $R_{LOAD} = 500\Omega$ unless otherwise noted.

Symbol	Description(1)	QS3861			QS32861			Unit
		Min	Typ	Max	Min	Typ	Max	
t_{PLH} t_{PHL}	Data Propagation Delay(2,4) A to B or B to A	—	—	0.25(3)	—	—	1.25(3)	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{BE}$ to A or B	1.5	—	6.5	1.5	—	7.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay(2) $\overline{BE}$ to A or B	1.5	—	5.5	1.5	—	5.5	ns

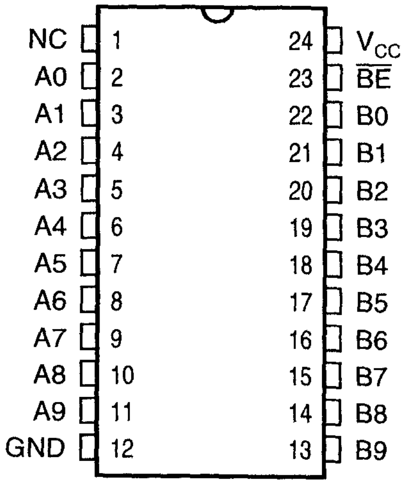
Tabel 9/1.2-33: Schakeltijden van de QS3861 en QS32861.

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 10\%$
$C_{LOAD} = 50pF$, $R_{LOAD} = 500\Omega$ unless otherwise noted.

Symbol	Description(1)	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay(4) A to B or B to A	—	—	0.12(3)	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay(2) $\overline{BE}$ to A or B	1.5	—	5.6	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay $\overline{BE}$ to A or B	1.5	—	4.5	ns

Tabel 9/1.2-34: Schakeltijden van de QS3R861.

1.2 Type-beschrijving QuickSwitch bus-schakelaars



Name	Function
$\overline{BE}$	Bus Enable
A0-A9	Bus A
B0-B9	Bus B

Figuur 9/1.2-23: Aansluitingen van de QS3861, QS3R861 en QS32861.

$\overline{BE}$	A0-A9	Function
H	Hi-Z	Disconnect
L	B0-B9	Connect

Figuur 9/1.2-24: Waarheidstabel van de QS3861, QS3R861 en QS32861.

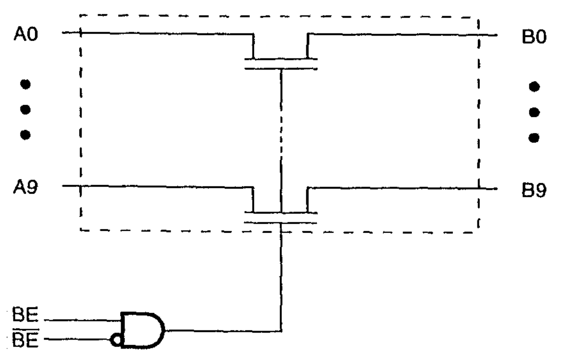
QS3862, QS3R862, QS32862

10 bit N-kanaals CMOS bus-switch met aktief-HOGE en aktief-LAGE enables

De QS3862, QS3R862 en QS32862 zijn 10 bit CMOS high-speed TTL-compatibele bus-schakelaars die worden bestuurd door twee enable-signalen: het aktief-LAGE $\overline{BE}$ en het aktief-HOGE BE. Alleen als $\overline{BE}$ = LAAG is en BE = HOOG, zijn de schakelaars AAN.
Bij de QS3862 is de ON-weerstand 5 Ω, bij de QS3R862 2,5 Ω en bij de QS32862 25 Ω. Bij alle drie bevinden de aansluitingen van de B-bus zich tegenover de A-bus. De lage weerstandswaarde van de QS3R862 maakt hot-plugging en hot-swapping bij (Compact)PCI en VME-toepassingen mogelijk. Bij de QS32862 zorgt de 25 Ω waarde voor een lage reflectie-ruis bij hoge snelheden.

Technische gegevens

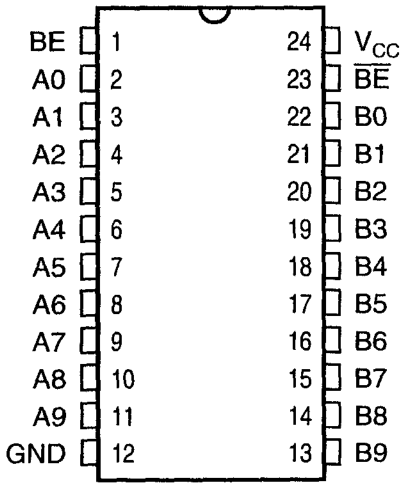
- 10 bit N-kanaals bus-schakelaar met "flow-thru" aansluitingen
- ON-weerstanden:
  QS3862: 5 Ω
  QS3R862: 2,5 Ω
  QS32862: 25 Ω
- twee enable-signalen: aktief-HOOG en aktief-LAAG
- TTL-compatibele in- en uitgangen
- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizingen: 24-pens SOIC en QSOP
- fabrikant: Quality Semiconductor



Figuur 9/1.2-25: Functioneel blokschema van de QS3862, QS3R862 en QS32862.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

QSOP, SOIC (SO)



Name	I/O	Function
BE	I	Active High Bus Enable
$\overline{BE}$	I	Active High Bus Enable
A0-A9	I/O	Bus A
B0-B9	I/O	Bus B

Figuur 9/1.2-26: Aansluitingen van de QS3862, QS3R862 en QS32862.

BE	$\overline{BE}$	A0-A9	Function
L	L	Hi-Z	Disconnect
L	H	Hi-Z	Disconnect
H	L	B0-B9	Connect
L	L	Hi-Z	Disconnect

Figuur 9/1.2-27: Waarheidstabel van de QS3862, QS3R862 en QS32862.

Supply Voltage to Ground .... –0.5V to +7.0V
DC Switch Voltage V_S .... –0.5V to +7.0V
DC Input Voltage V_{IN} .... –0.5V to +7.0V
AC Input Voltage (for a pulse width ≤ 20ns) .... –3.0V
DC Output Current Max. Sink Current/Pin 120mA
Maximum Power Dissipation .... 0.5 watts
T_{STG} Storage Temperature .... –65° to +150°C

Tabel 9/1.2-35: Maximaal toegelaten waarden van de QS3862, QS3R862 en QS32862.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

$T_A = -40°C$ to 85°C, $V_{CC} = 5.0V \pm 10\%$

Symbol	Parameter	Test Conditions		Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs		2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs		—	—	0.8	V
$\| I_{IN} \|$	Input Leakage Current (Control Inputs)	$0 \le V_{IN} \le V_{CC}$		—	0.01	1	µA
$\| I_{OZ} \|$	Off-State Current (Hi-Z)	$0 \le V_{OUT} \le V_{CC}$, Switches Off		—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V,	3862	—	5	7	Ω
		I_{ON} = 30mA	32862	20	28	40	
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V	3862	—	10	15	Ω
		I_{ON} = 15mA	32862	20	35	48	
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA		3.7	4	4.2	V

Tabel 9/1.2-36: Gelijkspanningskenmerken van de QS3862 en QS32862.

$T_A = -40°C$ to 85°C, $V_{CC} = 5.0V \pm 10\%$

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\| I_{IN} \|$	Input Leakage Current (Control Inputs)	$0 \le V_{IN} \le V_{CC}$	—	0.01	1	µA
$\| I_{OZ} \|$	Off-State Current (Hi-Z)	$0 \le V_{OUT} \le V_{CC}$, Switches Off	—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V, I_{ON} = 30mA	—	2.5	4	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min. , V_{IN} = 2.4V, I_{ON} = 15mA	—	4	5.5	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA	3.7	4	4.3	V

Tabel 9/1.2-37: Gelijkspanningskenmerken van de QS3R862.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%

Symbol	Parameter	Test Conditions[1]	Typ[2]	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	0.2	3.0	μA
ΔI_{CC}	Power Supply Current per Input HIGH	V_{CC} = Max., V_{IN} = 3.4V[3], f = 0 per Control Input	—	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz[4]	V_{CC} = Max., A and B Pins Open, BE, $\overline{BE}$ Inputs Toggling @ 50% Duty Cycle	—	0.25	mA/ MHz

Tabel 9/1.2-38: Kenmerken van de voeding van de QS3862, QS3R862 en QS32862.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description[1]	QS3862 Min	QS3862 Typ	QS3862 Max	QS32862 Min	QS32862 Typ	QS32862 Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,4] A to B or B to A	—	—	0.25[3]	—	—	1.25[3]	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{BE}$ or BE to A or B	1.5	—	6.5	1.5	—	7.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay[2] $\overline{BE}$ or BE to A or B	1.5	—	5.5	1.5	—	5.5	ns

Tabel 9/1.2-39: Schakeltijden van de QS3862 en QS32862.

T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description[1]	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,4] A to B or B to A	—	—	0.12[3]	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{BE}$ or BE to A or B	1.5	—	5.6	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay[2] $\overline{BE}$ or BE to A or B	1.5	—	4.5	ns

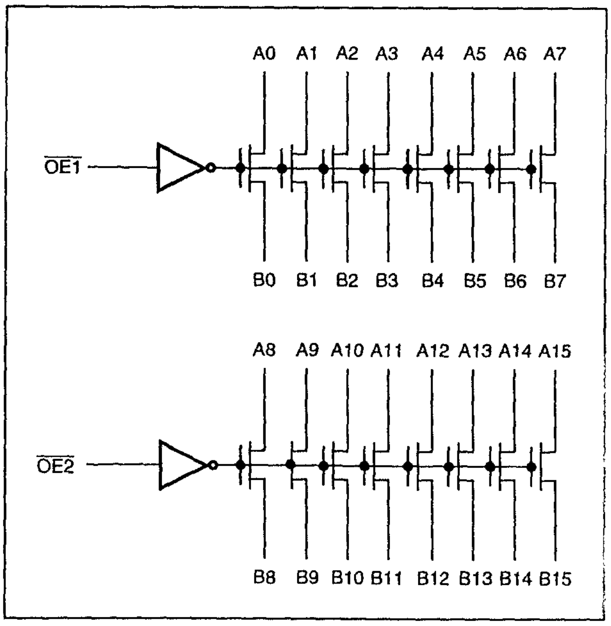
Tabel 9/1.2-40: Schakeltijden van de QS3R862.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

QS32X245, QS32XR245, QS32X2245

16 bit N-kanaals CMOS bus-switch

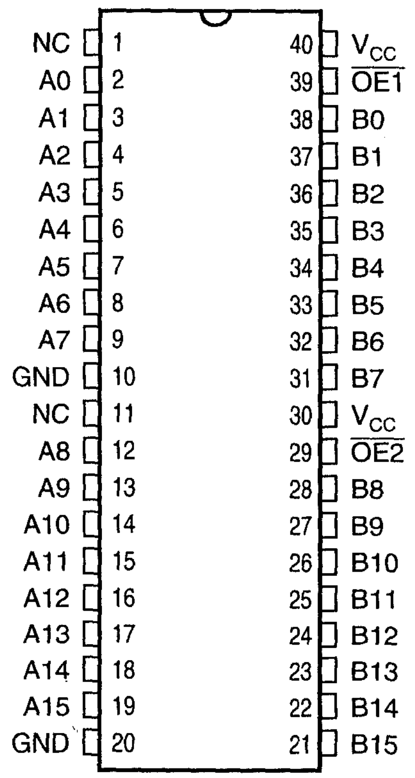
De QS32X245, QS32XR245 en QS32X2245 zijn 16 bit CMOS high-speed TTL-compatibele bus-schakelaars. Doordat de QS32X245 een ON-weerstand van slechts 5 Ω heeft, veroorzaakt die geen vertraging. Bij de QS32X2245 is in elk kanaal een serie-weerstand van 25 Ω opgenomen ter verkleining van de "ground-bounce". De QS32XR245 heeft de kleinste ON-weerstand van 2,5 Ω. De schakelaars worden AAN-gezet met twee output enable-signalen ($\overline{OE1}$ en $\overline{OE2}$). De QuickSwitch schakelaars zijn sneller dan conventionele logische schakelingen en worden onder andere gebruikt voor PCI "hot-docking", spannings-omzetting (5 V naar 3,3 V) en bus-isolatie.



Figuur 9/1.2-28: Functioneel blokschema van de QS32X245, QS32XR245 en QS32X2245.

Technische gegevens

- 2 x 8 bit enhanced N-kanaals bus-schakelaar
- geen inherente diode naar V_{CC}
- dubbele '245-functie
- ON-weerstand:
  QS32X245: 5 Ω
  QS32XR245: 2,5 Ω
  QS32X2245: 25 Ω
- TTL-compatibele ingangen
- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizing: 40-pens QVSOP (Q2)
- fabrikant: Quality Semiconductor



Name	I/O	Description
$\overline{OE1}$, $\overline{OE2}$	I	Output Enable
An	I/O	Bus A
Bn	I/O	Bus B

Figuur 9/1.2-29: Aansluitingen van de QS32X245, QS32XR245 en QS32X2245.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

$\overline{OE1}$	$\overline{OE2}$	A0-A7	A8-A15	Function
H	H	Hi-Z	Hi-Z	Disconnect
L	H	B0-B7	Hi-Z	Connect
H	L	Hi-Z	B8-B15	Connect
L	L	B0-B7	B8-B15	Connect

Figuur 9/1.2-30: Waarheidstabel van de QS32X245, QS32XR245 en QS32X2245.

Supply Voltage to Ground	–0.5V to +7.0V
DC Switch Voltage V_S	–0.5V to +7.0V
DC Input Voltage V_{IN}	–0.5V to +7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation At T_A = 70°C	0.92 watts
T_{STG} Storage Temperature	–65° to +150°C

Tabel 9/1.2-41: Maximaal toegelaten waarden voor de QS32X245, QS32XR245 en QS32X2245.

Commercial: T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions	Min	Typ[1]	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0 \leq V_{IN} \leq V_{CC}$	—	0.01	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches OFF	—	0.01	1	µA
R_{ON}	Switch ON Resistance[2]	V_{CC} = Min., V_{IN} = 0.0V QS32X245 I_{ON} = 30mA QS32X2245	— 20	5 28	7 40	Ω
R_{ON}	Switch ON Resistance[2]	V_{CC} = Min., V_{IN} = 2.4V QS32X245 I_{ON} = 15mA QS32X2245	— 20	10 35	15 48	Ω
V_P	Pass Voltage[3]	V_{IN} = V_{CC} = 5V, I_{OUT} = –5µA	3.7	4	4.2	V

Tabel 9/1.2-42: Gelijkspanningskenmerken van de QS32X245 en QS32X2245.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0V \leq V_{IN} \leq V_{CC}$	—	—	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0V \leq V_{OUT} \leq V_{CC}$, Switches OFF	—	—	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V I_{ON} = 30mA	—	2.5	4	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V I_{ON} = 15mA	—	4	5.5	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA	3.7	4	4.3	V

Tabel 9/1.2-43: Gelijkspanningskenmerken van de QS32XR245.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	6	µA
ΔI_{CC}	Power Supply Current Per Control Input HIGH(2)	V_{CC} = Max., V_{IN} = 3.4V, f = 0	1.5	mA
Q_{CCD}	Dynamic Power Supply Current Per MHz(3)	V_{CC} = Max., A and B Pins Open, Control Input Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.2-44: Kenmerken van de voeding van de QS32X245, QS32XR245 en QS32X2245.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description(1)		Min	Typ	Max	Unit
t_{PLH}	Data Propagation Delay(2,3)	QS32X245	—	—	0.25(3)	ns
t_{PHL}	An to/from Bn	QS32X2245	—	—	1.25(3)	
t_{PZL}	Switch Turn-on Delay	QS32X245	0.5	—	5.6	ns
t_{PZH}	$\overline{OEn}$ to An/Bn	QS32X2245	0.5	—	6.6	
t_{PLZ}	Switch Turn-off Delay(2)	QS32X245	0.5	—	4.5	ns
t_{PHZ}	$\overline{OEn}$ to An/Bn	QS32X2245	0.5	—	4.5	

Tabel 9/1.2-45: Schakeltijden van de QS32X245 en QS32X2245.

T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description(1)	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay(2,3) An to Bn, Bn to An	—	—	0.12(3)	ns
t_{PZH} t_{PZL}	Switch Turn-on Delay $\overline{OE}$ to An,Bn	0.5	—	5.6	ns
t_{PHZ} t_{PLZ}	Switch Turn-off Delay(2) $\overline{OE}$ to An,Bn	0.5	—	4.5	ns

Tabel 9/1.2-46: Schakeltijden van de QS32XR245.

QS32X384, QS32XL384, QS32XR384, QS32X2384, QS32XL2384

20 bit N-kanaals CMOS bus-switch

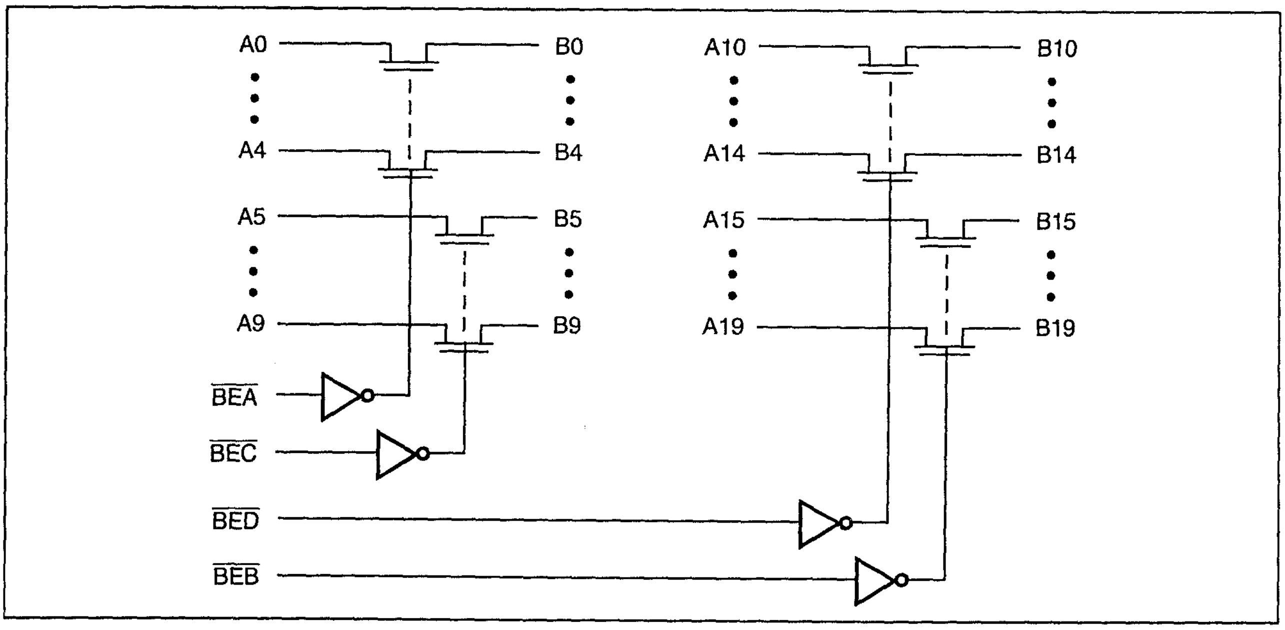
De QS32X384, QS32XL384, QS32XR384, QS32X2384 en QS32XL2384 zijn 20 bit CMOS high-speed TTL-compatibele bus-schakelaars, gerangschikt in vier groepen van 5 kanalen (A, B, C en D). Alle vijf typen hebben dezelfde configuratie, maar verschillen wat betreft het opgenomen vermogen en de ON-weerstand. De QS32X384 en de Low-Power versie QS32XL384 hebben een ON-weerstand van 5 Ω. Van de QS32XR384 bedraagt de waarde van de ON-weerstand 2,5 Ω. Alle kanalen van de QS32X2384 en QS32XL2384 zijn voorzien van een serieweerstand van 25 Ω ter verkleining van de "ground-bounce".

De schakelaars worden AAN-gezet door de bus enable-signalen ($\overline{BEA}$, $\overline{BEB}$, $\overline{BEC}$ of $\overline{BED}$) LAAG te maken. De QuickSwitch schakelaars zijn sneller dan conventionele logische schakelingen en worden onder andere gebruikt voor "hot-docking", spanningsomzetting (5 V naar 3,3 V) en bus-isolatie.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

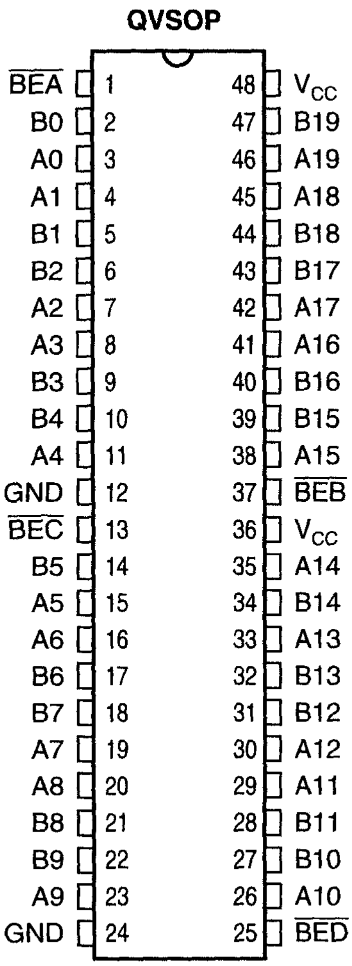
Technische gegevens

- 4 x 5 bit enhanced N-kanaals bus-schakelaar
- geen inherente diode naar V_{CC}
- ON-weerstand:
  QS32X384 en QS32XL384: 5 Ω
  QS32XR384: 2,5 Ω
  QS32X2384 en QS32XL2384: 25 Ω
- TTL-compatibele ingangen
- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizing: 48-pens QVSOP (Q1)
- fabrikant: Quality Semiconductor



Figuur 9/1.2-31: Functioneel blokschema van de QS32X384, QS32XL384, QS32XR384, QS32X2384 en QS32XL2384.

1.2 Type-beschrijving QuickSwitch bus-schakelaars



Name	I/O	Function
A0-A19	I/O	Bus A
B0-B19	I/O	Bus B
$\overline{BEA}$	I	Enable,0-4
$\overline{BEB}$	I	Enable, 15-19
$\overline{BEC}$	I	Enable, 5-9
$\overline{BED}$	I	Enable, 10-14

Figuur 9/1.2-32: Aansluitingen van de QS32X384, QS32XL384, QS32XR384, QS32X2384 en QS32XL2384.

$\overline{BEA}$	$\overline{BEB}$	B0-B4	B15-B19	Function
H	H	Hi-Z	Hi-Z	Disconnect
L	H	A0-A4	Hi-Z	Connect
H	L	Hi-Z	A15-A19	Connect
L	L	A0-A4	A15-A19	Connect
$\overline{BEC}$	**$\overline{BED}$**	**B5-B9**	**B10-B14**	**Function**
H	H	Hi-Z	Hi-Z	Disconnect
L	H	A5-A9	Hi-Z	Connect
H	L	Hi-Z	A10-A14	Connect
L	L	A5-A9	A10-A14	Connect

Figuur 9/1.2-33: Waarheidstabel van de QS32X384, QS32XL384, QS32XR384, QS32X2384 en QS32XL2384.

Supply Voltage to Ground	–0.5V to +7.0V
DC Switch Voltage V_S	–0.5V to +7.0V
DC Input Voltage V_{IN}	–0.5V to +7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation	0.5 watts
T_{STG} Storage Temperature	–65° to +150°C

Tabel 9/1.2-47: Maximaal toegelaten waarden van de QS32X384, QS32XL384, QS32XR384, QS32X2384 en QS32XL2384 (alle typen).

(wordt vervolgd)

1.2 Type-beschrijving QuickSwitch bus-schakelaars

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 5\%$

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0 \leq V_{IN} \leq V_{CC}$	—	0.01	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches OFF	—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V 32X384 I_{ON} = 30mA 32X2384	— 20	5 28	7 40	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V 32X384 I_{ON} = 15mA 32X2384	— 20	10 35	15 48	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC} = 5V$, $I_{OUT} = -5\mu A$	3.7	4	4.2	V

Tabel 9/1.2-48: Gelijkspanningskenmerken van de QS32X384 en QS32X2384.

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 5\%$

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0 \leq V_{IN} \leq V_{CC}$	—	0.01	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches Off	—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V 32XL384 I_{ON} = 30mA 32XL2384	— 20	5 28	7 40	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V 32XL384 I_{ON} = 15mA 32XL2384	— 20	10 35	15 48	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC} = 5V$, $I_{OUT} = -5\mu A$	3.7	4	4.2	V

Tabel 9/1.2-49: Gelijkspanningskenmerken van de QS32XL384 en QS32XL2384.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

Commercial: T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0 \leq V_{IN} \leq V_{CC}$	—	0.01	1	μA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches OFF	—	0.01	1	μA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V, I_{ON} = 30mA	—	2.5	4	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V, I_{ON} = 15mA	—	4	5.5	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5μA	3.7	4	4.3	V

Tabel 9/1.2-50: Gelijkspanningskenmerken van de QS32XR384.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	3.0	mA
ΔI_{CC}	Power Supply Current per Input HIGH(2)	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per Control Input	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(3)	V_{CC} = Max., A and B Pins Open, Control Inputs Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.2-51: Kenmerken van de voeding van de QS32X384, QS32XR384 en QS32X2384.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions[1]	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	6.0	µA
ΔI_{CC}	Power Supply Current per Input HIGH[2]	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per Control Input	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz[3]	V_{CC} = Max., A and B Pins Open, Control Inputs Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.2-52: Kenmerken van de voeding van de QS32XL384 en QS32XL2384.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description[1]	QS32XL384 Min	QS32XL384 Typ	QS32XL384 Max	QS32XL2384 Min	QS32XL2384 Typ	QS32XL2384 Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,4] Ai to Bi, Bi to Ai	—	—	0.25[3]	—	—	1.25[3]	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{BE}$ to Ai, Bi	1.5	—	6.5	1.5	—	7.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay[2] $\overline{BE}$ to Ai, Bi	1.5	—	5.5	1.5	—	5.5	ns

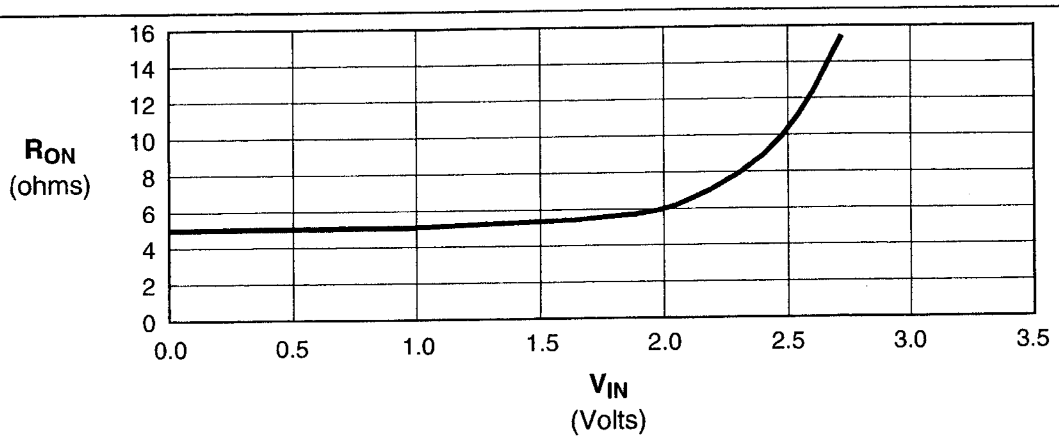
Tabel 9/1.2-53: Schakeltijden van de QS32X384 (en QS32XL384) en QS32X2384 (en QS32XL2384).

Commercial: T_A = –40°C to 85°C, V_{CC} = 5.0V ±5%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description[1]	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,4] Ai to Bi, Bi to Ai	—	—	0.12[3]	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{BEA}$, $\overline{BEB}$ to Ai, Bi	1.5	—	6.0	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay[2] $\overline{BEA}$, $\overline{BEB}$ to Ai, Bi	1.5	—	4.0	ns

Tabel 9/1.2-54: Schakeltijden van de QS32XR384.

1.2 Type-beschrijving QuickSwitch bus-schakelaars



Note: For QS32X2384, add 23Ω to R_{ON} shown.

Figuur 9/1.2-34: ON-weerstand van de QS32X384 als functie van de ingangsspanning V_{in} (bij V_{cc} = 5 V).

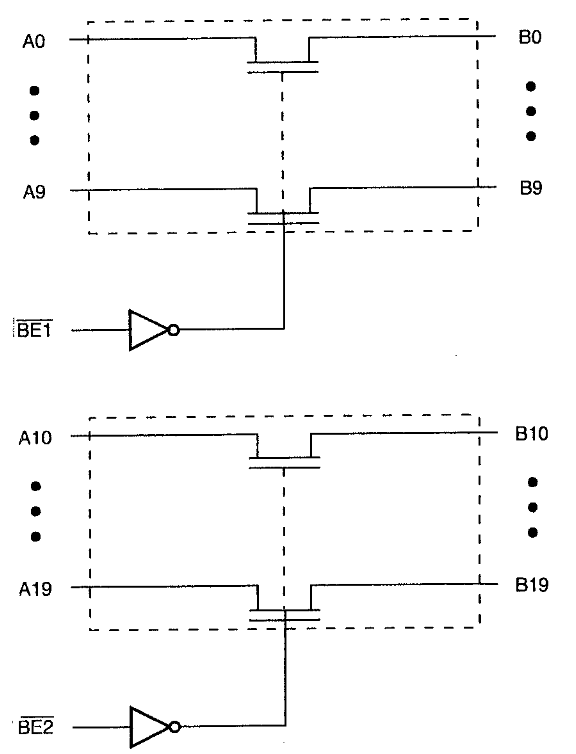
QS32X861, QS32XR861, QS32X2861

20 bit N-kanaals CMOS bus-switch met "flow-through" pinout

De QS32X861, QS32XR861 en QS32X2861 zijn 20 bit CMOS high-speed TTL-compatibele bus-schakelaars, georganiseerd in 2 x 10 bit. De schakelfunctie wordt bediend met twee enable-signalen ($\overline{BE1}$ voor de groep 0 tot en met 9 en $\overline{BE2}$ voor de groep 10 tot en met 19). De schakelaars worden AAN-gezet door de bijbehorende enable-signalen LAAG te maken. Bij de QS32X861 is de ON-weerstandswaarde 5 Ω, bij de QS32XR861 2,5 Ω en bij de QS32X2861 25 Ω. De lage weerstandswaarden maken hot-plugging en hot-swapping mogelijk, terwijl de 25 Ω waarde geringe reflectie-ruis bij hoge snelheden tot gevolg heeft.

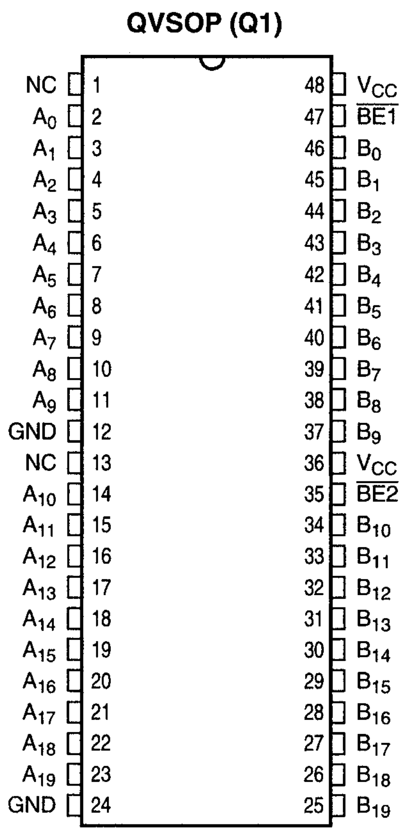
Technische gegevens

- 20 bit (2 x 10) N-kanaals bus-schakelaar met "flow-thru" aansluitingen
- ON-weerstanden:
  QS32X861: 5 Ω
  QS32XR861: 2,5 Ω
  QS32X2861: 25 Ω
- TTL-compatibele in- en uitgangen
- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizingen: 48-pens QVSOP (Q1)
- fabrikant: Quality Semiconductor



Figuur 9/1.2-35: Functioneel blokschema van de QS32X861, QS32XR861 en QS32X2861.

1.2 Type-beschrijving QuickSwitch bus-schakelaars



Name	I/O	Function
A0-A19	I/O	Bus A
B0-B19	I/O	Bus B
$\overline{BEn}$	I	Bus Enable

Figuur 9/1.2-36: Aansluitingen van de QS32X861, QS32XR861 en QS32X2861.

$\overline{BE1}$	$\overline{BE2}$	A0-A9	A10-A19	Function
L	L	B0-B9	B10-B19	Connect
L	H	B0-B9	Z	Connect
H	L	Z	B10-B19	Connect
H	H	Z	Z	Disconnect

Figuur 9/1.2-37: Waarheidstabel van de QS32X861, QS32XR861 en QS32X2861.

Supply Voltage to Ground	–0.5V to +7.0V
DC Switch Voltage V_S	–0.5V to +7.0V
DC Input Voltage V_{IN}	–0.5Vto+7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation	0.5 watts
T_{STG} Storage Temperature	–65° to +150°C

Tabel 9/1.2-55: Maximaal toegelaten waarden van de QS32X861, QS32XR861 en QS32X2861.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions		Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs		2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs		—	—	0.8	V
$\vert I_{IN}\vert$	Input Leakage Current (Control Inputs)	$0 \leq V_{IN} \leq V_{CC}$		—	0.01	1	µA
$\vert I_{OZ}\vert$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches off		—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V I_{ON} = 30mA	32X861 32X2861	— —	5 28	7 40	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V I_{ON} = 15mA	32X861 32X2861	— —	10 35	15 48	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA		3.7	4	4.2	V

Tabel 9/1.2-56: Gelijkspanningskenmerken van de QS32X861 en QS32X2861.

T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\vert I_{IN}\vert$	Input Leakage Current (Control Inputs)	$0 \leq BEn, \overline{BEn} \leq V_{CC}$	—	0.01	1	µA
$\vert I_{OZ}\vert$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches off	—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V I_{ON} = 30mA	—	2.5	4	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V I_{ON} = 15mA	—	4	5.5	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA	3.7	4	4.3	V

Tabel 9/1.2-57: Gelijkspanningskenmerken van de QS32XR861.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions[1]	Typ[2]	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	0.2	6.0	μA
ΔI_{CC}	Power Supply Current per Input HIGH[3]	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per Control Input	—	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz[4]	V_{CC} = Max., A and B Pins Open, $\overline{BEn}$ Toggling @ 50% Duty Cycle	—	0.25	mA/MHz

Tabel 9/1.2-58: Kenmerken van de voeding van de QS32X861, QS32XR861 en QS32X2861.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description[1]		Min	Typ	Max	Unit
t_{PLH}	Data Propagation Delay[2,3]	QS32X861	—	0.25	—	ns
t_{PHL}	An to/from Bn	QS32X2861	—	1.25	—	
t_{PZL}	Switch Turn-on Delay	QS32X861	1.5	—	6.5	ns
t_{PZH}	$\overline{BEn}$ to An/Bn	QS32X2861	1.5	—	7.5	
t_{PLZ}	Switch Turn-off Delay[2]	QS32X861	1.5	—	5.5	ns
t_{PHZ}	$\overline{BEn}$ to An/Bn	QS32X2861	1.5	—	6.5	

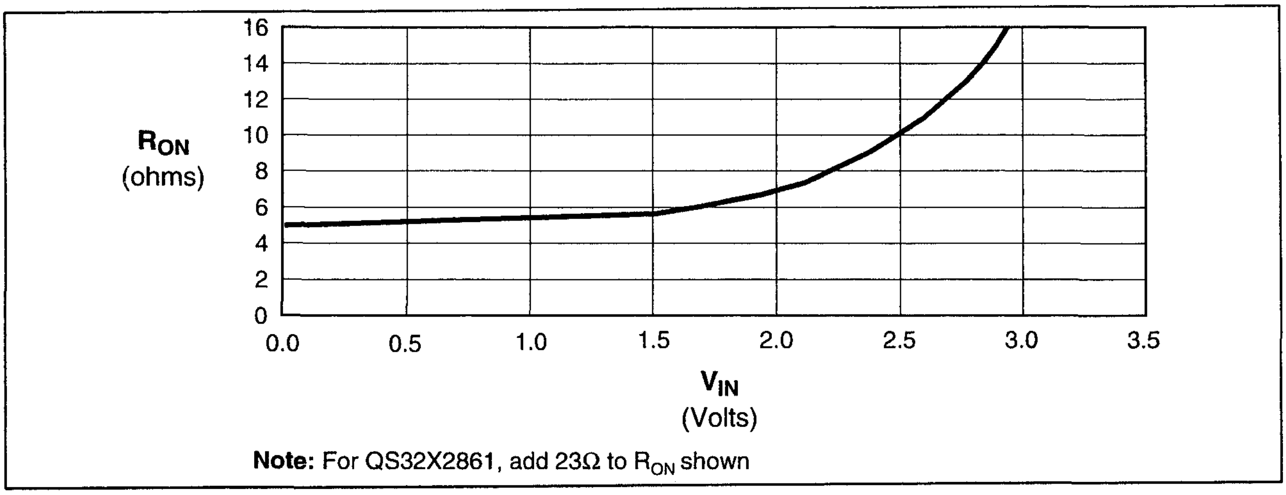
Tabel 9/1.2-59: Schakeltijden van de QS32X861 en QS32X2861.

T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description[1]	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,3] An to/from Bn	—	—	0.12[3]	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{BEn}$ or BEn to An/Bn	1.5	—	5.6	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay[2] BEn to An/Bn	1.5	—	4.5	ns

Tabel 9/1.2-60: Schakeltijden van de QS32XR861.

1.2 Type-beschrijving QuickSwitch bus-schakelaars



Figuur 9/1.2-38: ON-weerstand van de QS32X861 als functie van de ingangsspanning V_{in} (bij V_{cc} = 5 V).

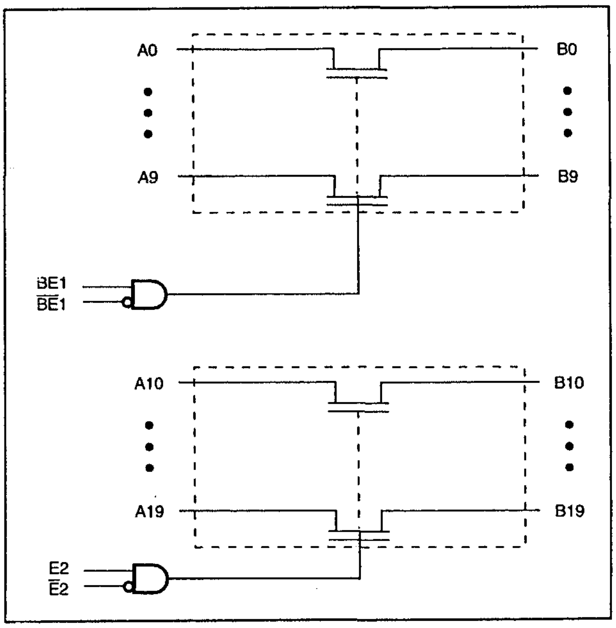
QS32X862, QS32XR862, QS32X2862

20 bit N-kanaals CMOS bus-switch met aktief-HOGE en aktief-LAGE enables

De QS32X862, QS32XR862 en QS32X2862 zijn 20 bit CMOS high-speed TTL-compatibele bus-schakelaars, verdeeld over twee groepen van 10 stuks die elk worden bestuurd door twee enable-signalen: de aktief-LAGE $\overline{BE1/2}$ en de aktief-HOGE BE1/2. Alleen als van een groep $\overline{BE}$ = LAAG is en BE = HOOG, zijn de schakelaars AAN. Bij de QS32X862 is de ON-weerstand 5 Ω, bij de QS32XR862 heeft die een waarde van 2,5 Ω en bij de QS32X2862 is de totale weerstand 25 Ω. De lage weerstandswaarde van de QS32XR862 maakt hot-plugging en hot-swapping bij (Compact)PCI en VME-toepassingen mogelijk. Bij de QS32X2862 zorgt de 25 Ω waarde voor lage reflectie-ruis.

Technische gegevens

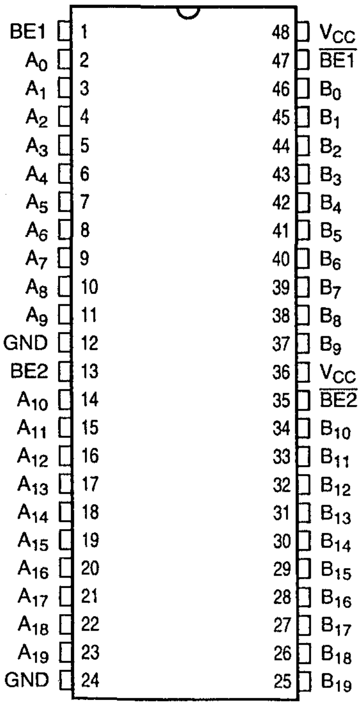
- 20 bit (2 x 10) N-kanaals bus-schakelaar met "flow-thru" aansluitingen
- ON-weerstanden:
  QS32X862: 5 Ω
  QS32XR862: 2,5 Ω
  QS32X2862: 25 Ω
- twee enable-signalen (AND-functie): aktief-HOOG en aktief-LAAG
- TTL-compatibele in- en uitgangen
- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizingen: 48-pens QVSOP (Q1)
- fabrikant: Quality Semiconductor



Figuur 9/1.2-39: Functioneel blokschema van de QS32X862, QS32XR862 en QS32X2862.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

QVSOP (Q1)



Name	I/O	Function
A0-A19	I/O	Bus A
B0-B19	I/O	Bus B
$\overline{BE}$	I	Active Low Bus Enable
BE	I	Active High Bus Enable

Figuur 9/1.2-40: Aansluitingen van de QS32X862, QS32XR862 en QS32X2862.

BE1	$\overline{BE1}$	A0-A9	Function
L	L	Hi-Z	Disconnect
L	H	Hi-Z	Disconnect
H	L	B0-B9	Connect
H	H	Hi-Z	Disconnect

BE2	$\overline{BE2}$	A10-A19	Function
L	L	Hi-Z	Disconnect
L	H	Hi-Z	Disconnect
H	L	B10-B19	Connect
H	H	Hi-Z	Disconnect

Figuur 9/1.2-41: Waarheidstabel van de QS32X862, QS32XR862 en QS32X2862.

Supply Voltage to Ground	–0.5V to +7.0V
DC Switch Voltage V_S	–0.5V to +7.0V
DC Input Voltage V_{IN}	–0.5Vto+7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation	0.5 watts
T_{STG} Storage Temperature	–65° to +150°C

Tabel 9/1.2-61: Maximaal toegelaten waarden van de QS32X862, QS32XR862 en QS32X2862.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions		Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs		2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs		—	—	0.8	V
$\|I_{IN}\|$	Input Leakage Current (Control Inputs)	$0 \leq V_{IN} \leq V_{CC}$		—	0.01	1	µA
$\|I_{OZ}\|$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches off		—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V	32X862	—	5	7	Ω
		I_{ON} = 30mA	32X2862	—	28	40	
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V	32X862	—	10	15	Ω
		I_{ON} = 15mA	32X2862	—	35	48	
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA		3.7	4	4.2	V

Tabel 9/1.2-62: Gelijkspanningskenmerken van de QS32X862 en QS32X2862.

T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\|I_{IN}\|$	Input Leakage Current (Control Inputs)	$0 \leq$ BEn, $\overline{BEn} \leq V_{CC}$	—	0.01	1	µA
$\|I_{OZ}\|$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches off	—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V I_{ON} = 30mA	—	2.5	4	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V I_{ON} = 15mA	—	4	5.5	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA	3.7	4	4.3	V

Tabel 9/1.2-63: Gelijkspanningskenmerken van de QS32XR862.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions[1]	Typ[2]	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	0.2	6.0	μA
ΔI_{CC}	Power Supply Current per Input HIGH[3]	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per Control Input	—	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz[4]	V_{CC} = Max., A and B Pins Open, $\overline{BEn}$ and BEn Inputs Toggling @ 50% Duty Cycle	—	0.25	mA/ MHz

Tabel 9/1.2-64: Kenmerken van de voeding van de QS32X862, QS32XR862 en QS32X2862.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description[1]		Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,4] An to/from Bn	QS32X862 QS32X2862	— —	0.25 1.25	— —	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay BEn or $\overline{BEn}$ to An/Bn	QS32X862 QS32X2862	1.5 1.5	— —	6.5 7.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay[2] BEn or $\overline{BEn}$ to An/Bn	QS32X862 QS32X2862	1.5 1.5	— —	5.5 6.5	ns

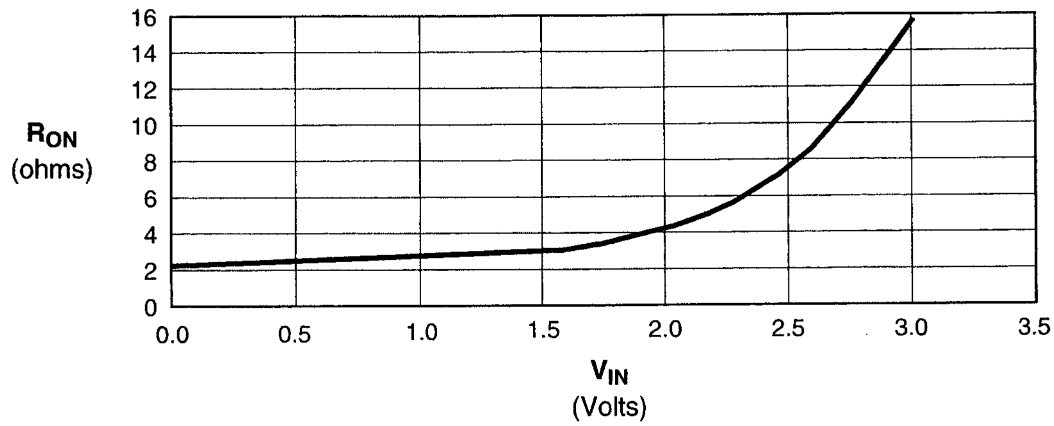
Tabel 9/1.2-65: Schakeltijden van de QS32X862 en QS32X2862.

T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description[1]	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,3] An to/from Bn	—	—	0.12[3]	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{BEn}$ or BEn to An/Bn	1.5	—	5.6	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay[2] BEn to An/Bn	1.5	—	4.5	ns

Tabel 9/1.2-66: Schakeltijden van de QS32XR862.

1.2 Type-beschrijving QuickSwitch bus-schakelaars



Figuur 9/1.2-42: Verloop van de ON-weerstand van de QS32XR862 als functie van de ingangsspanning V_{in} (bij V_{cc} = 5 V).

QS34X245, QS34XR245, QS34X2245

32 bit N-kanaals CMOS bus-switch

De QS34X245, QS34XR245 en QS34X2245 zijn leden van de MultiWidth familie (32 bit) CMOS high-speed TTL-compatibele bus-schakelaars met “flow-thru” aansluitingen. Ze zijn opgebouwd uit 4 x 8 kanalen die elk een eigen output enable-signaal hebben. De QS34X245 veroorzaakt met zijn ON-weerstand van slechts 5 Ω geen vertraging. Bij de QS34X2245 heeft elk kanaal een serie-weerstand van 25 Ω ter verkleining van de “ground-bounce”. De QS34XR245 heeft de kleinste ON-weerstand van 2,5 Ω. De schakelaars worden per groep AAN-gezet met de output enable-signalen $\overline{OE1}$, $\overline{OE2}$, $\overline{OE3}$ en $\overline{OE4}$).

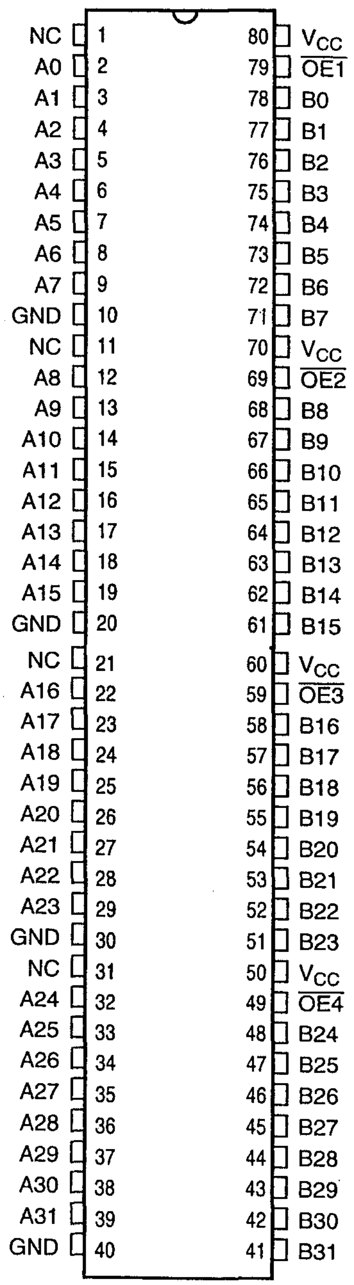
De QuickSwitch schakelaars zijn sneller dan conventionele logische schakelingen en worden onder andere gebruikt voor PCI “hot-docking”, “hot-swapping”, spanningsomzetting (5 V naar 3,3 V) en bus-isolatie.

Technische gegevens

- 32 bit (4 x 8) enhanced N-kanaals bus-schakelaar
- geen inherente diode naar V_{cc}
- ON-weerstand:
  QS34X245: 5 Ω
  QS34XR245: 2,5 Ω
  QS34X2245: 25 Ω
- TTL-compatibele ingangen
- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizing: 80-pens MillpaQ (Q3)
- fabrikant: Quality Semiconductor

1.2 Type-beschrijving QuickSwitch bus-schakelaars

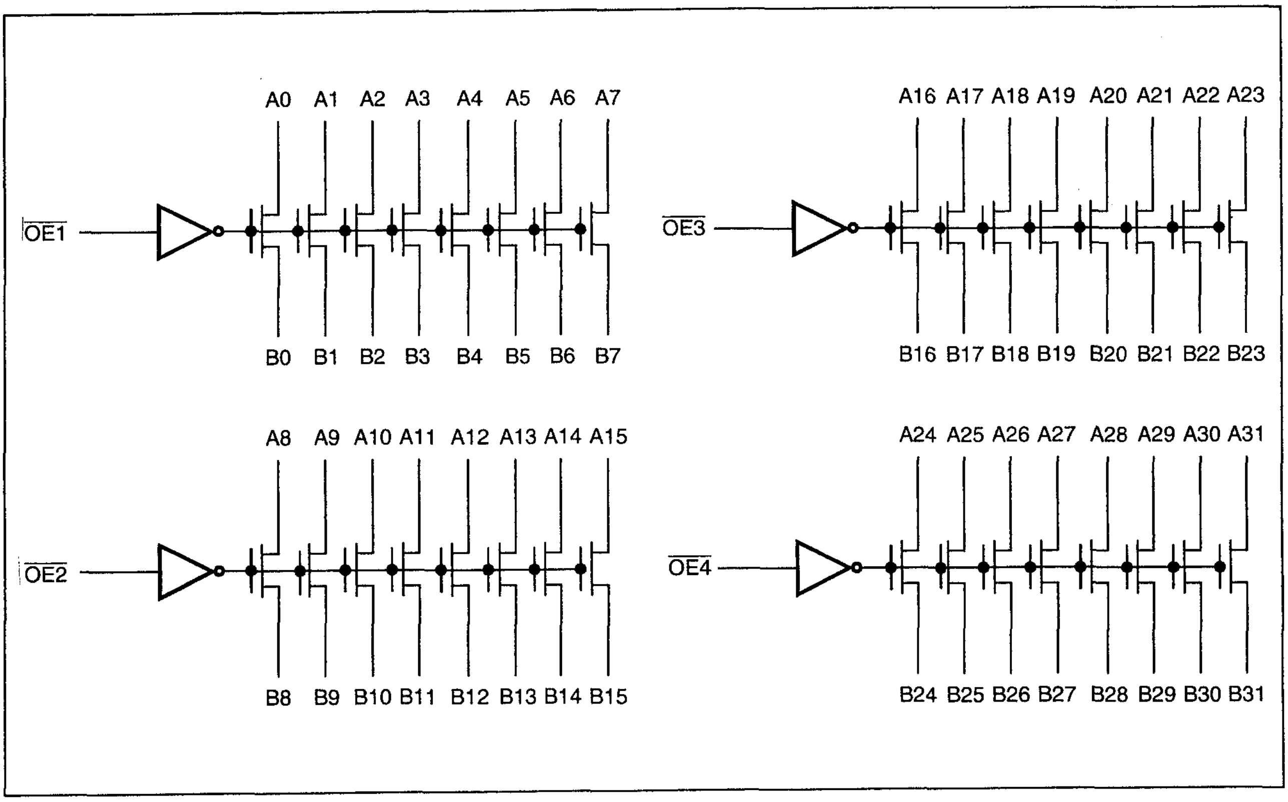
(All pins top view)



Name	Description
$\overline{OEn}$	Output Enable
An	Data I/Os
Bn	Data I/Os

Figuur 9/1.2-43: Aansluitingen van de QS34X245, QS34XR245 en QS34X2245.

1.2 Type-beschrijving QuickSwitch bus-schakelaars



Figuur 9/1.2-44: Functioneel blokschema van de QS34X245, QS34XR245 en QS34X2245.

$\overline{OEn}$	Function
H	Disconnected
L	An = Bn

Figuur 9/1.2-45: Waarheidstabel van de QS34X245, QS34XR245 en QS34X2245.

Supply Voltage to Ground..............................–0.5V to +7.0V
DC Switch Voltage V_S ....–0.5V to +7.0V
DC Input Voltage V_{IN} ....–0.5V to +7.0V
AC Input Voltage (for a pulse width ≤ 20ns)..................–3.0V
DC Output Current Max. Sink Current/Pin..................120mA
Maximum Power Dissipation At T_A =70°C.................1.4 watts
T_{STG} Storage Temperature............................–65°C to +150°C

Tabel 9/1.2-67: Maximaal toegelaten waarden voor de QS34X245, QS34XR245 en QS34X2245.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0V \le V_{IN} \le V_{CC}$	—	—	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0V \le V_{OUT} \le V_{CC}$, Switches OFF	—	—	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V QS34X245 I_{ON} = 30mA QS34X2245	— 20	5 28	7 40	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V QS34X245 I_{ON} = 15mA QS34X2245	— 20	10 35	15 48	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA	3.7	4	4.2	V

Tabel 9/1.2-68: Gelijkspanningskenmerken van de QS34X245 en QS34X2245.

T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0V \le V_{IN} \le V_{CC}$	—	—	1	µA
$I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0V \le V_{OUT} \le V_{CC}$, Switches OFF	—	—	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V I_{ON} = 30mA	—	2.5	4	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V I_{ON} = 15mA	—	4	5.5	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA	3.7	4	4.3	V

Tabel 9/1.2-69: Gelijkspanningskenmerken van de QS34XR245.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 5\%$

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	12	µA
ΔI_{CC}	Power Supply Current(2) Per Control Input HIGH	V_{CC} = Max., V_{IN} = 3.4V, f = 0	1.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(3)	V_{CC} = Max., A and B Pins Open, Control Input Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.2-70: Kenmerken van de voeding van de QS34X245, QS34XR245 en QS34X2245.

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 5\%$
$C_{LOAD} = 50pF$, $R_{LOAD} = 500\Omega$ unless otherwise noted.

Symbol	Description(1)		Min	Typ	Max	Unit
t_{PLH}	Data Propagation Delay(2,3)	QS34X245	—	—	0.25(3)	ns
t_{PHL}	An to Bn, Bn to An	QS34X2245	—	—	1.25(3)	
t_{PZH}	Switch Turn-on Delay	QS34X245	0.5	—	5.6	ns
t_{PZL}	$\overline{OE}$ to An,Bn	QS34X2245	0.5	—	6.6	
t_{PHZ}	Switch Turn-off Delay(2)	QS34X245	0.5	—	5.2	ns
t_{PLZ}	$\overline{OE}$ to An,Bn	QS34X2245	0.5	—	5.2	

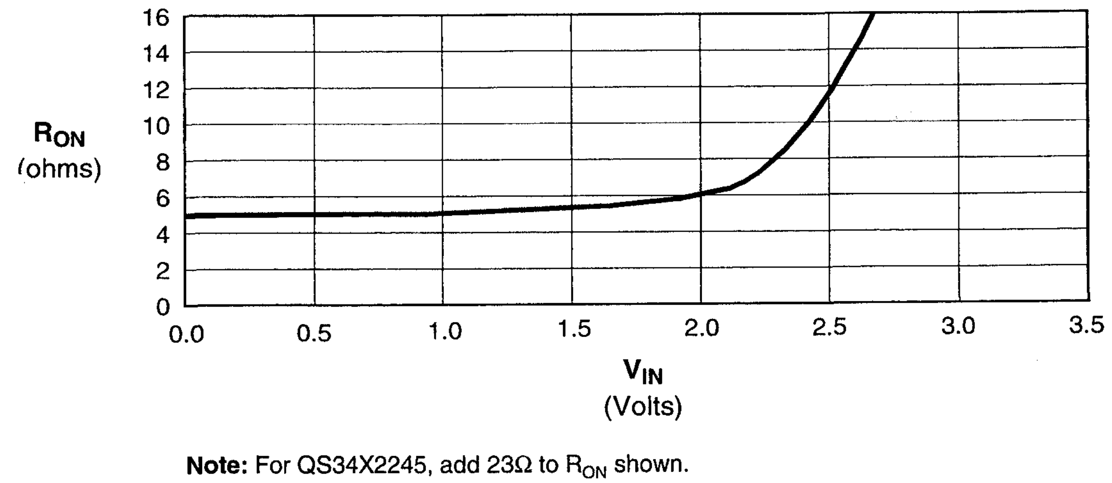
Tabel 9/1.2-71: Schakeltijden van de QS34X245 en QS34X2245.

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 10\%$
$C_{LOAD} = 50pF$, $R_{LOAD} = 500\Omega$ unless otherwise noted.

Symbol	Description(1)	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay(2,3) An to Bn, Bn to An	—	—	0.12(3)	ns
t_{PZH} t_{PZL}	Switch Turn-on Delay $\overline{OE}$ to An,Bn	0.5	—	5.6	ns
t_{PHZ} t_{PLZ}	Switch Turn-off Delay(2) $\overline{OE}$ to An,Bn	0.5	—	4.5	ns

Tabel 9/1.2-72: Schakeltijden van de QS34XR245.

1.2 Type-beschrijving QuickSwitch bus-schakelaars



Figuur 9/1.2-46: Verloop van de ON-weerstand van de QS34XR245 als functie van de ingangsspanning V_{in} (bij V_{cc} = 5 V).

QS34XR800

32 bit N-kanaals CMOS bus-switch met voorspanning op de uitgangen

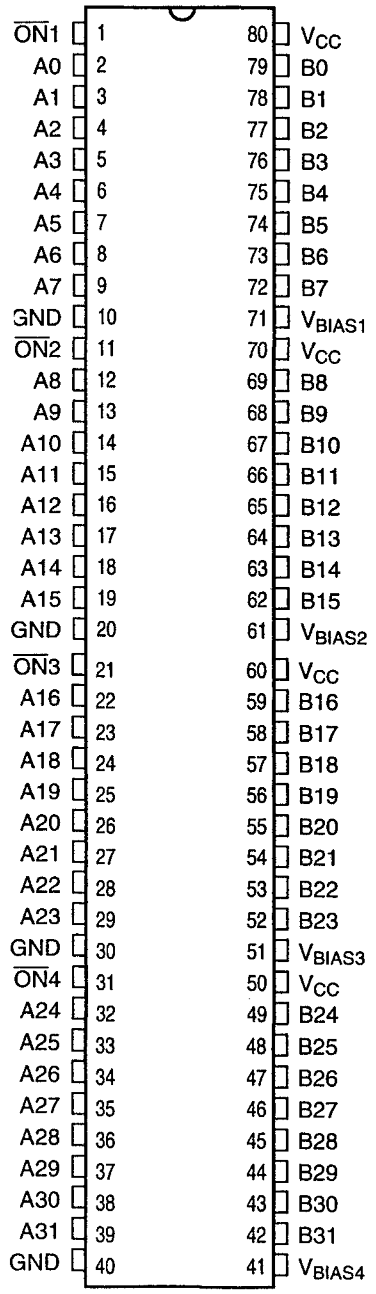
De QS34XR800 is een 32 bit CMOS high-speed TTL-compatibele bus-schakelaar, bestuurd door vier enable-signalen ($\overline{ON1}$, $\overline{ON2}$, $\overline{ON3}$ en $\overline{ON4}$). Als $\overline{ONx}$ = LAAG is, is de groep met schakelaars AAN en is port A verbonden met port B. Is $\overline{ONx}$ = HOOG, dan is de schakelaar open en staat op port B de bias-spanning.

De QS34XR800 heeft een ON-weerstand van 2,5 Ω. Op poort B kan een vooringestelde spanning worden gezet om (bijvoorbeeld bij VME-toepassingen) "live-insertion" gemakkelijker te maken.

Technische gegevens

- 32 bit (4 x 8) enhanced N-kanaals bus-schakelaar
- ON-weerstand: 2,5 Ω
- TTL-compatibele in- en uitgangen
- uitgangen met voorspanning: minimale signaalverstoring bij "live-insertion"
- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizing: 80-pens Millipaq (Q3)
- fabrikant: Quality Semiconductor

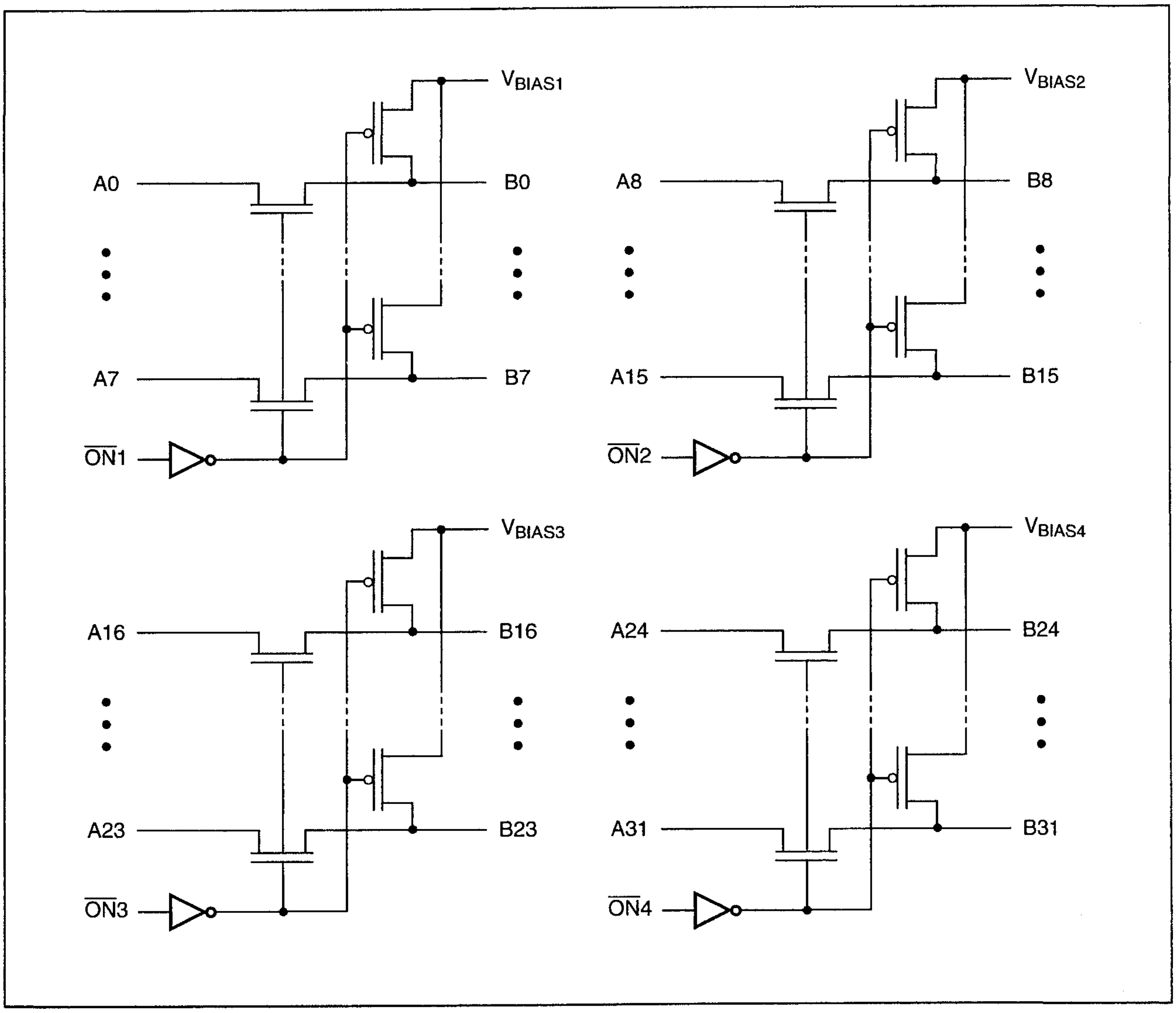
1.2 Type-beschrijving QuickSwitch bus-schakelaars



Name	I/O	Function
A0-A31	I/O	Bus A
B0-B31	I/O	Bus B
$\overline{ON}$x	I	Bus Switch Enable
V_{BIASX}	I	Bias Voltage

Figuur 9/1.2-47: Aansluitingen van de QS34XR800.

1.2 Type-beschrijving QuickSwitch bus-schakelaars



Figuur 9/1.2-48: Functioneel blokschema van de QS34XR800.

$\overline{ON}$x	Bm-Bn	Function
L	Am-An	Connect
H	V_{BIASX}	Precharge

For X = 1 : m = 0, n = 7
X = 2 : m = 8, n = 15
X = 3 : m = 16, n = 23
X = 4 : m = 24, n = 31

Figuur 9/1.2-49: Waarheidstabel van de QS34XR800.

Parameter	Value
Supply Voltage to Ground	–0.5V to 7.0V
DC Switch Voltage V_S	–0.5V to 7.0V
DC Input Voltage V_{IN}	–0.5V to 7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation at T_A = 70°C	0.5 watts
T_{STG} Storage Temperature	–65°C to 150°C

Tabel 9/1.2-73: Maximaal toegelaten waarden van de QS34XR800.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

Commercial: T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%

Symbol	Parameter	Test Conditions	Min	Typ[1]	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
V_{BIAS}	Bias Voltage	V_{CC} = 5V, $\overline{ON}$x = HIGH	1.3	—	V_{CC}	V
I_O	Bias Current	V_{CC} = 4.5V, V_{BIAS} = 2.4V, V_{OUT} = 0 $\overline{ON}$x = HIGH	0.25	—	—	mA
$\lvert I_{IN} \rvert$	Input Leakage Current (Control inputs)	$0 \leq V_{IN} \leq V_{CC}$	—	—	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$	—	—	1	µA
R_{ON}	Switch ON Resistance[2]	V_{CC} = Min., V_{IN} = 0.0V I_{ON} = 30mA	—	2.5	4	Ω
R_{ON}	Switch ON Resistance[2]	V_{CC} = Min., V_{IN} = 2.4V I_{ON} = 15 mA	—	4	5.5	Ω

Tabel 9/1.2-74: Gelijkspanningskenmerken van de QS34XR800.

T_A = –40°C to 85°C, V_{CC} = 5.0V ±10%

Symbol	Parameter	Test Conditions[1]	Typ[2]	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	0.2	6.0	µA
ΔI_{CC}	Power Supply Current per Input HIGH	V_{CC} = Max., V_{IN} = 3.4V[3], f = 0 per Control Input	—	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz[4]	V_{CC} = Max., A and B Pins Open, Data Inputs = GND, per Control Inputs Toggling @ 50% Duty Cycle	—	0.25	mA/ MHz

Tabel 9/1.2-75: Kenmerken van de voeding van de QS34XR800.

(wordt vervolgd)

1.2 Type-beschrijving QuickSwitch bus-schakelaars

Commercial: $T_A = -40°C$ to 85°C, $V_{CC} = 5.0V \pm 10\%$
$C_{LOAD} = 50pF$, $R_{LOAD} = 500\Omega$ unless otherwise noted.

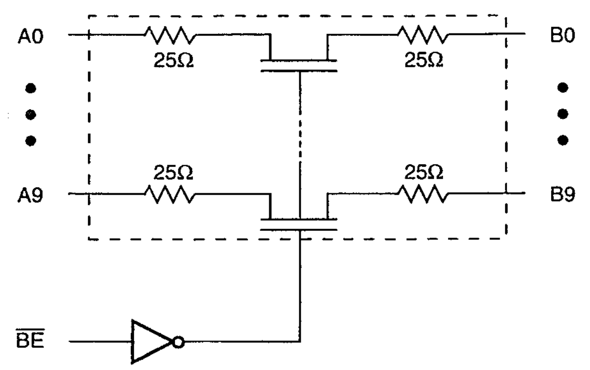
Symbol	Description[1]	QS3R800 Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,3] A to B or B to A	—	—	0.12[3]	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{ON}$x to A or B	1.5	—	7.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay[2] $\overline{ON}$x to A or B	1.5	—	6.5	ns

Tabel 9/1.2-76: Schakeltijden van de QS34XR800.

QS35861

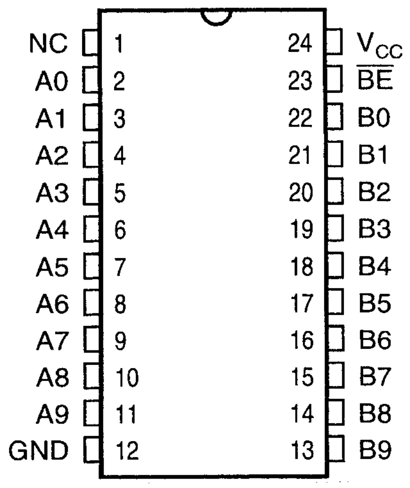
10 bit N-kanaals CMOS bus-switch met "flow-through" pinout en 50 Ω serie-weerstand

De QS35861 is een 10 bit CMOS high-speed TTL-compatibele bus-schakelaars, waarbij de schakelfunctie wordt bediend met een enkel enable-signaal ($\overline{BE}$). Als $\overline{BE}$ LAAG is, zijn de schakelaars AAN. Elke schakelaar is voorzien van 50 Ω afsluit-weerstanden om reflectieruis bij hoge snelheden te verminderen. Als de schakelaar gesloten is, gedraagt deze zich als de bron (serie) afsluiting voor de driver die ermee verbonden is.



Figuur 9/1.2-50: Functioneel blokschema van de QS35861.

QSOP, SOIC (SO)



Name	Function
$\overline{BE}$	Bus Enable
A0-A9	Bus A
B0-B9	Bus B

Figuur 9/1.2-51: Aansluitingen van de QS35861.

Technische gegevens

- 10 bit N-kanaals bus-schakelaar met "flow-thru" aansluitingen
- ON-weerstand: 50 Ω
- TTL-compatibele in- en uitgangen

1.2 Type-beschrijving QuickSwitch bus-schakelaars

$\overline{BE}$	A0-A9	Function
H	Hi-Z	Disconnect
L	B0-B9	Connect

Figuur 9/1.2-52: Waarheidstabel van de QS35861.

- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizingen: 24-pens SOIC en QSOP
- fabrikant: Quality Semiconductor

Supply Voltage to Ground .... –0.5V to +7.0V
DC Switch Voltage V_S .... –0.5V to +7.0V
DC Input Voltage V_{IN} .... –0.5V to +7.0V
AC Input Voltage (for a pulse width ≤ 20ns) .... –3.0V
DC Output Current Max. Sink Current/Pin 120mA
Maximum Power Dissipation .... 0.5 watts
T_{STG} Storage Temperature .... –65° to +150°C

Tabel 9/1.2-77: Maximaal toegelaten waarden van de QS35861.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\|I_{IN}\|$	Input Leakage Current (Control Input)	$0 \leq V_{IN} \leq V_{CC}$	—	0.01	1	µA
$\|I_{OZ}\|$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches Off	—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V, I_{ON} = 15mA	35	50	70	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V, I_{ON} = 6mA	—	55	75	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA	3.7	4	4.2	V

Tabel 9/1.2-78: Gelijkspanningskenmerken van de QS35861.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%

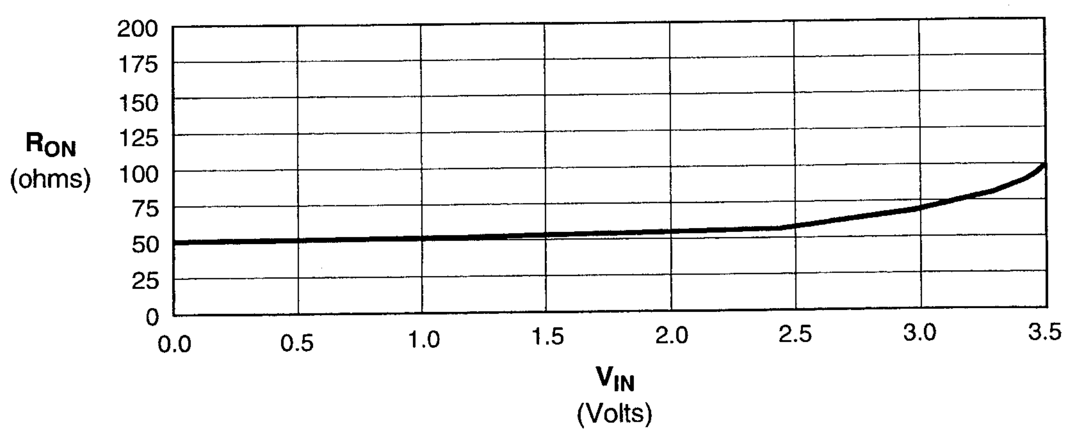
Symbol	Parameter	Test Conditions(1)	Typ(2)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	0.2	3.0	µA
ΔI_{CC}	Power Supply Current per Input HIGH	V_{CC} = Max., V_{IN} = 3.4V(3), f = 0 per Control Input	—	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(4)	V_{CC} = Max., A and B Pins Open, $\overline{BE}$ Input Toggling @ 50% Duty Cycle	—	0.25	mA/MHz

Tabel 9/1.2-79: Kenmerken van de voeding van de QS35861.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

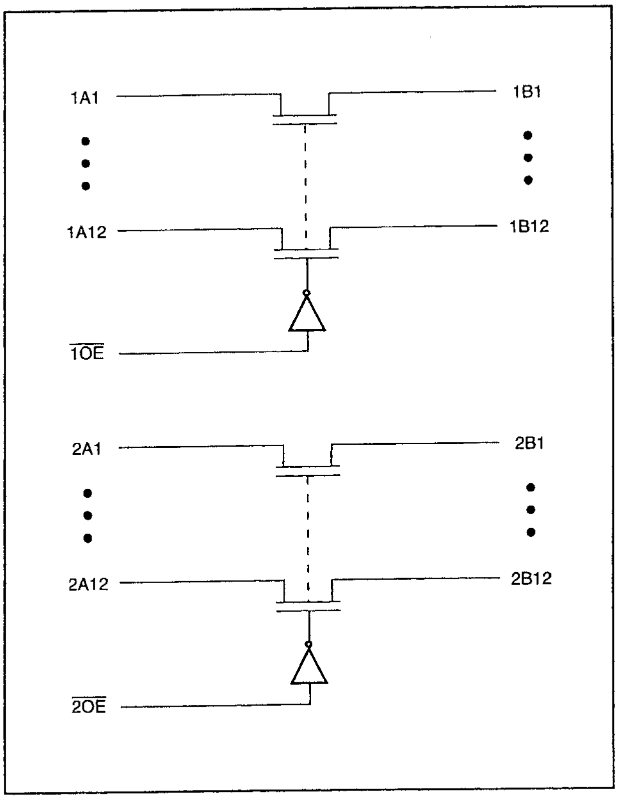
Symbol	Description(1)	QS35861 Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay(2,4) A to B or B to A	—	—	2.5(3)	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{BE}$ to A or B	1.5	—	7.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay(2) $\overline{BE}$ to A or B	1.5	—	6.5	ns

Tabel 9/1.2-80: Schakeltijden van de QS35861.



Figuur 9/1.2-53: Verloop van de ON-weerstand van de QS35861 als functie van de ingangsspanning V_{in} (bij V_{cc} = 5 V).

1.2 Type-beschrijving QuickSwitch bus-schakelaars



Figuur 9/1.2-54: Functioneel blokschema van de QS316211 en QS3162211.

QS316211, QS3162211

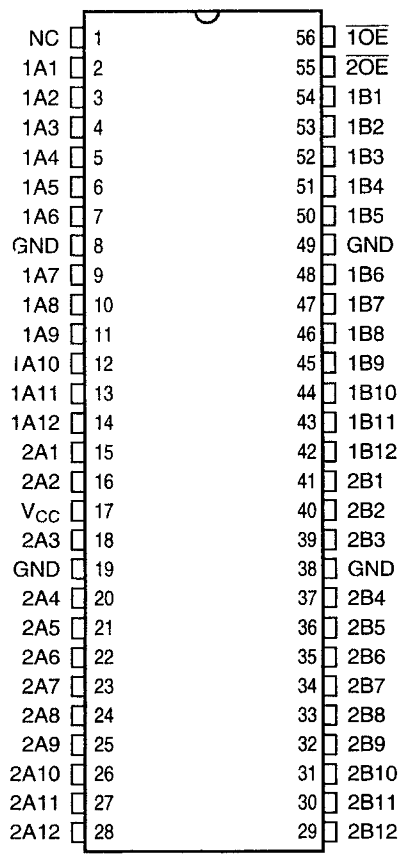
24 bit N-kanaals CMOS bus-switch

De QS316211 en QS3162211 zijn 24 bit CMOS high-speed TTL-compatibele bus-schakelaars, georganiseerd in 2 x 12 bit. De schakelaars worden AAN-gezet door de bijbehorende enable-signalen ($\overline{1OE}$ en $\overline{1OE}$) LAAG te maken. Bij de QS316211 is de ON-weerstandswaarde 5 Ω en bij de QS3162211 25 Ω. De lage weerstandswaarden maken hot-plugging en hot-swapping mogelijk, terwijl de 25 Ω waarde de reflectie-ruis bij hoge snelheden vermindert. De QS316211 is ideaal voor het schakelen van brede digitale bussen, 5 V naar 3,3 V niveau-verschuiving en hot-plug buffering.

Technische gegevens

- 24 bit (2 x 12) N-kanaals bus-schakelaar
- ON-weerstanden:
  QS316211: 5 Ω
  QS3162211: 25 Ω
- TTL-compatibele in- en uitgangen
- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizingen: 56-pens SSOP (PV) en TSSOP (PA)
- fabrikant: Quality Semiconductor

SSOP (PV), TSSOP (PA)



Name	I/O	Function
iA1-iA12	I/O	Bus A
iB1-iB12	I/O	Bus B
$\overline{1OE}$-$\overline{2OE}$	I	Data select

Figuur 9/1.2-55: Aansluitingen van de QS316211 en QS3162211.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

$\overline{1OE}$	$\overline{2OE}$	1An	2An	Function
L	L	1Bn	2Bn	1An to 1Bn, 2An to 2Bn
L	H	1Bn	Z	1An to 1Bn
H	L	Z	2Bn	2An to 2Bn
H	H	Z	Z	Disconnect

Figuur 9/1.2-56: Waarheidstabel van de QS316211 en QS3162211.

Supply Voltage to Ground .... –0.5V to +7.0V
DC Switch Voltage V_S .... –0.5V to +7.0V
DC Input Voltage V_{IN} .... –0.5V to +7.0V
AC Input Voltage (for a pulse width ≤ 20 ns) .... –3.0V
DC Output Current Max. Sink Current/Pin 120mA
Maximum Power Dissipation At T_A=85°C .... 0.93 watts
T_{STG} Storage Temperature .... –65° to +150°C

Tabel 9/1.2-81: Maximaal toegelaten waarden van de QS316211 en QS3162211.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%

Symbol	Parameter	Test Conditions		Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs		2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs		—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0 \le V_{IN} \le V_{CC}$		—	0.01	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0 \le V_{OUT} \le V_{CC}$, Switches Off		—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V	316211	—	4	6	Ω
		I_{ON} = 30mA	3162211	—	28	40	
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V	316211	—	8	10	Ω
		I_{ON} = 15mA	3162211	—	35	48	
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA		3.7	4	4.2	V

Tabel 9/1.2-82: Gelijkspanningskenmerken van de QS316211 en QS3162211.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN}= GND or V_{CC}, f = 0	3.0	µA
ΔI_{CC}	Power Supply Current Per Control Input HIGH(2)	V_{CC} = Max., V_{IN} = 3.4V, f = 0	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(3)	V_{CC} = Max., A and B Pins Open, Control Input Toggling @ 50% Duty Cycle	0.25	mA/MHz

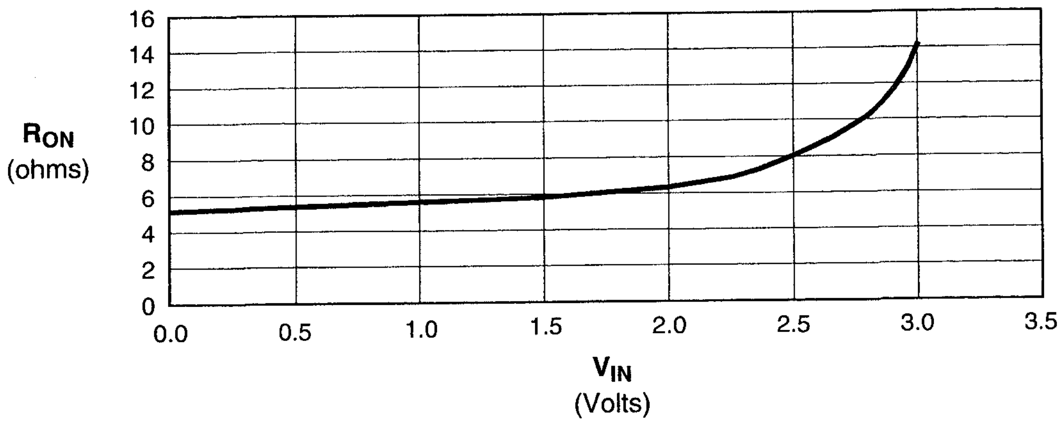
Tabel 9/1.2-83: Kenmerken van de voeding van de QS316211 en QS3162211.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description(1)	QS316211			QS3162211			Unit
		Min	Typ	Max	Min	Typ	Max	
t_{PLH} t_{PHL}	Data Propagation Delay(2,3) iAn to iBn, iBn to iAn	—	—	0.25(3)	—	—	1.25(3)	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{nOE}$ to iAn, iBn	1.5	—	6.5	1.5	—	7.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay(2) $\overline{nOE}$ to iAn, iBn	1.5	—	6.2	1.5	—	6.8	ns

Tabel 9/1.2-84: Schakeltijden van de QS316211 en QS3162211.



For QS3162211, add 23Ω to R_{ON} shown.

Figuur 9/1.2-57: ON-weerstand van de QS316211 als functie van de ingangsspanning V_{in} (bij V_{cc} = 5 V).

QS316245

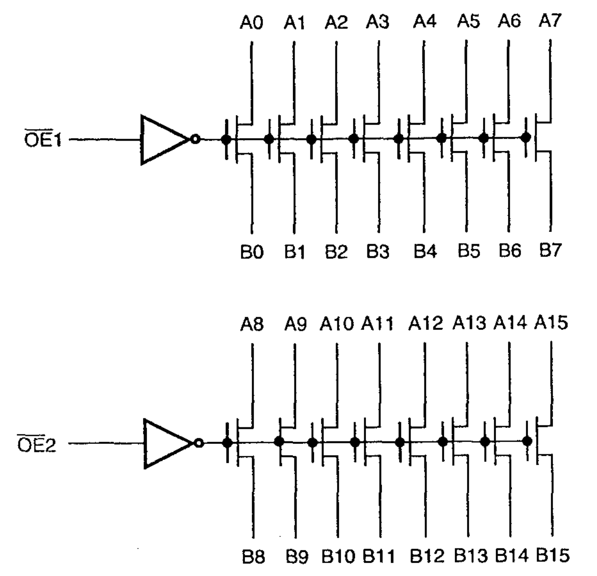
16 bit N-kanaals CMOS bus-switch

De QS316245 is een 16 bit CMOS high-speed TTL-compatibele bus-schakelaar met “flow-thru” aansluitingen. De QS316245 is opgebouwd uit 2 x 8 kanalen met elk een eigen output enable-signaal. Door de lage ON-weerstand van 5 Ω ontstaat geen vertraging. De schakelaars worden per groep AAN-gezet met de output enable-signalen $\overline{OE1}$ en $\overline{OE2}$. De QuickSwitch schakelaars zijn sneller dan conventionele logische schakelingen en worden onder andere gebruikt voor “hot-docking”, “hot-swapping”, spanningsomzetting (5 V naar 3,3 V) en bus-isolatie.

Technische gegevens
- 16 bit (2 x 8) Widebus enhanced N-kanaals bus-schakelaar
- geen inherente diode naar V_{cc}
- ON-weerstand: 5 Ω

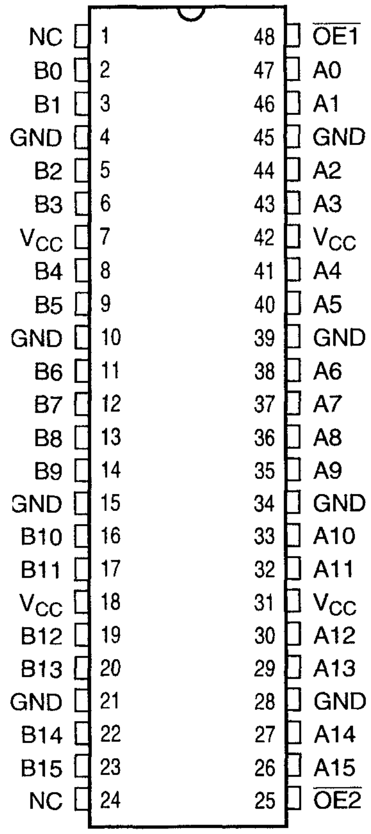
1.2 Type-beschrijving QuickSwitch bus-schakelaars

- TTL-compatibele besturingsingangen
- CMOS-technologie: geringe dissipatie
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizing: 48-pens SSOP (PV)
- fabrikant: Quality Semiconductor



Figuur 9/1.2-58: Aansluitingen van de QS316245.

SSOP(PV)



Name	I/O	Function
An	I/O	Bus A
Bn	I/O	Bus B
$\overline{OEn}$	I	Bus Enable

Figuur 9/1.2-59: Functioneel blokschema van de QS316245.

Supply Voltage to Ground	–0.5V to +7.0V
DC Switch Voltage to Ground	–0.5V to +7.0V
DC Input Voltage V_{IN}	–0.5V to +7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	-3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation	0.5 watts
T_{STG} Storage Temperature	–65° to +150°C

Tabel 9/1.2-85: Maximaal toegelaten waarden voor de QS316245.

$\overline{OEn}$	An	Function
L	Bn	Connect
H	Z	Disconnect

Figuur 9/1.2-60: Waarheidstabel van de QS316245.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\mid I_{IN} \mid$	Input Leakage Current (Control Inputs)	$0 \leq V_{IN} \leq V_{CC}$	—	—	1	µA
$\mid I_{OZ} \mid$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches OFF	—	—	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V I_{ON} = 30mA	—	5	7	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V I_{ON} = 15mA	—	10	15	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA	3.7	4	4.2	V

Tabel 9/1.2-86: Gelijkspanningskenmerken van de QS316245.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	3.0	µA
ΔI_{CC}	Power Supply Current per Input HIGH(2)	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per Control Input	1.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(3)	V_{CC} = Max., A and B Pins Open, Per Control Input Toggling @ 50% Duty Cycle	0.25	mA/ MHz

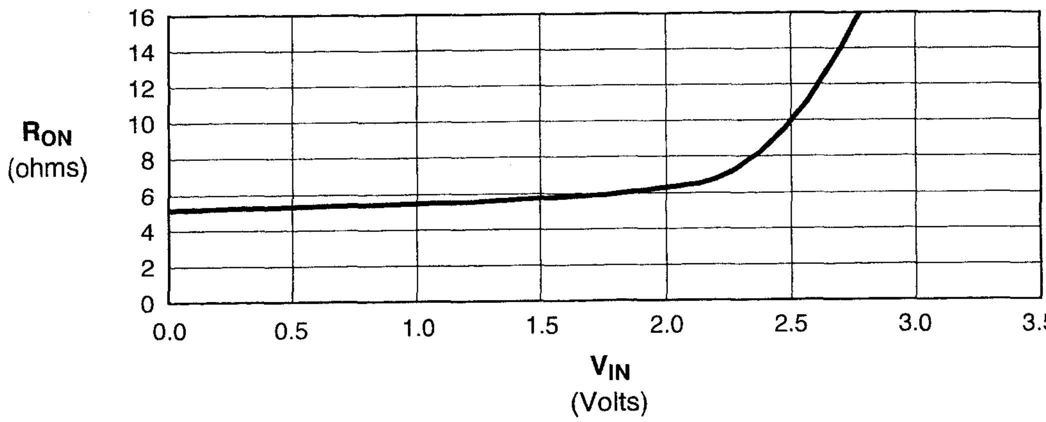
Tabel 9/1.2-87: Kenmerken van de voeding van de QS316245.

1.2 Type-beschrijving QuickSwitch bus-schakelaars

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 10\%$
$C_{LOAD} = 50pF$, $R_{LOAD} = 500\Omega$ unless otherwise noted.

Symbol	Description[1]	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,4] An to Bn, Bn to An	—	—	0.25[3]	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{OE}$n to An/Bn	1.5	—	6.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay[2] $\overline{OE}$n to An/Bn	1.5	—	5.5	ns

Tabel 9/1.2-88: Schakeltijden van de QS316245.



Figuur 9/1.2-61: Verloop van de ON-weerstand van de QS316245 als functie van de ingangsspanning V_{in} (bij $V_{cc} = 5$ V).

1.2 Type-beschrijving QuickSwitch bus-schakelaars

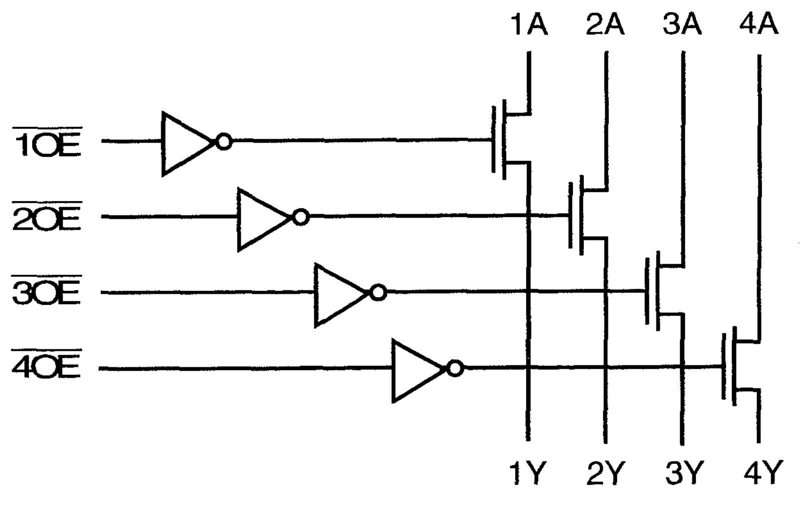
9/1.3

Type-beschrijving QuickSwitch bus-exchange en hot swap schakelaars

QS3VH125

4 N-kanaals hot-switches, enable actief-LAAG

De QS3VH125 is een 4-voudige busschakelaar die speciaal werd ontwikkeld voor "hot-swap" toepassingen. Deze schakelaars hebben een zeer kleine ON-weerstand (4 Ω typisch), waardoor de vertraging van signalen minder dan 200 ps bedraagt. Elke schakelaar kan door middel van een eigen LVTTL-compatibel $\overline{OE}$-signaal worden ingeschakeld voor bidirectioneel datatransport (zonder extra vertraging of "ground-bounce"). In de OFF-toestand zijn de schakelaars 5 V tolerant en vormen een zeer hoge impedantie op de aansluitpennen. De combinatie van bijna geen vertraging, hoge OFF-impedantie en bestandheid tegen overspanning maakt de QS3VH125 ideaal voor "hot plug", "hot swap" of "live insertion" (dit zijn veelgebruikte termen voor dezelfde techniek: het insteken of verwijderen van modulaire componenten op een systeem dat geheel of gedeeltelijk in vol bedrijf is). De lage ON-weerstand maakt de QS3VH125 zeer geschikt voor (compact) PCI hotswapping omgevingen.



Figuur 9/1.3-1: Functioneel blokschema van de QS3VH125.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

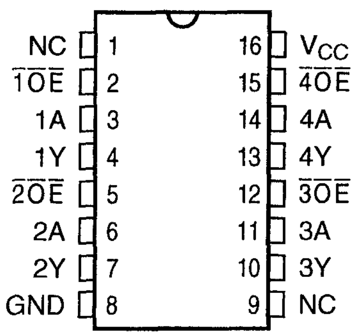
$\overline{OE}$	A	Y	Function
L	H	H	Connect
L	L	L	Connect
H	X	X	Disconnect

Figuur 9/1.3-2: Waarheidstabel van de QS3VH125.

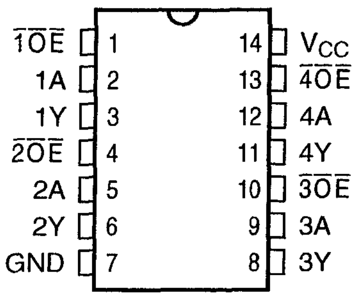
Parameter	Value
Supply Voltage to Ground	–0.5V to 4.6V
DC Switch Voltage V_S	–0.5V to 5.5V
DC Input Voltage V_{IN}	–0.5V to 5.5V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation	0.5 watts
T_{STG} Storage Temperature	–65° to 150°C

Tabel 9/1.3-1: Maximaal toegelaten waarden voor de QS3VH125.

QSOP



SOIC (S1)



Name	I/O	Description
1A-4A	I/O	Bus A
1Y-4Y	I/O	Bus B
$\overline{1OE}$-$\overline{4OE}$	I	Bus Switch Enable

Figuur 9/1.3-3: Aansluitingen van de 14-pens SOIC en 16-pens QSOP van de QS3VH125.

Technische gegevens

- 4 aparte N-kanaals FET-schakelaars
- geen paracitaire diode naar V_{CC}
- ON-weerstand 4 Ω (typisch)
- rechte R_{ON}-karakteristiek tussen 0 V en 5 V
- geen DC-pad naar V_{CC} of GND
- 5 V tolerant in de OFF-toestand
- LVTTL-compatibele besturings-ingangen
- bijna geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizingen: 14-pens SOIC of 16-pens QSOP
- fabrikant: Quality Semiconductor

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Pins	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Pins	—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0V \leq V_{IN} \leq V_{CC}$	—	—	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0V \leq V_{OUT} \leq V_{CC}$, Switches OFF	—	—	1	µA
R_{ON}	Switch On Resistance(2,3)	V_{CC} = Min., V_{IN} = 0.0V, I_{ON} = 30mA	—	4	6	Ω
		V_{CC} = Min., V_{IN} = 2.4V, I_{ON} = 15mA	—	5	8	

Notes:
1. Typical values indicate V_{CC} = 3.3V and T_A = 25°C.

Tabel 9/1.3-2: Gelijkspanningskenmerken van de QS3VH125.

T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	3.0	mA
ΔI_{CC}	Power Supply Current(2,3) per Input HIGH	V_{CC} = Max., V_{IN} = 3.0V, f = 0 per control input	30	µA
Q_{CCD}	Dynamic Power Supply Current per MHz(4)	V_{CC} = Max., A and Y Pins Open, Controls Inputs Toggling @ 50% Duty Cycle	0.25	mA/ MHz

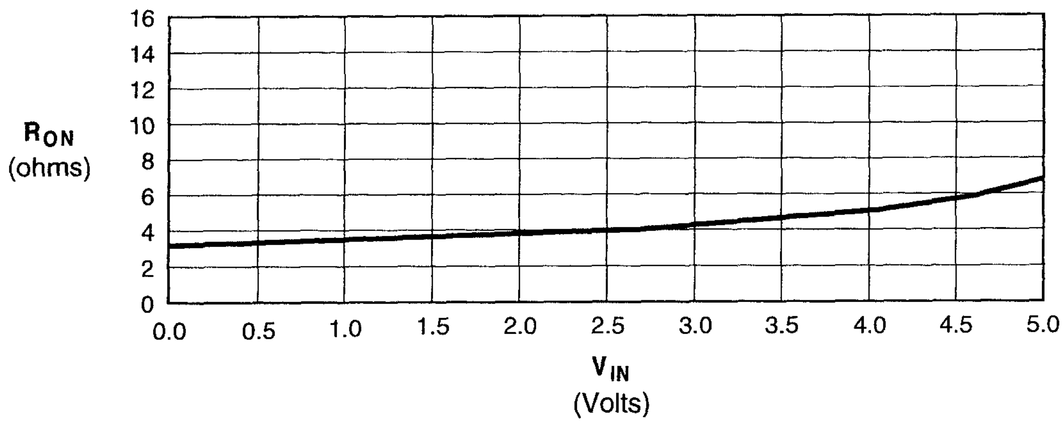
Tabel 9/1.3-3: Kenmerken van de voeding van de QS3VH125.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

Commercial $T_A = -40°C$ to 85°C, $V_{CC} = 3.3V \pm 0.3V$
$C_{LOAD} = 50pF$, $R_{LOAD} = 500\Omega$ unless otherwise noted.

Symbol	Description(1)	Min(4)	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay(2,3) A to Y	—	—	0.25	ns
t_{PZH} t_{PZL}	Switch Turn-on Delay $\overline{OE}$ to nA/ny	1.5	—	9.0	ns
t_{PHZ} t_{PLZ}	Switch Turn-off Delay(2) $\overline{OE}$ to nA/ny	1.5	—	8.0	ns
f_S	Operating Frequency - Data(2,5) $\overline{OE}$ = LOW	—	—	150	MHz
$f_{\overline{OE}}$	Operating Frequency - Enable(2,6)	—	—	10	MHz

Tabel 9/1.3-4: Schakeltijden van de QS3VH125.



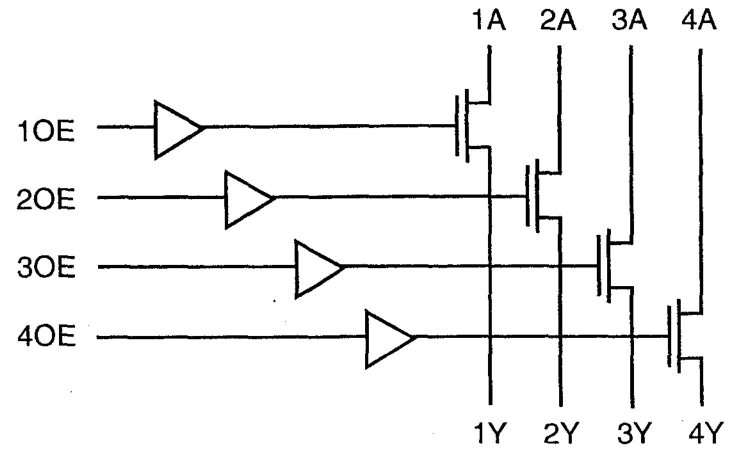
Figuur 9/1.3-4: ON-weerstand van de QS3VH125 als functie van de ingangsspanning V_{in} (bij V_{cc} = 3,3 V).

QS3VH126

4 N-kanaals hot-switches, enable actief-HOOG

Ook de QS3VH126 is een speciaal ontwikkelde 4-voudige bus-schakelaar voor "hot-swap" toepassingen. Door de kleine ON-weerstand (4 Ω typisch) hebben deze schakelaars een signaal-vertraging van minder dan 200 ps.
Elke schakelaar kan individueel met een eigen LVTTL-compatibel OE-signaal worden ON-geschakeld voor bidirectioneel datatransport (zonder extra vertraging of "ground-bounce"). In de OFF-toestand zijn de schakelaars 5 V tolerant en vormen een zeer hoge impedantie op de aansluitpennen. De combinatie van bijna geen vertraging, hoge OFF-impedantie, geringe ON-weerstand en bestandheid tegen overspanning maakt de QS3VH126 zeer geschikt voor "hot swap" toepassingen in (compact) PCI omgevingen.

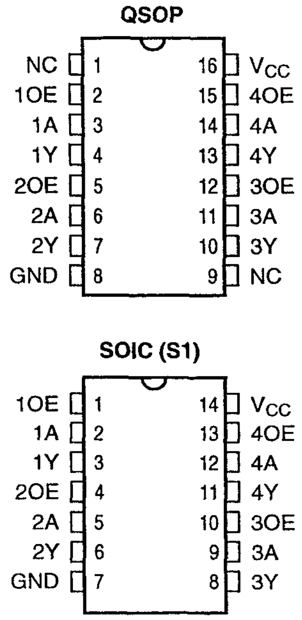
1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars



Figuur 9/1.3-5: Functioneel blokschema van de QS3VH126.

Technische gegevens

- 4 aparte N-kanaals FET-schakelaars
- geen paracitaire diode naar V_{CC}
- ON-weerstand 4 Ω typisch
- rechte R_{ON}-karakteristiek tussen 0 V en 5 V
- geen DC-pad naar V_{CC} of GND
- 5 V tolerant in de OFF-toestand
- geringe capaciteit
- LVTTL-compatibele besturings-ingangen
- bijna geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizingen: 14-pens SOIC of 16-pens QSOP
- fabrikant: Quality Semiconductor



Name	I/O	Description
1A-4A	I/O	Bus A
1Y-4Y	I/O	Bus B
1OE-4OE	I	Bus Switch Enable

Figuur 9/1.3-6: Aansluitingen van de 14-pens SOIC en 16-pens QSOP van de QS3VH126.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

OE	A	Y	Function
H	H	H	Connect
H	L	L	Connect
L	X	X	Disconnect

Figuur 9/1.3-7: Waarheidstabel van de QS3VH126.

Supply Voltage to Ground .... –0.5V to 4.6V
DC Switch Voltage V_S .... –0.5V to 5.5V
DC Input Voltage V_{IN} .... –0.5V to 5.5V
AC Input Voltage (for a pulse width ≤ 20ns) .... –3.0V
DC Output Current Max. Sink Current/Pin 120mA
Maximum Power Dissipation .... 0.5 watts
T_{STG} Storage Temperature .... –65° to 150°C

Tabel 9/1.3-5: Maximaal toegelaten waarden van de QS3VH126.

T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Pins	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Pins	—	—	0.8	V
$\|I_{IN}\|$	Input Leakage Current (Control Inputs)	0V ≤ V_{IN} ≤ V_{CC}	—	—	5	µA
$\|I_{OZ}\|$	Off-State Current (Hi-Z)	0V ≤ V_{OUT} ≤ V_{CC}, Switches OFF	—	—	5	µA
R_{ON}	Switch On Resistance(2,3)	V_{CC} = Min., V_{IN} = 0.0V, I_{ON} = 30mA	—	4	6	Ω
		V_{CC} = Min., V_{IN} = 2.4V, I_{ON} = 15mA	—	5	8	

Notes:
1. Typical values indicate V_{CC} = 3.3V and T_A = 25°C.

Tabel 9/1.3-6: Gelijkspanningskenmerken van de QS3VH126.

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	3.0	mA
ΔI_{CC}	Power Supply Current(2,3) per Input HIGH	V_{CC} = Max., V_{IN} = 3.0V, f = 0 per control input	30	µA
Q_{CCD}	Dynamic Power Supply Current per MHz(4)	V_{CC} = Max., A and Y Pins Open, Controls Inputs Toggling @ 50% Duty Cycle	0.25	mA/MHz

Tabel 9/1.3-7: Kenmerken van de voeding van de QS3VH126.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description[1]	Min[4]	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,3] A to Y	—	—	0.25	ns
t_{PZH} t_{PZL}	Switch Turn-on Delay OE to nA/nY	1.5	—	9	ns
t_{PHZ} t_{PLZ}	Switch Turn-off Delay[2] OE to nA/nY	1.5	—	8	ns
f_S	Operating Frequency - Data[2,5] $\overline{OE}$ = HIGH	—	—	150	MHz
$f_{\overline{OE}}$	Operating Frequency - Enable[2,6]	—	—	10	MHz

Tabel 9/1.3-8: Schakeltijden van de QS3VH126.

QS3VH245, QS3VH2245

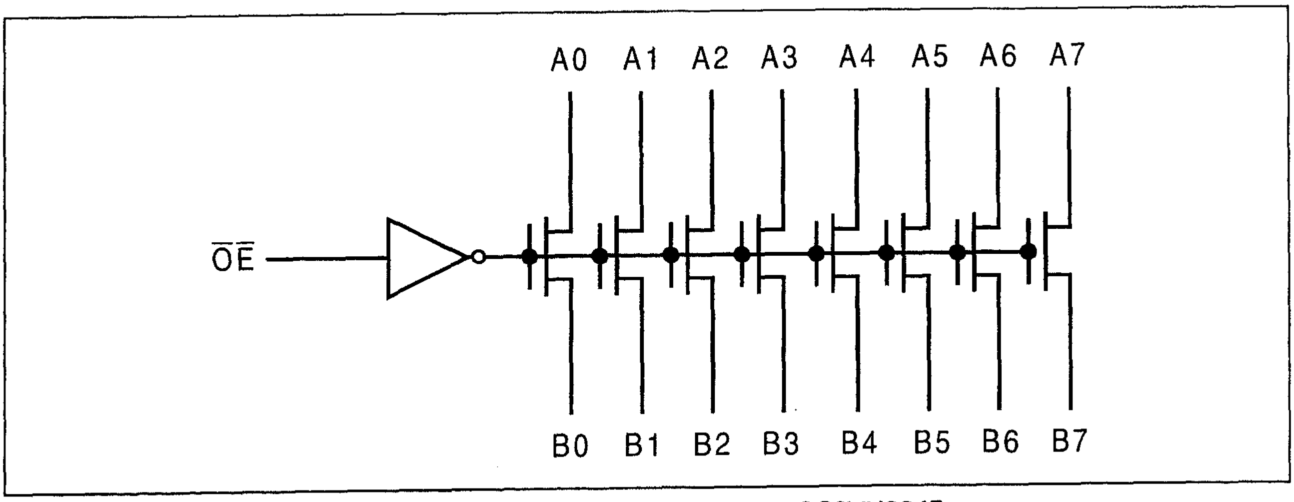
8 bit N-kanaals hot-switch, 3,3 V

De QS3VH245 en QS3VH2245 zijn 8 bit bus-schakelaars die speciaal zijn ontwikkeld voor “hot-swap” toepassingen (het insteken of verwijderen van modulaire componenten op een systeem dat geheel of gedeeltelijk in vol bedrijf is). De QS3VH245 heeft een zeer kleine ON-weerstand (4 Ω), waardoor de signalen met nog geen 200 ps worden vertraagd.
De QS3VH2245 heeft een serieweerstand van 25 Ω, resulterend in een vertraging van 1,25 ns. Deze schakelaar kan dan ook uitstekend worden toegepast voor lijn-aanpassing en lage-ruis toepassingen. De schakelaars worden allemaal tegelijk ingeschakeld met een actief-LAAG LVTTL-compatibel Output Enable-signaal $\overline{OE}$-signaal. In die toestand is bidirectioneel datatransport zonder extra vertraging of ground-bounce mogelijk. In de OFF-toestand zijn de schakelaars 5 V tolerant en hebben dan een zeer hoge impedantie.
De combinatie van bijna geen (near zero) vertraging, hoge OFF-impedantie en overspannings-bestendigheid maken de QS3VH245 en QS3VH2245 ideaal voor “hot plug” toepassingen. De lage ON-weerstand van de QS3VH245 maakt deze zeer geschikt voor (compact) PCI hot-swapping omgevingen.

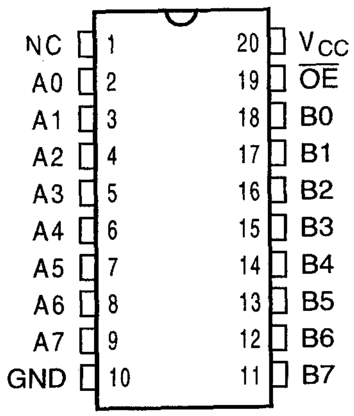
Technische gegevens

- 8 bit N-kanaals FET-schakelaars
- geen paracitaire diode naar V_{CC}
- ON-weerstand:
  QS3VH245: 4 Ω
  QS3VH2245: 27 Ω
- rechte R_{ON}-karakteristiek tussen 0 V en 5 V
- geen DC-pad naar V_{CC} of GND
- 5 V tolerant in de OFF-toestand
- LVTTL-compatibele besturings-ingangen
- bijna geen vertraging, geen ground-bounce
- maximale data-frequentie: 150 MHz
- undershoot clamp-dioden aan alle ingangen
- behuizingen:
  QS3VH245 in 20-pens SOIC, QSOP en TSSOP
  QS3VH2245 in SOIC en QSOP
- fabrikant: Quality Semiconductor

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars



Figuur 9/1.3-8: Functioneel blokschema van de QS3VH245 en QS3VH2245.



Name	Description
$\overline{OE}$	Output Enable
An	Data I/Os
Bn	Data I/Os

Figuur 9/1.3-9: Aansluitingen van de SOIC en QSOP-uitvoering van de QS3VH245 en QS3VH2245 en de TSSOP-versie van de QS3VH245.

$\overline{OE}$	Outputs
H	Disconnected
L	An = Bn

Figuur 9/1.3-10: Waarheidstabel van de QS3VH245 en QS3VH2245.

Supply Voltage to Ground	–0.5V to 4.6V
DC Switch Voltage V_S	–0.5V to 5.5V
DC Input Voltage V_{IN}	–0.5V to 5.5V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation	0.5 watts
T_{STG} Storage Temperature	–65° to 150°C

Tabel 9/1.3-9: Maximaal toegelaten waarden voor de QS3VH245 en QS3VH2245.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V

Symbol	Parameter	Test Conditions		Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs		2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs		—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current	$0V \leq \overline{OE} \leq V_{CC}$		—	—	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0V \leq A, B \leq V_{CC}$, Switches OFF		—	—	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V	3VH245	—	4	6	Ω
		I_{ON} = 30mA	3VH2245	20	27	40	
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V	3VH245	—	5	8	Ω
		I_{ON} = 15mA	3VH2245	20	28	42	

Notes:
1. Typical values indicate V_{CC} = 3.3V and T_A = 25°C.

Tabel 9/1.3-10: Gelijkspanningskenmerken van de QS3VH245 en QS3VH2245.

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	3.0	mA
ΔI_{CC}	Power Supply Current(2,3) per Input HIGH	V_{CC} = 3.6V, V_{IN} = 3.0V, f = 0 per Control Input	30	µA
Q_{CCD}	Dynamic Power Supply Current per MHz(4)	V_{CC} = 3.6V, A and B Pins Open, Control Input Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.3-11: Kenmerken van de voeding van de QS3VH245 en QS3VH2245.

QS3VH257

4 N-kanaals 2: mux/demux hot-switches, 3,3 V

De QS3VH257 is een 4-voudige 2:1 multiplexer/demultiplexer die speciaal werd ontwikkeld voor "hot-swap" toepassingen in een 3,3 V omgeving. De QS3VH257 heeft een zeer kleine ON-weerstand (4 Ω typisch) en veroorzaakt daardoor een signaalvertraging van minder dan 200 ps.
In de OFF-toestand zijn de schakelaars 5 V tolerant en vertegenwoordigen een zeer hoge impedantie op de aansluitpennen.
De combinatie van bijna geen vertraging, hoge OFF-impedantie en bestandheid tegen overspanning maakt de QS3VH257 ideaal voor "hot swap" (het insteken of verwijderen van modulaire componenten op een systeem dat geheel of gedeeltelijk in vol bedrijf is). De lage ON-weerstand maakt de QS3VH257 zeer geschikt voor (compact) PCI hot-swapping omgevingen.

Technische gegevens
- N-kanaals FET-schakelaars
- geen paracitaire diode naar V_{CC}
- geen DC-pad naar V_{CC} of GND
- 5 V tolerant in de OFF-toestand
- bidirectionele dataflow met bijna geen vertraging

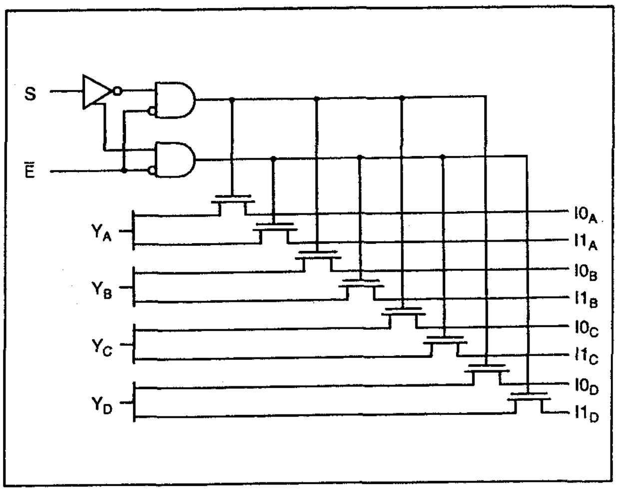
1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

- ON-weerstand 4 Ω (typisch)
- rechte R_{ON}-karakteristiek in het bedrijfsgebied
- LVTTL-compatibele besturings-ingangen
- geen toegevoegde ground-bounce
- undershoot clamp-dioden aan alle ingangen
- behuizingen: 16-pens SOIC, QSOP en TSSOP
- fabrikant: Quality Semiconductor

T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description(1)	QS3VH245			QS3VH2245			Unit
		Min(4)	Typ	Max	Min(4)	Typ	Max	
t_{PLH} t_{PHL}	Data Propagation Delay(2,3) An to/from Bn	—	—	0.25	—	—	1.25	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{OE}$ to An/Bn	1.5	—	9.0	0.5	—	10	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay(2) $\overline{OE}$ to An/Bn	1.5	—	8.0	0.5	—	9	ns
f_S	Operating Frequency - Data(2,5) $\overline{OE}$ = LOW	—	—	150	—	—	150	MHz
$f_{\overline{OE}}$	Operating Frequency - Enable(2,6)	—	—	1	—	—	1	MHz

Tabel 9/1.3-12: Schakeltijden van de QS3VH245 en QS3VH2245.

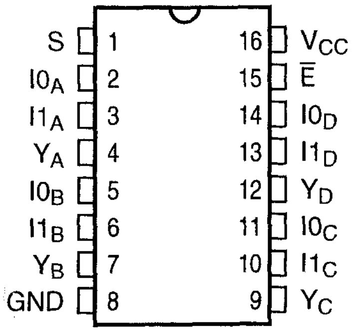


Figuur 9/1.3-11: Functioneel blokschema van de QS3VH257.

Inputs		Outputs				Function
$\overline{E}$	S	Y_A	Y_B	Y_C	Y_D	
H	X	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Disable
L	L	$I0_A$	$I0_B$	$I0_C$	$I0_D$	Select 0
L	H	$I1_A$	$I1_B$	$I1_C$	$I1_D$	Select 1

Figuur 9/1.3-12: Waarheidstabel van de QS3VH257.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars



Name	I/O	Description
1xx	I	Data Inputs
S	I	Select Input
$\overline{E}$	I	Enable Input
Y_A-Y_D	O	Data Outputs

Figuur 9/1.3-13: Aansluitingen van de SOIC, QSOP en TSSOP-versies van de QS3VH257.

Supply Voltage to Ground .... –0.5V to 4.6V
DC Switch Voltage V_S .... –0.5V to 5.5V
DC Input Voltage V_{IN} .... –0.5V to 5.5V
AC Input Voltage (for a pulse width ≤ 20ns) .... –3.0V
DC Output Current Max. Sink Current/Pin 120mA
Maximum Power Dissipation .... 0.5 watts
T_{STG} Storage Temperature .... –65° to 150°C

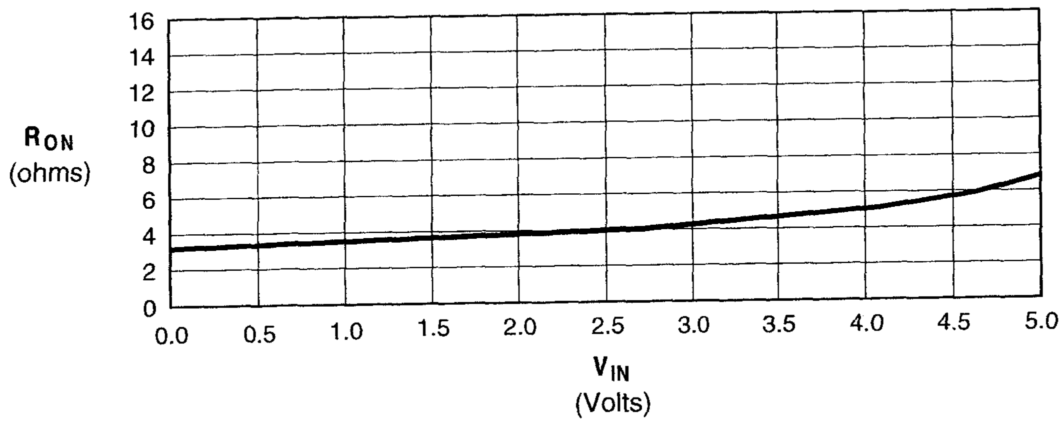
Tabel 9/1.3-13: Maximaal toegelaten waarden van de QS3VH257.

T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Pins	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Pins	—	—	0.8	V
$\mid I_{IN} \mid$	Input Leakage Current (Control Inputs)	0V ≤ V_{IN} ≤ V_{CC}	—	—	1	µA
$\mid I_{OZ} \mid$	Off-State Current (Hi-Z)	0V ≤ V_{OUT} ≤ V_{CC}, Switches OFF	—	—	1	µA
R_{ON}	Switch On Resistance(2,3)	V_{CC} = Min., V_{IN} = 0.0V, I_{ON} = 30mA	—	4	6	Ω
		V_{CC} = Min., V_{IN} = 2.4V, I_{ON} = 15mA	—	5	8	

Tabel 9/1.3-14: Gelijkspanningskenmerken van de QS3VH257.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars



Figuur 9/1.3-14: ON-weerstand van de QS3VH257 als functie van de ingangsspanning V_{in} (bij V_{cc} = 3,3 V).

T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	3.0	mA
ΔI_{CC}	Power Supply Current(2,3) per Input HIGH	V_{CC} = Max., V_{IN} = 3.0V, f = 0 per Control Input	30	µA
Q_{CCD}	Dynamic Power Supply Current per MHz(3)	V_{CC} = Max., A and Y Pins Open, per Control Inputs Toggling @ 50% Duty Cycle	0.25 MHz	mA/

Tabel 9/1.3-15: Kenmerken van de voeding van de QS3VH257.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

Commercial T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description(1)	Min(4)	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay(2,3) A to Y	—	—	0.25	ns
t_{PZH} t_{PZL}	Switch Turn-on Delay Sn, $\overline{En}$ to Y	1.5	—	9.0	ns
t_{PHZ} t_{PLZ}	Switch Turn-off Delay(2) Sn, $\overline{En}$ to Y	1.5	—	8.0	ns
f_S	Operating Frequency - Data(2, 5) $\overline{OE}$ = LOW	—	—	150	MHz
$f_{CONTROL}$	Operating Frequency - Enable, Select(2, 6)	—	—	1	MHz

Tabel 9/1.3-16: Schakeltijden van de QS3VH257.

QS3383, QS32383, QS3L383, QS3L2383

10 bit N-kanaals bus-exchange switch

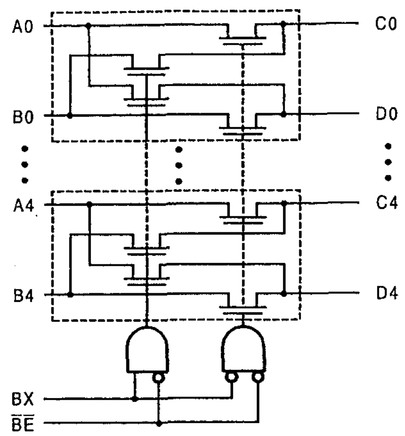
De QS3383, QS32383, QS3L383 en QS3L2383 zijn 10 bit CMOS- en TTL-compatibele bus-exchange schakelaars. Door de zeer kleine ON-weerstand (5 Ω) van de QS3383 en de QS3L383 kunnen ingangen met uitgangen worden verbonden zonder dat daardoor vertraging wordt toegevoegd of dat er ground-bounce optreedt. De QS32383 en QS3L2383 hebben juist een serieweerstand van 25 Ω om reflecties in high-speed toepassingen te verminderen. Als de schakelaar gesloten is, heeft de weerstand de functie van afsluiting van de ermee verbonden driver.

Alle schakelaars worden ingeschakeld met het Bus Enable-signaal ($\overline{BE}$), terwijl door middel van het Bus Exchange-signaal (BX) "nibble swap" van de signaalparen AB en CD mogelijk is. Deze omwissel-configuratie maakt byte-swapping van bussen in systemen mogelijk. De bus-exchange schakelaars kunnen ook worden gebruikt als een 5-voudige 2-naar-1 multiplexer of als barrel-shifters met weinig vertraging. De L-versies zijn Low-Power en verbruiken slechts een I_{CC} van 0,2 μA. De schakelaars kunnen bijvoorbeeld worden toegepast bij crossbar switching, resource sharing, voltage translation (5 V naar 3,3 V), terwijl ze geschikt zijn voor hot-swapping en hot-docking.

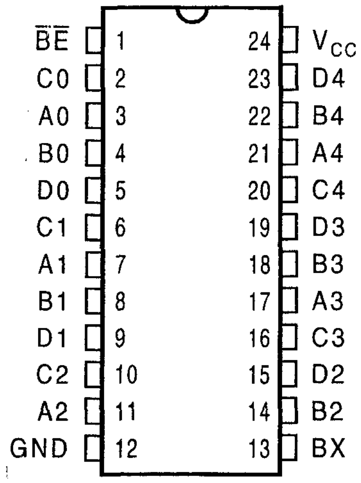
Technische gegevens

- 10 bit bus-exchange schakelaar
- N-kanaals FET's zonder paracitaire diode naar V_{CC}
- ON-weerstand:
  QS3383 en QS3L383: 5 Ω
  QS32383 en QS3L2383: 28 Ω
- CMOS/TTL-compatibel
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle schakelaars en besturings-ingangen
- TSSOP-behuizingen: 24-pens SOIC, QSOP en HQSOP
- ook militaire versie leverbaar
- fabrikant: Quality Semiconductor

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars



Figuur 9/1.3-15: Functioneel blokschema van de QS3383, QS32383, QS3L383 en QS3L2383.



Name	I/O	Function
A0-A4, B0-B4	I/O	Buses A, B
C0-C4, D0-D4	I/O	Buses C, D
$\overline{BE}$	I	Bus Switch Enable
BX	I	Bus Exchange

Figuur 9/1.3-16: Aansluitingen van de SOIC, QSOP en HQSOP-uitvoering van de QS3383, QS32383, QS3L383 en QS3L2383.

$\overline{BE}$	BX	A0-A4	B0-B4	Function
H	X	Hi-Z	Hi-Z	Disconnect
L	L	C0-C4	D0-D4	Connect
L	H	D0-D4	C0-C4	Exchange

Figuur 9/1.3-17: Waarheidstabel van de QS3383, QS32383, QS3L383 en QS3L2383.

Supply Voltage to Ground	–0.5V to +7.0V
DC Switch Voltage V_S	–0.5V to +7.0V
DC Input Voltage V_{IN}	–0.5V to +7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation	0.5 watts
T_{STG} Storage Temperature	–65° to +150°C

Tabel 9/1.3-17: Maximaal toegelaten waarden voor de QS3383, QS32383, QS3L383 en QS3L2383.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

Commercial: T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%   Military: T_A = –55°C to 125°C, V_{CC} = 5.0V ± 10%

Symbol	Parameter	Test Conditions		Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs		2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs		—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0 \le V_{IN} \le V_{CC}$		—	0.01	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0 \le V_{OUT} \le V_{CC}$, Switches OFF		—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min.,	3383 (Com)	—	5	7	Ω
		V_{IN} = 0.0V	3383 (Mil)	—	10	12	
		I_{ON} = 30mA	32383 (Com)	20	28	40	
			32383 (Mil)	20	35	45	
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min.,	3383 (Com)	—	10	15	Ω
		V_{IN} = 2.4V	3383 (Mil)	—	15	20	
		I_{ON} = 15mA	32383 (Com)	20	35	48	
			32383 (Mil)	20	40	55	
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA		3.7	4	4.2	V

Notes:
1. Typical values indicate V_{CC} = 5.0V and T_A = 25°C.

Tabel 9/1.3-18: Gelijkspanningskenmerken van de QS3383 en QS32383 en van de QS3L383 en QS3L2383.

Commercial: T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%   Military: T_A = –55°C to 125°C, V_{CC} = 5.0V ± 10%

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	1.5	mA
ΔI_{CC}	Power Supply Current per Input HIGH(2)	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per Control Input	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(3)	V_{CC} = Max., A and B Pins Open, Control Inputs Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.3-19: Kenmerken van de voeding van de QS3383 en QS32383.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

Commercial: $T_A = -40°C$ to 85°C, $V_{CC} = 5.0V \pm 5\%$ Military: $T_A = -55°C$ to 125°C, $V_{CC} = 5.0V \pm 10\%$

Symbol	Parameter	Test Conditions[1]	Typ	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	0.2	3.0	µA
ΔI_{CC}	Power Supply Current per Input HIGH[2]	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per Control Input	—	1.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz[3]	V_{CC} = Max., ABCD Pins Open, Control Input Toggling @ 50% Duty Cycle	—	0.25	mA/MHz

Tabel 9/1.3-20: Kenmerken van de voeding van de QS3L383 en QS3L2383.

Commercial: $T_A = -40°C$ to 85°C, $V_{CC} = 5.0V \pm 5\%$ Military: $T_A = -55°C$ to 125°C, $V_{CC} = 5.0V \pm 10\%$
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description[1]		QS3L383			QS3L2383			Unit
			Min	Typ	Max	Min	Typ	Max	
t_{PLH}	Data Propagation Delay[2,3]	COM	—	—	0.25[3]	—	—	1.25[3]	ns
t_{PHL}	AiBi to CiDi, CiDi to AiBi	MIL	—	—	0.75	—	—	1.75	
t_{PZL}	Switch Turn-on Delay	COM	1.5	—	6.5	1.5	—	7.5	ns
t_{PZH}	$\overline{BE}$ to Ai, Bi, Ci, Di	MIL	1.5	—	7.5	1.5	—	8.5	
t_{PLZ}	Switch Turn-off Delay[2]	COM	1.5	—	5.5	1.5	—	6.5	ns
t_{PHZ}	$\overline{BE}$ to Ai, Bi, Ci, Di	MIL	1.5	—	6.5	1.5	—	7.5	
t_{BX}	Switch Multiplex Delay	COM	1.5	—	6.5	1.5	—	7.5	ns
	BX to Ai, Bi, Ci, Di	MIL	1.5	—	7.5	1.5	—	8.5	

Tabel 9/1.3-21: Schakeltijden van de QS3L383 (QS3383) en QS3L2383 (QS32383).

QS3388, QS3L388

5 N-kanaals bus-exchange switches met actieve afsluiting

De QS3388 en QS3L388 zijn 10 bit CMOS- en TTL-compatibele bus-exchange schakelaars met actieve afsluitingen op de I/O-pennen. De zeer kleine ON-weerstand (5 Ω) van de QS3383 en de QS3L383 maakt het mogelijk om ingangen door te schakelen aan uitgangen zonder dat daardoor vertraging ontstaat of ground-bounce optreedt. Als de schakelaar is uitgeschakeld, stuurt een actieve afsluiting de niet-verbonden uitgangen naar V_{CC} of naar GND (weg van de TTL-drempelspanning). Hierdoor wordt voorkomen dat niet-aangedreven buslijnen gaan zweven.
De schakelaars worden ingeschakeld met het Bus Enable-signaal ($\overline{BE}$), terwijl door middel van het Bus Exchange-signaal (BX) "nibble swap" van de signaalparen AB en CD mogelijk is.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

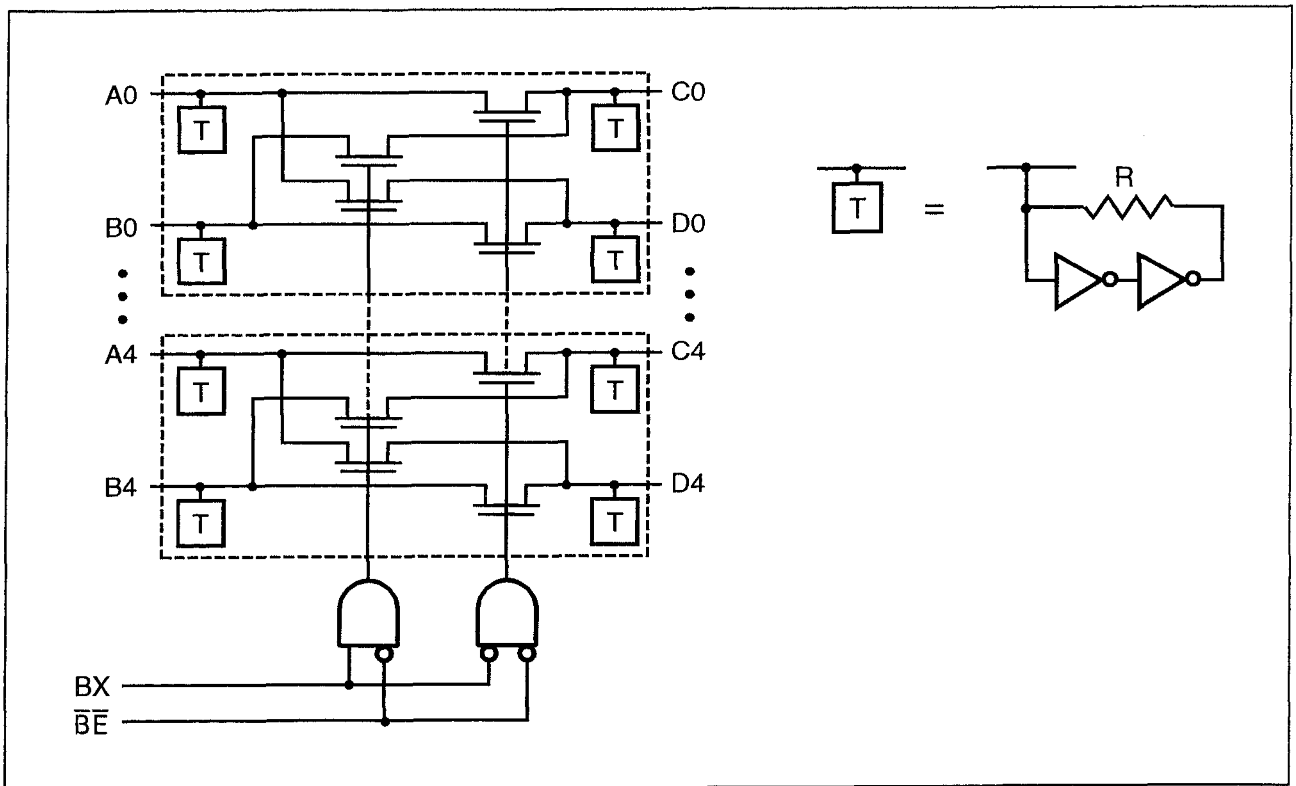
Deze uitwissel-configuratie maakt byte-swapping van bussen in een systeem mogelijk. De QS3388 en QS3L388 kunnen ook worden gebruikt als 5-voudige 2-naar-1 multiplexer of als barrel-shifters met weinig vertraging. Toepassingsgebieden van de schakelaars zijn bijvoorbeeld crossbar switching, resource sharing en "last-value latch" (bij grafische toepassingen en DSP).

Technische gegevens

- 10 bit bus-exchange schakelaar
- N-kanaals FET's zonder paracitaire diode naar V_{CC}
- ON-weerstand: 5 Ω (bidirectioneel)
- TTL-compatibele in- en uitgangen
- actieve afsluiting stuurt buspennen bij uitschakeling naar V_{CC} of GND
- geen zwevende bus door bus-hold
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle schakelaars en besturings-ingangen
- 24-pens QSOP-behuizing
- fabrikant: Quality Semiconductor

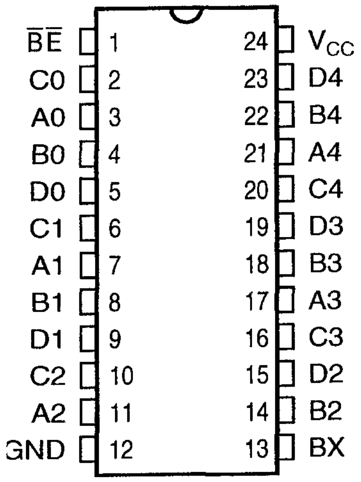
Supply Voltage to Ground	–0.5V to +7.0V
DC Switch Voltage V_S	–0.5V to +7.0V
DC Input Voltage V_{IN}	–0.5V to +7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation	0.5 watts
T_{STG} Storage Temperature	–65° to +150°C

Tabel 9/1.3-22: Maximaal toegelaten waarden van de QS3388 en QS3L388.



Figuur 9/1.3-18: Functioneel blokschema van de QS3388 en QS3L388 (met actieve afsluiting T).

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars



Name	I/O	Function
A0-A4, B0-B4	I/O	Buses A, B
C0-C4, D0-D4	I/O	Buses C, D
$\overline{BE}$	I	Bus Switch Enable
BX	I	Bus Exchange

Figuur 9/1.3-19: Aansluitingen van de QS3388 en QS3L388.

$\overline{BE}$	BX	A0-A4	B0-B4	Function
H	X	Hi-Z	Hi-Z	Disconnect
L	L	C0-C4	D0-D4	Connect
L	H	D0-D4	C0-C4	Exchange

Figuur 9/1.3-20: Waarheidstabel van de QS3388 en QS3L388.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions		Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs		2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs		—	—	0.8	V
$\mid I_{IN} \mid$	Input Leakage Current (Control Inputs)	$0 \leq V_{IN} \leq V_{CC}$		—	.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V I_{ON} = 30mA		—	5	7	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V I_{ON} = 15mA		—	10	15	Ω
$\mid I_{BH} \mid$	Input Current(3) Switch Pins	V_{CC} = Max., V_{IN} = 0V or V_{IN} = V_{CC}		—	—	20	µA
		V_{CC} = Max., 0.8V < V_{IN} < 2.0V		—	—	500(3)	µA
$\mid I_{BHH} \mid$	Bus Hold Sustaining(4,5) Current	V_{CC} = Min	V_{IN} = 2.0V	–60	—	—	µA
$\mid I_{BHL} \mid$			V_{IN} = 0.8V	+60	—	—	µA

Notes:
1. Typical values indicate V_{CC} = 5.0V and T_A = 25°C.

Tabel 9/1.3-23: Gelijkspanningskenmerken van de QS3388 en de QS3L388.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions(1)		Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	3388	1.5	mA
			3L388	3.0	µA
ΔI_{CC}	Power Supply Current per Input HIGH(2)	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per Control Input		2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(3)	V_{CC} = Max., A, B, C, D Pins Open, Control Inputs Toggling @ 50% Duty Cycle		0.25	mA/MHz

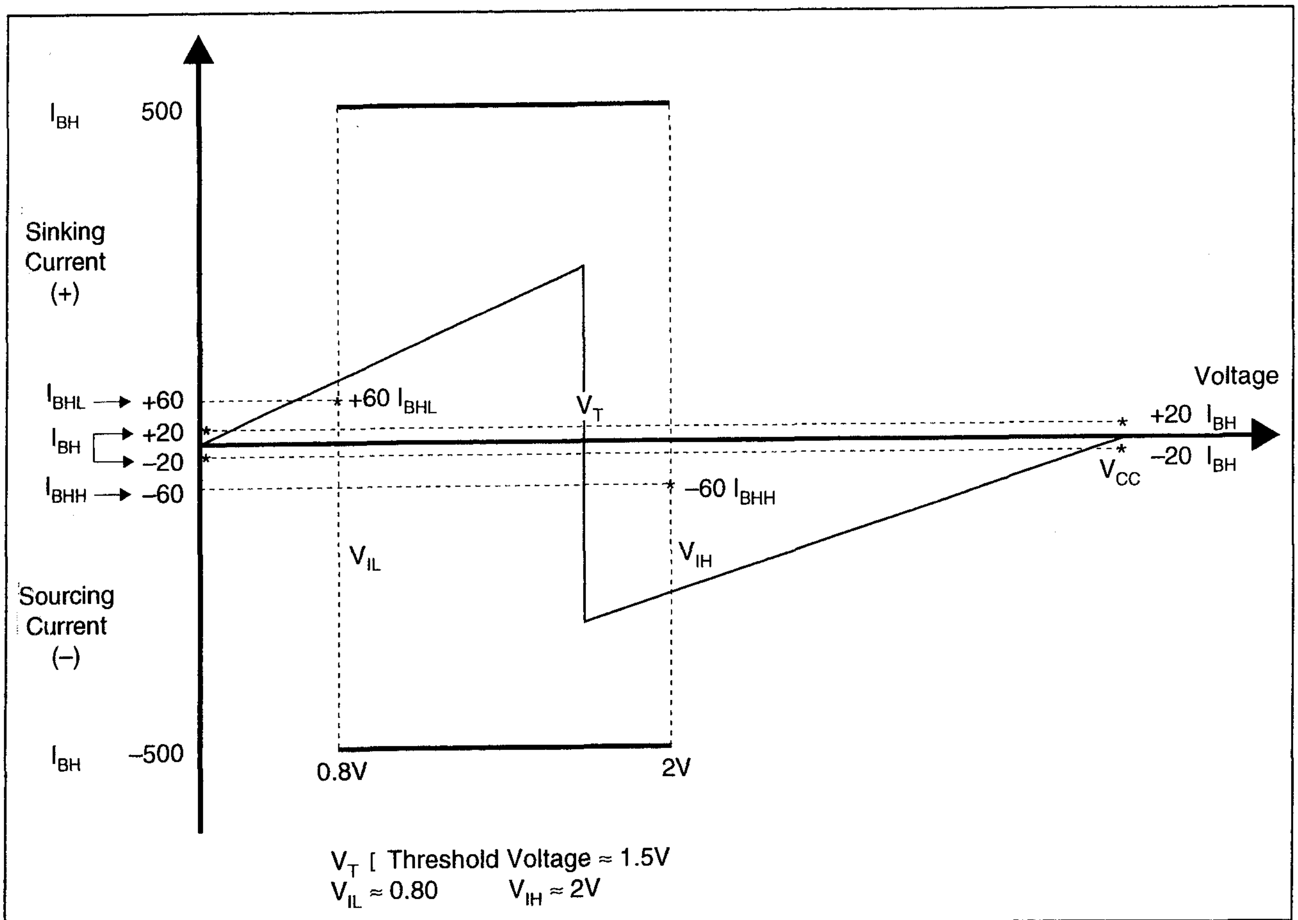
Tabel 9/1.3-24: Kenmerken van de voeding van de QS3388 en QS3L388.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description(1)	QS3388, QS3L388 Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay(2,3) AiBi to CiDi, CiDi to AiBi	—	—	0.25(3)	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{BE}$ to Ai, Bi, Ci, Di	1.5	—	6.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay(2) $\overline{BE}$ to Ai, Bi, Ci, Di	1.5	—	5.5	ns
t_{BX}	Switch Multiplex Delay BX to Ai, Bi, Ci, Di	1.5	—	6.5	ns

Tabel 9/1.3-25: Schakeltijden van de QS3L388 en QS3L388.



Figuur 9/1.3-21: V/I karakteristieken van het bus-hold circuit.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

Actieve afsluiting

De actieve afsluiting (ook wel bus-hold circuit genoemd) is geconfigureerd als een "zwakke latch" met positieve terugkoppeling. Het bus-hold circuit houdt de laatst optredende logische toestand van een TTL of CMOS ingangspoort vast wanneer deze wordt losgekoppeld van de driver. Als de uitgang van een schakeling die met zo'n ingang is verbonden een logische niveau-verandering doorvoert, heeft dit voorrang op de toestand van het bus-hold circuit. Het grootste voordeel van een bus-hold circuit is dat het voorkomt dat CMOS-ingangen gaan zweven. Bus-hold is een betere oplossing dan de traditionele benadering met afsluitweerstanden naar V_{CC} of GND, omdat de bus-hold schakeling geen statisch vermogen opneemt.

In figuur 9/1.3-21 zijn de stroom/spanningskarakteristieken van een bus-hold implementatie te zien.

De ingangs-karakteristieken lijken op die van een weerstand: als de ingangsspanning wordt verhoogd vanaf 0 V, neemt de "sink"-stroom lineair toe. Bij het bereiken van de TTL-drempelwaarde (ongeveer 1,5 V) wordt de logische toestand van de latch door de positieve terugkoppeling veranderd en wordt de richting van de stroom omgekeerd. Wordt de ingangsspanning verder verhoogd, dan neemt de "source"-stroom af (tot het punt waarop $V_{in} = V_{cc}$).

QS3B491, QS3B2491

geklokte N-kanaals 4-poort x 9 bit crossbar switch

De QS3B491 en QS3B2491 zijn snelle CMOS crossbar-switches, georganiseerd als 4 onafhankelijke 9 bit brede poorten. De schakel-matrix bestaat uit N-kanaals FET schakelaars onder besturing van de configuratie-logica. Als ze gesloten zijn is bidirectioneel datatransport met bijna geen vertraging mogelijk. De FET's maken ook 5 V naar 3 V en 5 V naar 2,5 V spanningsomzettingen mogelijk.

De schakel-matrix kan zowel worden geconfigureerd voor onafhankelijke verbinding tussen twee willekeurige poorten als voor multi-poort uitzending. De configuratie-besturing is synchroon of asynchroon. In de synchrone mode gedraagt de besturingslogica zich als een register. Een nieuwe configuratie wordt op de positieve flank van de clock (CLK) opgeslagen als de Clock Enable ($\overline{CLKEN}$) logisch LAAG is. In de asynchrone mode gedraagt de schakelconfiguratie-logica zich als een transparante latch onder besturing van het LE-signaal. Als LE HOOG is, bevindt de latch zich in de transparante mode; bij LE = LAAG wordt de configuratie die aan de eisen van de set-up timing voldoet gelatcht. Tijdens het in- of uitschakelen van de voeding spert een intern power-on reset-circuit alle schakelaars.

Voor poort-onafhankelijke interconnectiebesturing zijn er twee poort-selectie ingangen. Elke poort kan onafhankelijk worden ingesteld als een bron of een bestemming (source, respectievelijk destination), waardoor "onwettige" combinaties worden voorkomen.

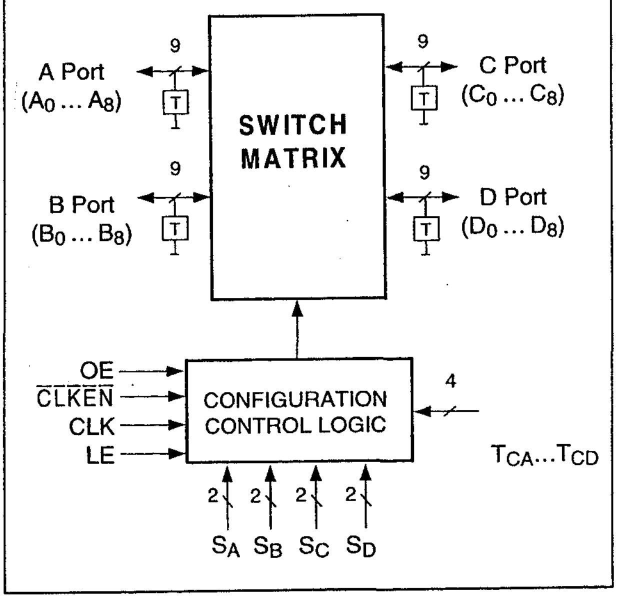
Elke I/O heeft een programmeerbare afsluiting met drie bedrijfsmodi: OFF, Active Terminator (Last Value Latch) en Passive Terminator (als een weerstand). De afsluitingen van alle poorten worden verbonden met onafhankelijke V_{BIAS}-pennen (V_{BA} tot en met V_{BD}) en worden bestuurd door de onafhankelijke Terminator Control (TCX) pennen met 3-state ingangen. Hierdoor is maximale flexibiliteit voor spanningsomzettingen mogelijk.

De QS3B491 is een crossbar-switch met ON-weerstanden van gemiddeld 8 Ω; bij de QS3B2491 is een interne weerstand toegevoegd voor serie-afsluiting van print-sporen en voor het verminderen van signaal-overshoots en undershoots.

Technische gegevens

- volledig configureerbare schakelaarmatrix
- sub-nanoseconde vertraging

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars



Figuur 9/1.3-22: Functioneel blokschema van de QS3B491 en QS3B2491.

- gebruikersvriendelijke besturing van individuele poorten
- power-on reset
- synchrone/asynchrone configuratie-besturing
- programmeerbare actieve afsluitingen op elke poort
- ON-weerstand:
  QS3B491: 8 Ω
  QS3B2491: 25 Ω
- 64-pens TQFP-behuizing
- fabrikant: Quality Semiconductor

Control Inputs				Mode	Status
$\overline{CLKEN}$	CLK	LE	OE		
X	X	X	L	-	All Switches OFF
X	X	H	H	Asynch	Transparent Mode
H	X	L	H	Synch	Hold Previous Configuration
L	↑	L	H	Synch	Load Configuration
L	H	L	H	Asynch	Hold Previous Configuration
L	L	L	H	Asynch	Hold Previous Configuration

Tabel 9/1.3-26: Configuratie-besturing.

S1A	S0A	A - Port Status
L	L	Source
L	H	Destination (B -> A)
H	L	Destination (C -> A)
H	H	Destination (D -> A)
S1B	**S0B**	**B - Port Status**
L	L	Destination (A -> B)
L	H	Source
H	L	Destination (C -> B)
H	H	Destination (D -> B)
S1C	**S0C**	**C - Port Status**
L	L	Destination (A -> C)
L	H	Destination (B -> C)
H	L	Source
H	H	Destination (D -> C)
S1D	**S0D**	**D - Port Status**
L	L	Destination (A -> D)
L	H	Destination (B -> D)
H	L	Destination (C -> D)
H	H	Source

Tabel 9/1.3-27: Poortselectie-besturing.

TCA, TCB, TCC, TCD	Terminator Status
H	Active Terminator (Bus Hold) to V_{BIAS} ($V_{BA} \cdots V_{BD}$)
L	Resistor Termination to V_{BIAS} ($V_{BA} \cdots V_{BD}$)
OPEN	Terminator OFF

Tabel 9/1.3-28: Besturing van de afsluiting.

Supply Voltage to Ground	–0.5V to + 7.0V
Bias Voltage to Ground	–0.5V to + 7.0V
DC Switch Input Voltage	–0.5V to + 7.0V
DC Control Input Voltage	–0.5V to + 7.0V
AC Control Input Voltage (for pulse width ≤ 20ns	–3.0V
DC Input Diode Current, $V_{IN} < 0$	–20mA
DC I/O Current, Max. Sink Current Per Pin	100mA
Maximum Power Dissipation	1.0 watt
Storage Temperature Range	–65°C to +150°C

Tabel 9/1.3-29: Maximaal toegelaten waarden van de QS3B491 en QS3B2491.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%

Symbol	Parameter	Test Conditions		Min	Typ[1]	Max	Unit
A. CONTROL INPUTS							
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Pins, except $T_{CA}...T_{CD}$		2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Pins, except $T_{CA}...T_{CD}$		—	—	0.8	V
V_{IHH}	Input HIGH Voltage	3-Level Inputs Only $T_{CA}...T_{CD}$		V_{CC} –1.0	—	—	V
V_{IMM}	Input MID Voltage	3-Level Inputs Only $T_{CA}...T_{CD}$		$V_{CC}/2$ –0.5	—	$V_{CC}/2$ –0.5	V
V_{ILL}	Input LOW Voltage	3-Level Inputs Only $T_{CA}...T_{CD}$		—	—	1.0	V
$\lvert I_{IN} \rvert$	Input Leakage Current	$0V \leq V_{IN} \leq V_{CC}$ for Control Inputs, except $T_{CA}...T_{CD}$		—	0.02	1	µA
V_{IC}	Input Clamp Voltage	I_{IN} = –18mA, V_{CC} = 4.5V		—	—	–1.2	V
B. Switch I/O (A, B, C & D Ports)							
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0V \leq V_{IN} \leq V_{CC}$		—	0.02	1	µA
R_{ON}	Switch On Resistance	Vcc = Min., V_{IN} = 0.0V, I_{ON} = 30mA	3B491	—	8	12	Ω
			3B2491	—	25	40	
		V_{CC} = Min., V_{IN} = 2.4V, I_{ON} = 6mA	3B491	—	14	20	
			3B2491	—	30	45	
I_{BHL}	Input Hold Current[2,3] (A or B Port)	$V_{CC} = V_{BIAS}$ = 4.50V Switch OFF $T_{CA}...T_{CD}$ = HIGH	V_{IN} = 0.8V	75	—	—	µA
I_{BHH}			V_{IN} = 2.0V	–75	—	—	
$\lvert I_{BH} \rvert$	Input Current[4] A,B Port	$V_{CC} = V_{BIAS}$ = 5.5V Switch OFF $T_{CA}...T_{CD}$ = HIGH	V_{IN} = 0, or V_{CC}	—	—	50	µA
			0.8V< V_{IN} <2.0V	—	—	500[5]	
V_P	Pass Voltage[5]	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5µA		3.7	4.0	4.2	V
I_{IL}	Input Current	$V_{CC} = V_{BIAS}$ = 4.5V V_{IN} = 0V Switch OFF, $T_{CA}...T_{CD}$ = LOW		—	–1	—	mA

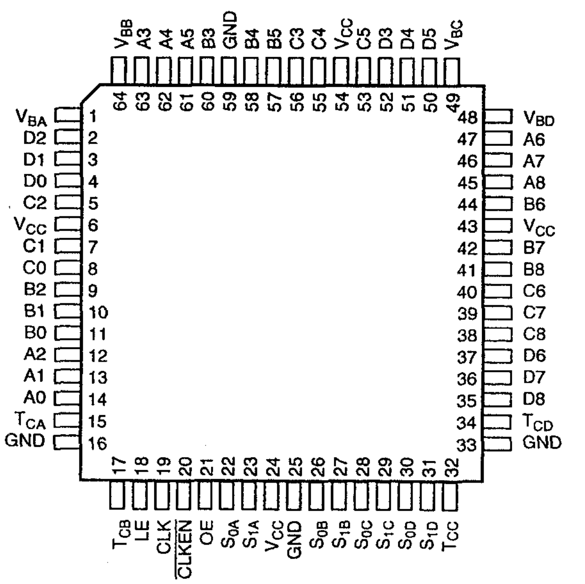
Notes:
1. Typical values indicate V_{CC} = 5.0V and T_A = 25°C.

Tabel 9/1.3-30: Gelijkspanningskenmerken van de QS3B491 en QS3B2491.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{IN} = GND or V_{CC}, f = 0 V_{BIAS} = 5.5V	600	µA
ΔI_{CC}	Power Supply Current(2) per Input HIGH	V_{IN} = 3.4V, f = 0 per Control Input	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(3)	$V_{CC} = V_{BIAS}$ = 5.5V, Switching Pins Open Control Inputs Toggling @ 50% Duty Cycle		mA/MHz

Tabel 9/1.3-31: Kenmerken van de voeding van de QS3B491 en QS3B2491.



Figuur 9/1.3-23: Aansluitingen van de QS3B491 en QS3B2491.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%
C_{LOAD} = 30pF, R_{LOAD} = 500Ω unless otherwise noted

Symbol	Description	Min	Typ	Max	Units
t_{PLH}	Single Channel Port-Port Propagation	—	0.5		ns
t_{PHL}	Delay (3B491)				
t_{PLH}	Single Channel Port-Port Propagation	—	1.5		ns
t_{PHL}	Delay (3B2491)				
t_{PZL}	Asynchronous Enable to Switch	1.5	—	6.5	ns
t_{PZH}	Turn-on Delay				
t_{PLZ}	Asynchronous Enable to Switch	1.5	—	5.5	ns
t_{PHZ}	Turn-off Delay				
t_{PZL}	Select Control to Switch Turn-on Delay	1.5	—	6.5	ns
t_{PZH}	(Asynchronous Mode)				
t_{PLZ}	Select Control to Switch Turn-off Delay	1.5	—	5.5	ns
t_{PHZ}	(Asynchronous Mode)				
t_{PZL}	CLK to Switch Turn-on Delay	1.5	—	6.5	ns
t_{PZH}	(Synchronous Mode)				
t_{PLZ}	CLK to Switch Turn-off Delay	1.5	—	5.5	ns
t_{PHZ}	(Synchronous Mode)				
t_{SCS}	Select Control Input to CLK Set-up Time	3	—		ns
t_{HCS}	Select Control Input to CLK Hold Time	0	—		ns
t_{SEC}	$\overline{\text{CLKEN}}$ to CLK Set-up Time	3	—		ns
t_{HEC}	$\overline{\text{CLKEN}}$ to CLK Hold Time	0	—		ns
t_{SCL}	Select Control Input to LE Set-up Time	3	—		ns
t_{HCL}	Select Control Input to LE Hold Time	0	—		ns
t_W	Clock Pulse Width (HIGH)	4	—		ns

Tabel 9/1.3-32: Schakeltijden van de QS3B491 en QS3B2491.

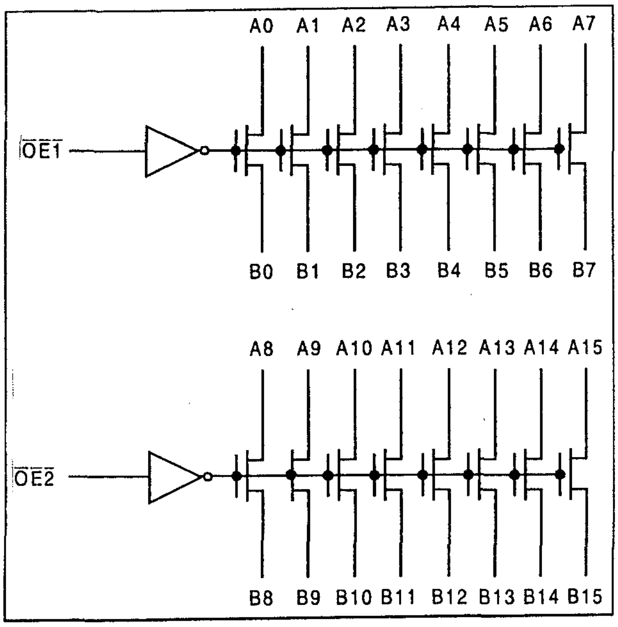
QS32XVH245

16 bit N-kanaals hot-switch, 3,3 V

De QS32XVH245 is een 16 bit bus-schakelaar die speciaal werd ontwikkeld voor "hot-swap" toepassingen (het insteken of verwijderen van modulaire componenten op een systeem dat geheel of gedeeltelijk in vol bedrijf is). De QS32XVH245 heeft een zeer kleine ON-weerstand (typisch 4 Ω), zodat de vertraging van signalen maximaal 200 ps bedraagt. Per groep van 8 worden de schakelaars tegelijk ingeschakeld met een actief-LAAG LVTTL-compatibel Output Enable-signaal $\overline{\text{OE}}$n-signaal.
Er is dan bidirectioneel datatransport zonder extra vertraging of ground-bounce mogelijk.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

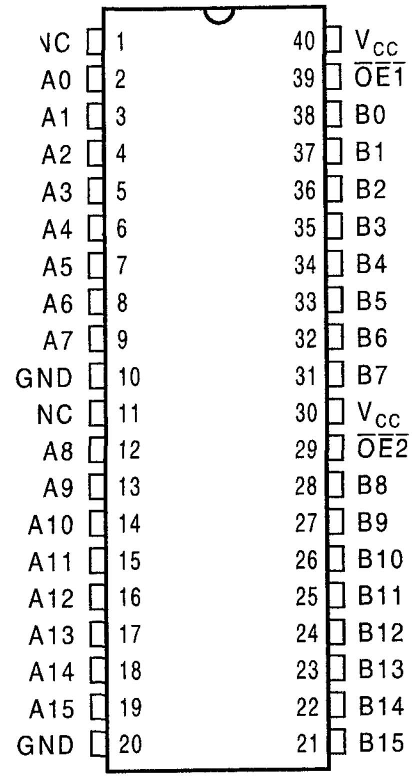
In de OFF-toestand zijn de schakelaars 5 V tolerant en vormen dan een zeer hoge impedantie op de aansluitpennen. De combinatie van bijna geen (near zero) vertraging, hoge OFF-impedantie en overspannings-bestendigheid maakt de QS32XVH245 bijzonder geschikt voor "hot plug" toepassingen. De lage ON-weerstand is ideaal voor (compact) PCI hot-swap toepassingen.



Figuur 9/1.3-24: Functioneel blokschema van de QS32XVH245.

Technische gegevens

- 2 x 8 bit N-kanaals FET-schakelaars
- geen paracitaire diode naar V_{CC}
- ON-weerstand: 4 Ω typisch
- rechte R_{ON}-karakteristiek tussen 0 V en 5 V
- geen DC-pad naar V_{CC} of GND
- 5 V tolerant in de OFF-toestand
- LVTTL-compatibele besturings-ingangen
- bijna geen vertraging, geen groundbounce
- maximale data-frequentie: 150 MHz
- undershoot clamp-dioden aan alle ingangen
- leverbaar in 40-pens QVSOP-behuizing (Q2)
- fabrikant: Quality Semiconductor



Name	I/O	Description
$\overline{OE1}$, $\overline{OE2}$	I	Output Enable
An	I/O	Bus A
Bn	I/O	Bus B

Figuur 9/1.3-25: Aansluitingen van de QS32XVH245.

$\overline{OE1}$	$\overline{OE2}$	A0-A7	A8-A15	Function
H	H	Hi-Z	Hi-Z	Disconnect
L	H	B0-B7	Hi-Z	Connect
H	L	Hi-Z	B8-B15	Connect
L	L	B0-B7	B8-B15	Connect

Figuur 9/1.3-26: Waarheidstabel van de QS32XVH245.

(wordt vervolgd)

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

Supply Voltage to Ground .... –0.5V to 4.6V
DC Switch Voltage V_S .... –0.5V to 5.5V
DC Input Voltage V_{IN} .... –0.5V to 5.5V
AC Input Voltage (for a pulse width ≤ 20ns) .... –3.0V
DC Output Current Max. Sink Current/Pin 120mA
Maximum Power Dissipation .... 0.5 watts
T_{STG} Storage Temperature .... –65° to 150°C

Tabel 9/1.3-33: Maximaal toegelaten waarden voor de QS32XVH245.

T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\|I_{IN}\|$	Input Leakage Current	0V ≤ $\overline{OE}$ ≤ V_{CC}	—	—	1	µA
$\|I_{OZ}\|$	Off-State Current (Hi-Z)	0V ≤ A, B ≤ $V_{CC,}$ Switches OFF	—	—	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V, I_{ON} = 30mA	—	4	6	Ω
		V_{CC} = Min., V_{IN} = 2.4V, I_{ON} = 15mA	—	5	8	

Notes:
1. Typical values indicate V_{CC} = 3.3V and T_A = 25°C.

Tabel 9/1.3-34: Gelijkspanningskenmerken van de QS32XVH245.

T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	6.0	mA
ΔI_{CC}	Power Supply Current(2,3) per Input HIGH	V_{CC} = 3.6V, V_{IN} = 3.0V, f = 0 per Control Input	30	µA
Q_{CCD}	Dynamic Power Supply Current per MHz(4)	V_{CC} = 3.6V, A and B Pins Open, per Control Input Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.3-35: Kenmerken van de voeding van de QS32XVH245.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description[1]	Min[4]	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,3] An to/from Bn	—	—	0.25	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{OEn}$ to An/Bn	1.5	—	9.0	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay[2] $\overline{OEn}$ to An/Bn	1.5	—	8.0	ns
f_S	Operating Frequency - Data[2,5] $\overline{OE}$ = LOW	—	—	150	MHz
$f_{\overline{OE}}$	Operating Frequency - Enable[2,6]	—	—	1	MHz

Tabel 9/1.3-36: Schakeltijden van de QS32XVH245.

QS32X383, QS32X2383, QS32XL383, QS32XL2383

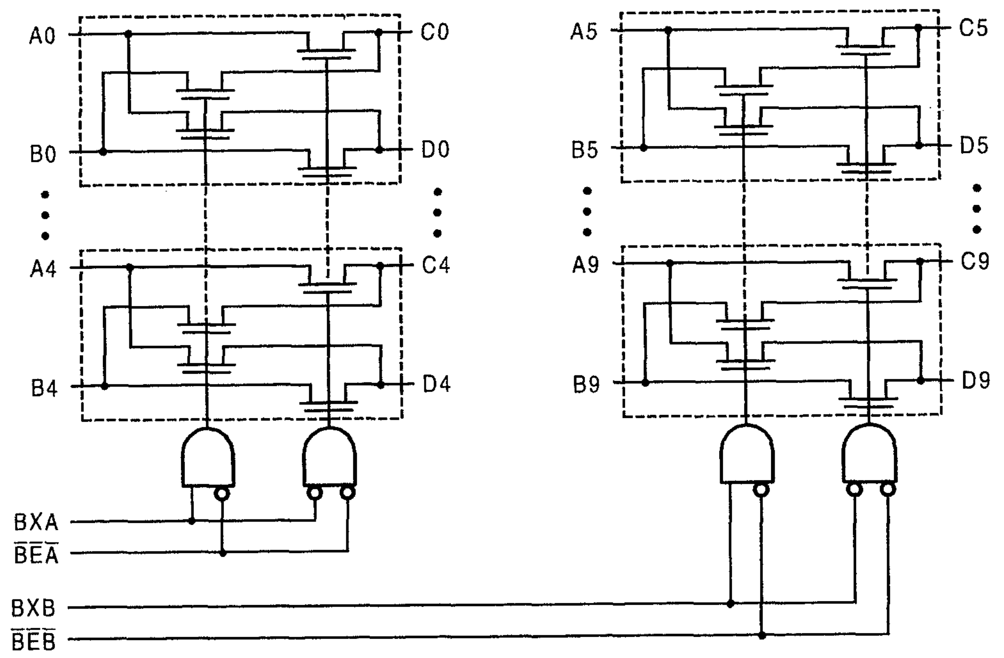
20 bit N-kanaals bus-exchange switch

De QS32X383, QS32X2383, QS32XL383 en QS32XL2383 zijn 20 bit CMOS- en TTL-compatibele bus-exchange schakelaars, georganiseerd in twee groepen van 10 bit. Door de zeer kleine ON-weerstand (5 Ω) van de QS32X383 en de QS32XL383 kunnen de ingangen hiervan met uitgangen worden verbonden zonder dat extra vertraging wordt toegevoegd of ground-bounce optreedt. Bij de QS32X2383 en QS32XL2383 zijn juist serieweerstanden van 25 Ω aangebracht om reflecties in high-speed toepassingen te verminderen. Als een schakelaar gesloten is, heeft de 25 Ω weerstand de functie van afsluiting van de ermee verbonden driver.
Alle schakelaars worden ingeschakeld met het Bus Enable-signaal ($\overline{BEn}$). Het Bus Exchange-signaal (BXn) maakt “nibble swap” van de signaalparen AB en CD mogelijk. Deze wissel-configuratie maakt byte-swapping van bussen in een systeem mogelijk. De bus-exchange schakelaars kunnen ook worden gebruikt als een 10-wide 2-naar-1 multiplexer of als barrel-shifters met weinig vertraging. De L-versies van deze switches zijn Low-Power en verbruiken slechts een I_{CC} van 0,2 μA.
De schakelaars kunnen bijvoorbeeld worden toegepast bij crossbar switching, resource sharing, voltage translation (5 V naar 3,3 V) en hot-swapping en hot-docking.

Technische gegevens

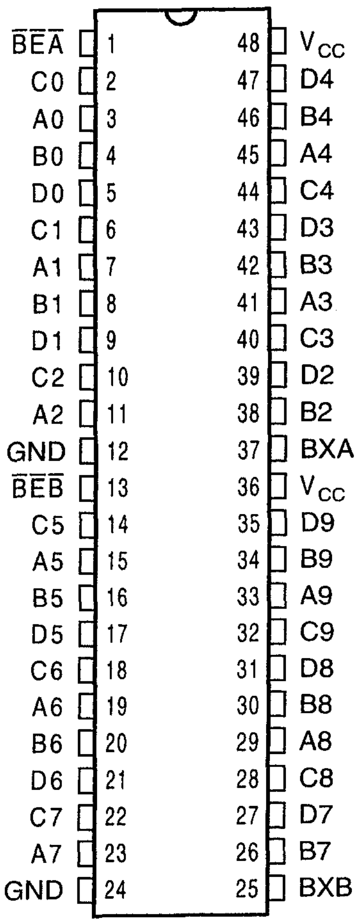
- 20 bit bus-exchange schakelaar
- N-kanaals FET’s zonder paracitaire diode naar V_{CC}
- ON-weerstand:
  QS32X383 en QS32XL383: 5 Ω
  QS32X2383 en QS32XL2383: 28 Ω
- CMOS/TTL-compatibel
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle schakelaars en besturings-ingangen
- nibble-swap mogelijk door bus-exchange
- 48-pens 150-mil QVSOP-behuizing
- fabrikant: Quality Semiconductor

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars



Figuur 9/1.3-27: Functioneel blokschema van de QS32X383, QS32X2383, QS32XL383 en QS32XL2383.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars



Name	I/O	Function
Ai, Bi	I/O	Buses A, B
Ci, Di	I/O	Buses C, D
$\overline{BEn}$	I	Bus Switch Enable
BXn	I	Bus Exchange

Figuur 9/1.3-28: Aansluitingen van de QS32X383, QS32X2383, QS32XL383 en QS32XL2383.

$\overline{BEA}$	BXA	A0-A4	B0–B4	Function
H	X	Hi-Z	Hi-Z	Disconnect
L	L	C0–C4	D0–D4	Connect
L	H	D0–D4	C0–C4	Exchange
$\overline{BEB}$	**BXB**	**A5–A9**	**B5–B9**	**Function**
H	X	Hi-Z	Hi-Z	Disconnect
L	L	C5–C9	D5–D9	Connect
L	H	D5–D9	C5–C9	Exchange

Figuur 9/1.3-29: Waarheidstabel van de QS32X383, QS32X2383, QS32XL383 en QS32XL2383.

Supply Voltage to Ground	–0.5V to +7.0V
DC Switch Voltage V_S	–0.5V to +7.0V
DC Input Voltage V_{IN}	–0.5V to +7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation	0.5 watts
T_{STG} Storage Temperature	–65° to +150°C

Tabel 9/1.3-37: Maximaal toegelaten waarden voor de QS32X383, QS32X2383, QS32XL383 en QS32XL2383.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

T_A = –48°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\mid I_{IN} \mid$	Input Leakage Current (Control Inputs)	$0 \leq V_{IN} \leq V_{CC}$, Control Inputs	—	0.01	1	µA
$\mid I_{OZ} \mid$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches OFF	—	0.01	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V 32X383 I_{ON} = 30mA 32X2383	— 20	5 28	7 40	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V 32X383 I_{ON} = 15mA 32X2383	— 20	10 35	15 48	Ω
V_P	Pass Voltage(3)	V_{CC} = 5V, I_{OUT} = –5µA	3.7	4.0	4.2	V

Notes:
1. Typical values indicate V_{CC} = 5.0V and T_A = 25°C.

Tabel 9/1.3-38: Gelijkspanningskenmerken van de QS32X383, QS32X2383 en de QS32XL383 en QS32XL2383.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	3.0	mA
ΔI_{CC}	Power Supply Current per Input HIGH(2)	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per Control Input	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(3)	Vcc = Max., A and B Pins Open, Control Inputs Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.3-39: Kenmerken van de voeding van de QS32X383 en QS32X2383.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	6.0	μA
ΔI_{CC}	Power Supply Current per Input HIGH(2)	V_{CC} = Max., V_{IN} = 3.4V, f = 0 per Control Input	2.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(3)	V_{CC} = Max., ABCD Pins Open, Control Inputs Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.3-40: Kenmerken van de voeding van de QS32XL383 en QS32XL2383.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

		QS32X383			QS32X2383			
Symbol	Description(1)	Min	Typ	Max	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay(2,4) AiBi to CiDi, CiDi to BiAi	—	—	0.25(3)	—	—	1.5(3)	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{BE}$ to Ai, Bi, Ci, Di	1.5	—	6.5	1.5	—	7.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay(2) $\overline{BE}$ to Ai, Bi, Ci, Di	1.5	—	5.5	1.5	—	6.5	ns
t_{BX} t_{PHZ}	Switch Multiplex Delay BX to Ai, Bi, Ci, Di	1.5	—	6.5	1.5	—	7.5	ns

Tabel 9/1.3-41: Schakeltijden van de QS32X383 (ook: QS32XL383) en QS32X2383 (ook: QS32XL2383).

QS34XVH245

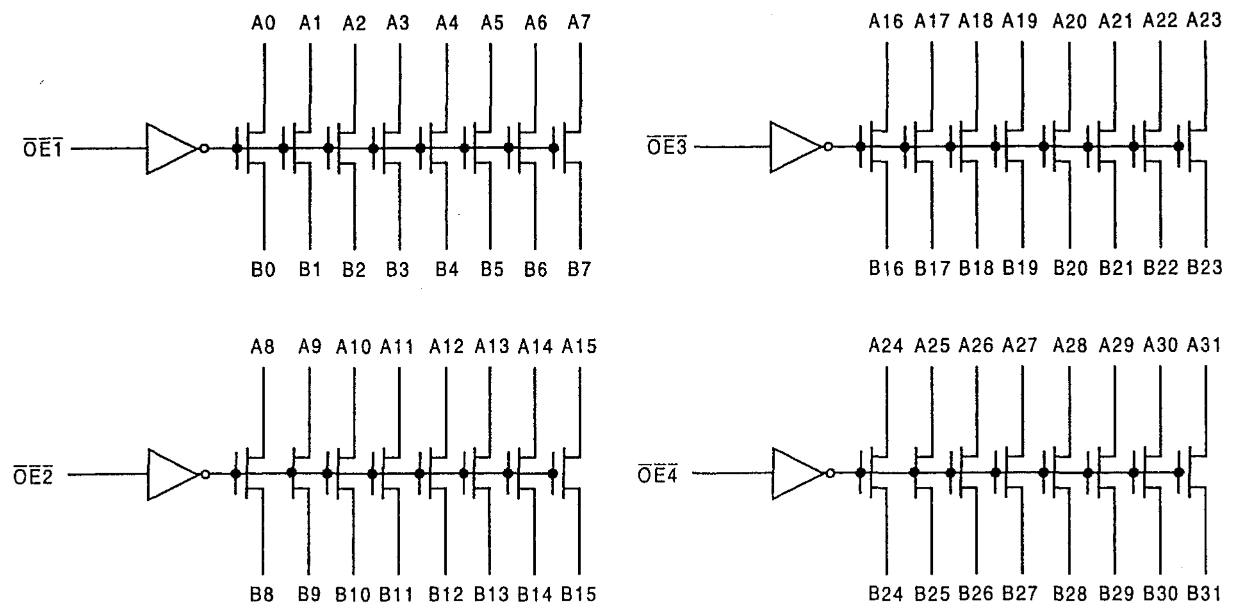
32 bit N-kanaals hot-switch, 3,3 V

De QS34XVH245 is een speciaal voor "hot-swap" toepassingen ontwikkelde 32 bit busschakelaar. Deze switch heeft een zeer kleine ON-weerstand (typisch 4 Ω), zodat de signaalvertraging van maximaal 200 ps bedraagt. Per groep van 8 worden de schakelaars tegelijk ingeschakeld met een actief-LAAG LVTTL-compatibel Output Enable-signaal $\overline{OEn}$-signaal, waardoor bidirectioneel datatransport zonder extra vertraging of ground-bounce mogelijk is. In de OFF-toestand zijn de schakelaars 5 V tolerant en vormen dan een zeer hoge impedantie op de aansluitpennen.

De combinatie van bijna geen (near zero) vertraging, hoge OFF-impedantie en overspannings-bestendigheid maakt de QS34XVH245 zeer geschikt voor "hot plug"

toepassingen. Daarnaast is de lage ON-weerstand ideaal voor (compact) PCI hot-swap toepassingen.

Technische gegevens
- 4 x 8 bit N-kanaals FET-schakelaars
- geen paracitaire diode naar V_{CC}
- ON-weerstand: 4 Ω typisch
- rechte R_{ON}-karakteristiek tussen 0 V en 5 V
- geen DC-pad naar V_{CC} of GND
- 5 V tolerant in de OFF-toestand
- LVTTL-compatibele besturings-ingangen
- bijna geen vertraging, geen ground-bounce
- maximale data-frequentie: 150 MHz
- undershoot clamp-dioden aan alle ingangen
- leverbaar in 80-pens QSSOP-behuizing (Q3)
- fabrikant: Quality Semiconductor

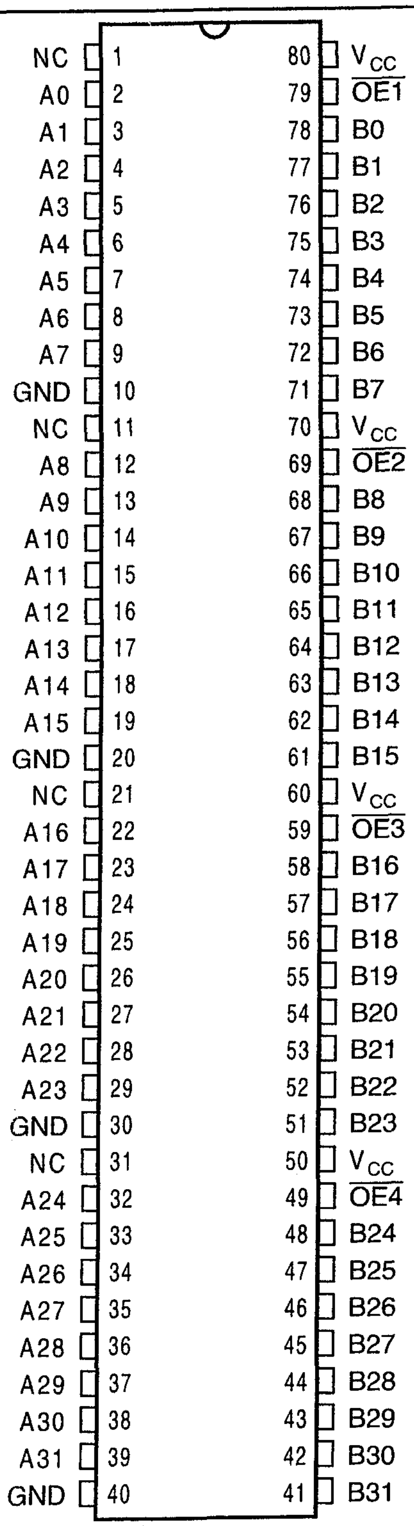


Figuur 9/1.3-30: Functioneel blokschema van de QS34XVH245.

$\overline{OEn}$	Function
H	Disconnect
L	Connect

Figuur 9/1.3-31: Waarheidstabel van de QS34XVH245.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars



Name	I/O	Description
$\overline{OEn}$	I	Output Enable
An	I/O	Bus A
Bn	I/O	Bus B

Figuur 9/1.3-32: Aansluitingen van de QS34XVH245.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

Supply Voltage to Ground .... –0.5V to 4.6V
DC Switch Voltage V_S .... –0.5V to 5.5V
DC Input Voltage V_{IN} .... –0.5V to 5.5V
AC Input Voltage (for a pulse width ≤ 20ns) .... –3.0V
DC Output Current Max. Sink Current/Pin 120mA
Maximum Power Dissipation .... 0.5 watts
T_{STG} Storage Temperature .... –65° to 150°C

Tabel 9/1.3-42: Maximaal toegelaten waarden van de QS34XVH245.

T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\mid I_{IN} \mid$	Input Leakage Current	$0V \leq \overline{OE} \leq V_{CC}$	—	—	1	µA
$\mid I_{OZ} \mid$	Off-State Current (Hi-Z)	$0V \leq A, B \leq V_{CC}$, Switches OFF	—	—	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V, I_{ON} = 30mA	—	4	6	Ω
		V_{CC} = Min., V_{IN} = 2.4V, I_{ON} = 15mA	—	5	8	

Notes:
1. Typical values indicate V_{CC} = 3.3V and T_A = 25°C.

Tabel 9/1.3-43: Gelijkspanningskenmerken van de QS34XVH245.

T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	12	mA
ΔI_{CC}	Power Supply Current(2,3) per Input HIGH	V_{CC} = 3.6V, V_{IN} = 3.0V, f = 0 per Control Input	30	µA
Q_{CCD}	Dynamic Power Supply Current per MHz(3)	V_{CC} = 3.6V, A and B Pins Open, per Control Input Toggling @ 50% Duty Cycle	0.25	mA/MHz

Tabel 9/1.3-44: Kenmerken van de voeding van de QS34XVH245.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

T_A = –40°C to 85°C, V_{CC} = 3.3V ±0.3V
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description[1]	Min[4]	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,3] An to/from Bn	—	—	0.25	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{OEn}$ to An/Bn	1.5	—	9.0	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay[2] $\overline{OEn}$ to An/Bn	1.5	—	8.0	ns
f_S	Operating Frequency - Data[2,5] $\overline{OE}$ = LOW	—	—	150	MHz
$f_{\overline{OE}}$	Operating Frequency - Enable[2,6]	—	—	1	MHz

Tabel 9/1.3-45: Schakeltijden van de QS34XVH245.

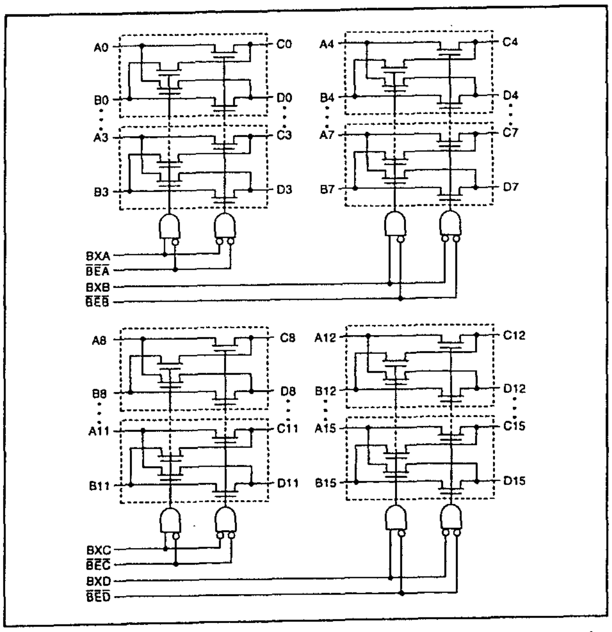
QS34X383

32 bit N-kanaals bus-exchange switch

De QS34X383 is een 32 bit CMOS- en TTL-compatibele bus-exchange schakelaar, georganiseerd in vier groepen van 8 bit. Door de zeer kleine ON-weerstand (5 Ω) kunnen de ingangen met uitgangen worden verbonden zonder dat extra vertraging wordt toegevoegd of ground-bounce optreedt. Alle schakelaars van een groep worden ingeschakeld met het Bus Enable-signaal ($\overline{BEn}$). Het Bus Exchange-signaal (BXn) maakt "nibble swap" van de signaalparen AB en CD mogelijk. Deze wissel-configuratie maakt byte-swapping van bussen in een systeem mogelijk. De bus-exchange schakelaars kunnen ook worden gebruikt als een 16-wide 2-naar-1 multiplexer.
De schakelaars kunnen bijvoorbeeld worden toegepast bij crossbar switching, resource sharing, voltage translation (5 V naar 3,3 V) en hot-swapping en hot-docking.

Technische gegevens

- 32 bit bus-exchange schakelaar
- N-kanaals FET's zonder paracitaire diode naar V_{CC}
- ON-weerstand: 5 Ω
- TTL-compatibele besturingsingangen
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle schakelaars en besturings-ingangen
- nibble-swap mogelijk door bus-exchange
- 80-pens Millipack-behuizing
- fabrikant: Quality Semiconductor



Figuur 9/1.3-33: Functioneel blokschema van de QS34X383.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

$\overline{BEA}$	BXA	A0–A3	B0–B3	Function
H	X	Hi–Z	Hi–Z	Disconnect
L	L	C0–C3	D0–D3	Connect
L	H	D0–D3	C0–C3	Exchange
$\overline{BEB}$	**BXB**	**A4–A7**	**B4–B7**	**Function**
H	X	Hi–Z	Hi–Z	Disconnect
L	L	C4–C7	D4–D7	Connect
L	H	D4–D7	C4–C7	Exchange
$\overline{BEC}$	**BXC**	**A8–A11**	**B8–B11**	**Function**
H	X	Hi–Z	Hi–Z	Disconnect
L	L	C8–C11	D8–D11	Connect
L	H	D8–D11	C8–C11	Exchange
$\overline{BED}$	**BXD**	**A12–A15**	**B12–B15**	**Function**
H	X	Hi–Z	Hi–Z	Disconnect
L	L	C12–C15	D12–D15	Connect
L	H	D12–D15	C12–C15	Exchange

Figuur 9/1.3-34: Waarheidstabel van de QS34X383.

Supply Voltage to Ground .... –0.5V to +7.0V
DC Output Voltage V_S .... –0.5V to +7.0V
DC Input Voltage V_{IN} .... –0.5V to +7.0V
AC Input Voltage (for a pulse width ≤ 20ns) .... –3.0V
DC Output Current Max. Sink Current/Pin 120mA
Maximum Power Dissipation .... 1.4 watts
T_{STG} Storage Temperature .... –65° to +150°C

Tabel 9/1.3-46: Maximaal toegelaten waarden voor de QS34X383.

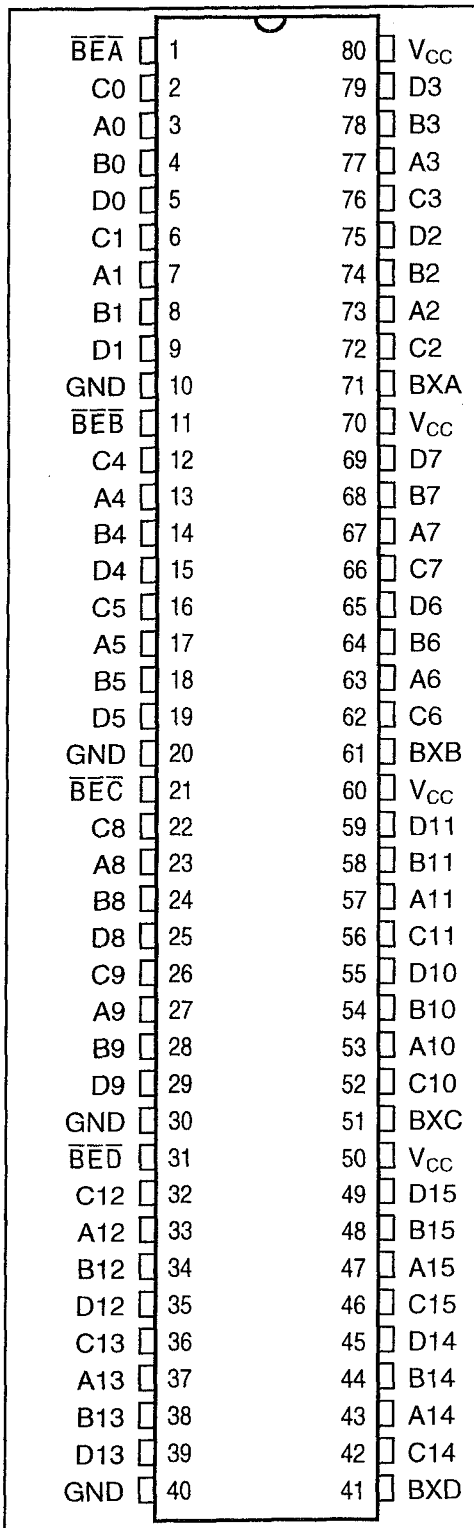
T_A = –40°C to 85°C, V_{CC} = 5.0V ± 5%

Symbol	Parameter	Test Conditions	Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\mid I_{IN} \mid$	Input Leakage Current (Control Inputs)	$0 \leq V_{IN} < V_{CC}$, Control Inputs	0.01	—	1	μA
$\mid I_{OZ} \mid$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches OFF	0.01	—	1	μA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 0.0V I_{ON} = 30mA	—	5	7	Ω
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., V_{IN} = 2.4V I_{ON} = 15mA	—	10	15	Ω
V_P	Pass Voltage(3)	$V_{IN} = V_{CC}$ = 5V, I_{OUT} = –5μA	3.7	4	4.2	V

Notes:
1. Typical values indicate V_{CC} = 5.0V and T_A = 25°C.

Tabel 9/1.3-47: Gelijkspanningskenmerken van de QS34X383.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars



Name	I/O	Function
Ai, Bi	I/O	Buses A, B
Ci, Di	I/O	Buses C, D
$\overline{\text{BEn}}$	I	Bus Switch Enable
BXn	I	Bus Exchange

Figuur 9/1.3-35: Aansluitingen van de QS34X383.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 5\%$

Symbol	Parameter	Test Conditions[1]	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	6.0	mA
ΔI_{CC}	Supply Current Per Control Input HIGH[2]	V_{CC} = Max., V_{IN} = 3.4V, f = 0	1.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz[3]	V_{CC} = Max., A and B Pins Open Control Input Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.3-48: Kenmerken van de voeding van de QS34X383.

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 5\%$
$C_{LOAD} = 50pF$, $R_{LOAD} = 500\Omega$ unless otherwise noted.

Symbol	Description[1]	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,4] AiBi to CiDi, CiDi to BiAi	—	—	0.25[3]	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay $\overline{BEn}$ to Ai, Bi, Ci, Di	1.5	—	6.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay[2] $\overline{BEn}$ to Ai, Bi, Ci, Di	1.5	—	5.5	ns
t_{BX}	Switch Multiplex Delay[2] BX to Ai, Bi, Ci, Di	1.5	—	6.5	ns

Tabel 9/1.3-49: Schakeltijden van de QS34X383.

QS316209, QS3162209

18 bit N-kanaals bus-exchange switch

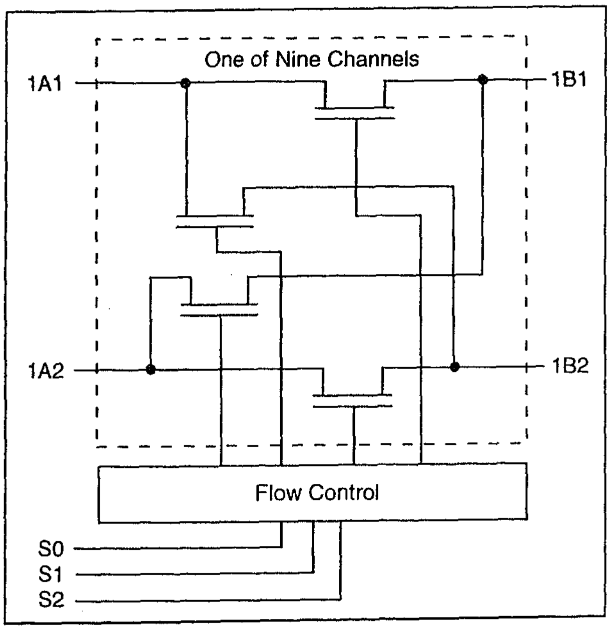
De QS316209 en QS3162209 zijn 18 bit CMOS- en TTL-compatibele bus-exchange schakelaars. De QS316209 heeft een zeer kleine ON-weerstand (5 Ω), waardoor ingangen met uitgangen kunnen worden verbonden zonder het ontstaan van extra vertraging of ground-bounce. Bij de QS3162209 zijn juist interne serie-weerstanden van 25 Ω opgenomen om reflecties bij zeer snelle toepassingen te verminderen. Beide typen werken als 18 bit busschakelaar of als een 9 bit bus-exchanger, waarbij de uitwisseling van data tussen de vier signaalpoorten wordt geregeld met de data-select ingangen S0 tot en met S2.

De schakelaars kunnen bijvoorbeeld worden toegepast bij crossbar switching, hot-swapping en hot-docking, resource sharing, voltage translation (5 V naar 3,3 V) en bus-isolatie.

Technische gegevens

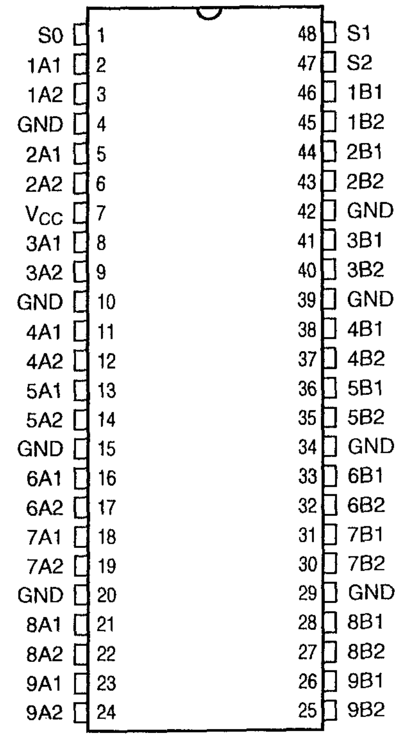
- 18 bit bus-exchange schakelaar
- N-kanaals FET's zonder paracitaire diode naar V_{CC}
- ON-weerstand:
  QS316209: 5 Ω
  QS3162209: 28 Ω

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars



Figuur 9/1.3-36: Functioneel blokschema van de QS316209 en QS3162209.

- TTL-compatibele in- en uitgangsniveaus
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle schakelaars en besturings-ingangen
- behuizingen: 40-pens SSOP en TSSOP
- fabrikant: Quality Semiconductor



Name	I/O	Function
1An-9An	I/O	Bus A
1Bn-9Bn	I/O	Bus B
S0 - S2	I	Data select

Figuur 9/1.3-37: Aansluitingen van de QS316209 en QS3162209.

Supply Voltage to Ground	–0.5V to +7.0V
DC Switch Voltage V_S	–0.5V to +7.0V
DC Input Voltage V_{IN}	–0.5V to +7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation At T_A=85°C	0.85 watts
T_{STG} Storage Temperature	–65° to +150°C

Tabel 9/1.3-50: Maximaal toegelaten waarden voor de QS316209 en QS3162209.

S2	S1	S0	iA1	iA2	Function
L	L	L	Z	Z	Disconnect
L	L	H	iB1	Z	iA1 to iB1
L	H	L	iB2	Z	iA1 to iB2
L	H	H	Z	iB1	iA2 to iB1
H	L	L	Z	iB2	iA2 to iB2
H	L	H	Z	Z	Disconnect
H	H	L	iB1	iB2	iA1 to iB1, iA2 to iB2
H	H	H	iB2	iB1	iA1 to iB2, iA2 to iB1

Figuur 9/1.3-38: Waarheidstabel van de QS316209 en QS3162209.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%

Symbol	Parameter	Test Conditions	Min	Typ[1]	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs	2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs	—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0 \leq V_{IN} \leq V_{CC}$, Control Inputs	—	.01	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0 \leq V_{OUT} \leq V_{CC}$, Switches OFF	—	.01	1	µA
R_{ON}	Switch ON Resistance[2]	V_{CC} = Min., V_{IN} = 0.0V I_{ON} = 30mA QS316209	— 20	4 28	6 40	Ω
R_{ON}	Switch ON Resistance[2]	V_{CC} = Min., V_{IN} = 2.4V I_{ON} = 15mA QS3162209	— 20	8 35	12 48	Ω
V_P	Pass Voltage[3]	V_{CC} = 5V, I_{OUT} = –5µA	3.7	4	4.2	V

Notes:
1. Typical values indicate V_{CC} = 5.0V and T_A = 25°C.

Tabel 9/1.3-51: Gelijkspanningskenmerken van de QS316209 en QS3162209.

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%

Symbol	Parameter	Test Conditions[1]	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	3.0	µA
ΔI_{CC}	Power Supply Current Per Control Input HIGH[2]	V_{CC} = Max., V_{IN} = 3.4V, f = 0	1.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz[3]	V_{CC} = Max., A and B Pins Open, Control Input Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.3-52: Kenmerken van de voeding van de QS316209 en QS3162209.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description(1)		Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay(2,4) iAn to iBn, iBn to iAn	QS316209 QS3162209	—	—	0.25(3) 1.25	ns
t_{PZL} t_{PZH}	Switch Turn-on Delay Sn to iAn, iBn	QS316209 QS3162209	1.5	—	6.5 7.5	ns
t_{PLZ} t_{PHZ}	Switch Turn-off Delay(2) Sn to iAn, iBn	QS316209 QS3162209	1.5	—	6.2 6.8	ns

Tabel 9/1.3-53: Schakeltijden van de QS316209 en QS3162209.

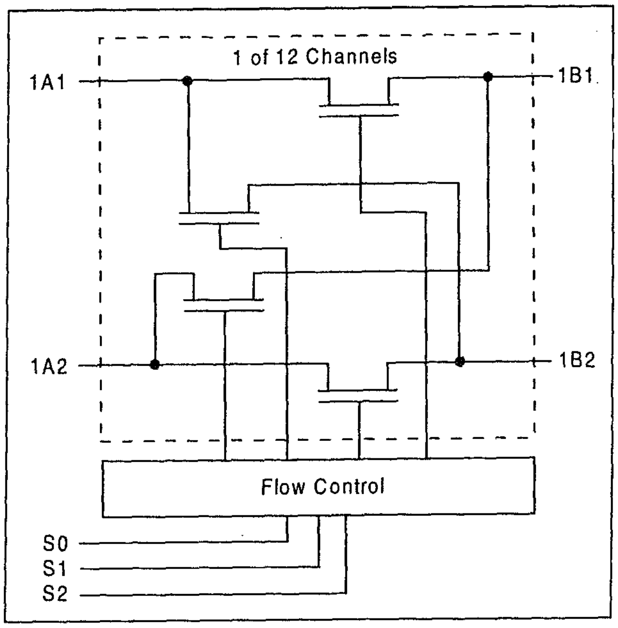
QS316212, QS3162212

24 bit N-kanaals bus-exchange switch

De QS316212 en QS3162212 zijn een set van 24 bit CMOS- en TTL-compatibele bus-exchange schakelaars. De zeer kleine ON-weerstand (5 Ω) van de QS316212 maakt het mogelijk om ingangen met uitgangen te verbinden zonder dat daardoor extra vertraging of ground-bounce ontstaan. Bij de QS3162212 zijn interne serie-weerstanden van 25 Ω toegevoegd om reflecties bij high-speed toepassingen te verminderen. Als de schakelaar gesloten is, gedraagt deze zich als de source-afsluiting voor de ermee verbonden driver. Beide typen werken als 24 bit busschakelaars of als een 12 bit bus-exchanger, waarbij de uitwisseling van data tussen de vier signaalpoorten (van alle kanalen) wordt geregeld met de data-select ingangen S0 tot en met S2. De schakelaars zijn bijvoorbeeld bruikbaar bij crossbar switching, hot-swapping en hot-docking, resource sharing, voltage translation (5 V naar 3,3 V) en bus-isolatie.

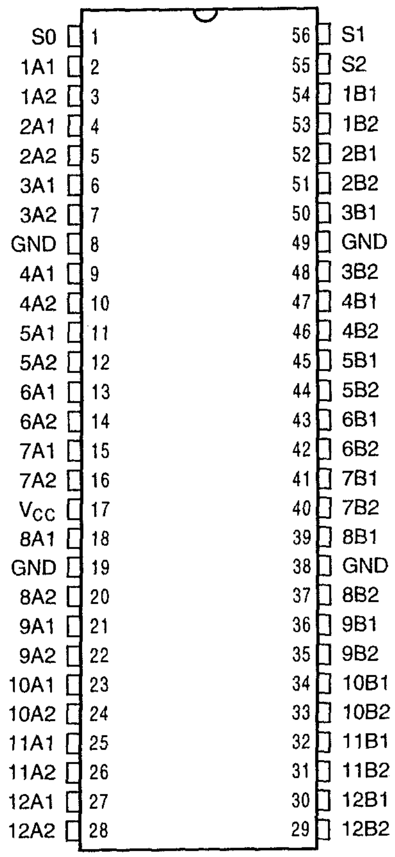
Technische gegevens

- 24 bit bus-exchange schakelaar
- N-kanaals FET's zonder paracitaire diode naar V_{CC}
- ON-weerstand:
  QS316212: 5 Ω
  QS3162212: 28 Ω
- TTL-compatibele in- en uitgangsniveaus
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle schakelaars en besturings-ingangen
- behuizingen: 56-pens SSOP en TSSOP
- fabrikant: Quality Semiconductor



Figuur 9/1.3-39: Functioneel blokschema van de QS316212 en QS3162212.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars



Name	I/O	Function
1An-12An	I/O	Bus A
1Bn-12Bn	I/O	Bus B
S0 - S2	I	Data select

Figuur 9/1.3-40: Aansluitingen van de QS316212 en QS3162212.

S2	S1	S0	iA1	iA2	Function
L	L	L	Z	Z	Disconnect
L	L	H	iB1	Z	iA1 to iB1
L	H	L	iB2	Z	iA1 to iB2
L	H	H	Z	iB1	iA2 to iB1
H	L	L	Z	iB2	iA2 to iB2
H	L	H	Z	Z	Disconnect
H	H	L	iB1	iB2	iA1 to iB1, iA2 to iB2
H	H	H	iB2	iB1	iA1 to iB2, iA2 to iB1

Figuur 9/1.3-41: Waarheidstabel van de QS316212 en QS3162212.

Supply Voltage to Ground	–0.5V to +7.0V
DC Switch Voltage V_S	–0.5V to +7.0V
DC Input Voltage V_{IN}	–0.5V to +7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation At T_A =85°C, SSOP	0.93 watts
TSSOP	0.77 watts
T_{STG} Storage Temperature	–65° to +150°C

Tabel 9/1.3-54: Maximaal toegelaten waarden voor de QS316212 en QS3162212.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 10\%$

Symbol	Parameter	Test Conditions		Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs		2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs		—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0 \le V_{IN} \le V_{CC}$		—	—	1	µA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0 \le V_{OUT} \le V_{CC}$, Switches OFF		—	—	1	µA
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., $V_{IN} = 0.0V$ $I_{ON} = 30mA$	QS316212	—	4	6	Ω
			QS3162212	20	28	40	
R_{ON}	Switch ON Resistance(2)	V_{CC} = Min., $V_{IN} = 2.4V$ $I_{ON} = 15mA$	QS316212	—	8	12	Ω
			QS3162212	20	35	48	
V_P	Pass Voltage(3)	$V_{IN} = V_{CC} = 5V$, $I_{OUT} = -5\mu A$		3.7	4	4.2	V

Notes:
1. Typical values indicate $V_{CC} = 5.0V$ and $T_A = 25°C$.

Tabel 9/1.3-55: Gelijkspanningskenmerken van de QS316212 en QS3162212.

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 10\%$

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	3.0	µA
ΔI_{CC}	Power Supply Current Per Control Input HIGH(2)	V_{CC} = Max., $V_{IN} = 3.4V$, f = 0	2.5	mA
Q_{CCD}	Dynamic Power Supply Current Per MHz(3)	V_{CC} = Max., A and B Pins Open, Control Input Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.3-56: Kenmerken van de voeding van de QS316212 en QS3162212.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

T_A = –40°C to 85°C, V_{CC} = 5.0V ± 10%
C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Description[1]		Min	Typ	Max	Unit
t_{PLH}	Data Propagation Delay[2,4]	QS316212	—	—	0.25[3]	ns
t_{PHL}	iAn to iBn, iBn to iAn	QS3162212	—	—	1.25	
t_{PZL}	Switch Turn-on Delay	QS316212	1.5	—	6.5	ns
t_{PZH}	Sn to iAn, iBn	QS3162212	1.5	—	7.5	
t_{PLZ}	Switch Turn-off Delay[2]	QS316212	1.5	—	6.2	ns
t_{PHZ}	Sn to iAn, iBn	QS3162212	1.5	—	6.8	

Tabel 9/1.3-57: Schakeltijden van de QS316212 en QS3162212.

QS316213, QS3162213

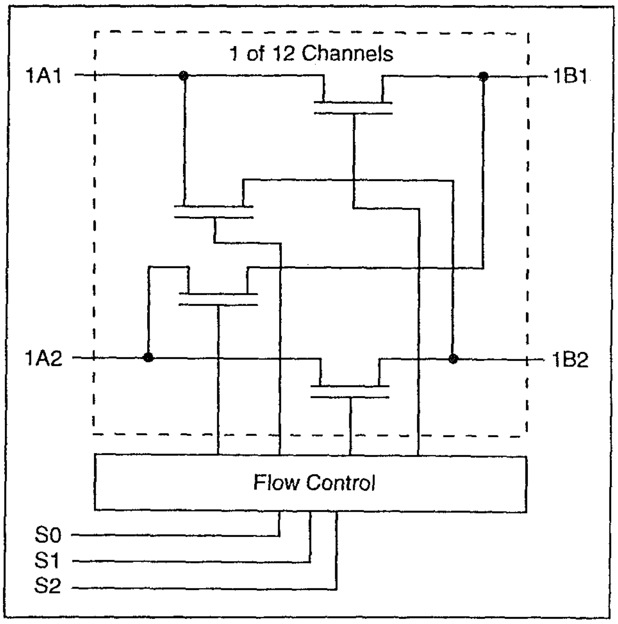
24 bit N-kanaals bus-exchange switch met A1 = A2 = B2 functie

De QS316213 en QS3162213 zijn 24 bit CMOS- en TTL-compatibele bus-exchange schakelaars. De QS316213 heeft een zeer kleine ON-weerstand (5 Ω) die het mogelijk maakt om ingangen met uitgangen te verbinden zonder dat daardoor extra vertraging of ground-bounce te veroorzaken.

Bij de QS3162213 zijn juist interne serieweerstanden van 25 Ω opgenomen om reflecties bij high-speed toepassingen te verminderen. Als deze schakelaar dan gesloten is, gedraagt hij zich als de source-afsluiting voor de ermee verbonden driver. Beide typen werken als 24 bit busschakelaars of als een 12 bit bus-exchanger, waarbij de uitwisseling van data tussen de vier signaalpoorten (van alle kanalen) wordt geregeld met de data-select ingangen S0 tot en met S2. De schakelaars zijn bijvoorbeeld bruikbaar bij crossbar switching, hot-docking, resource sharing en voltage translation (5 V naar 3,3 V).

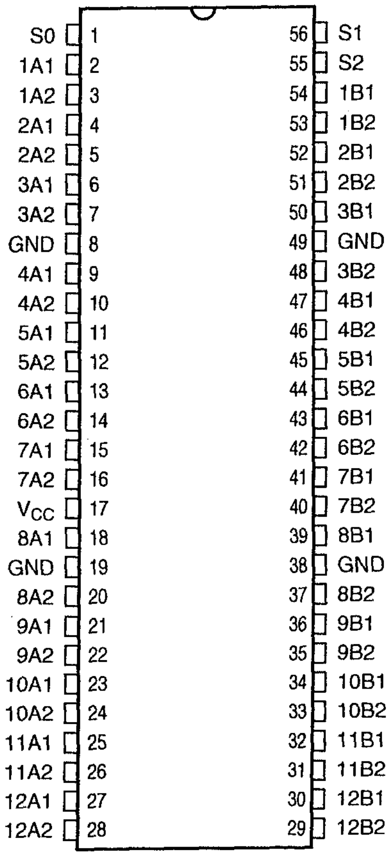
Technische gegevens

- 24 bit bus-exchange schakelaar
- N-kanaals FET's zonder paracitaire diode naar V_{CC}
- ON-weerstand:
  QS316213: 5 Ω
  QS3162213: 28 Ω
- TTL-compatibele in- en uitgangsniveaus
- geen vertraging, geen ground-bounce
- undershoot clamp-dioden aan alle schakelaars en besturings-ingangen
- behuizingen: 56-pens SSOP en TSSOP
- fabrikant: Quality Semiconductor



Figuur 9/1.3-42: Functioneel blokschema van de QS316213 en QS3162213.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars



Name	I/O	Function
1An-12An	I/O	Bus A
1Bn-12Bn	I/O	Bus B
S0 - S2	I	Data select

Figuur 9/1.3-43: Aansluitingen van de QS316213 en QS3162213.

S2	S1	S0	iA1	iA2	Function
L	L	L	Z	Z	Disconnect
L	L	H	iB1	Z	iA1 to iB1
L	H	L	iB2	Z	iA1 to iB2
L	H	H	Z	iB1	iA2 to iB1
H	L	L	Z	iB2	iA2 to iB2
H	L	H	iA2, iB2	iA1,iB2	iA1 to iA2, iB2
H	H	L	iB1	iB2	iA1 to iB1, iA2 to iB2
H	H	H	iB2	iB1	iA1 to iB2, iA2 to iB1

Figuur 9/1.3-44: Waarheidstabel van de QS316213 en QS3162213.

Parameter	Value
Supply Voltage to Ground	–0.5V to +7.0V
DC Switch Voltage V_S	–0.5V to +7.0V
DC Input Voltage V_{IN}	–0.5V to +7.0V
AC Input Voltage (for a pulse width ≤ 20ns)	–3.0V
DC Output Current Max. Sink Current/Pin	120mA
Maximum Power Dissipation At T_A =85°C, SSOP	0.93 watts
TSSOP	0.77 watts
T_{STG} Storage Temperature	–65° to +150°C

Tabel 9/1.3-58: Maximaal toegelaten waarden voor de QS316213 en QS3162213.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 10\%$

Symbol	Parameter	Test Conditions		Min	Typ(1)	Max	Unit
V_{IH}	Input HIGH Voltage	Guaranteed Logic HIGH for Control Inputs		2.0	—	—	V
V_{IL}	Input LOW Voltage	Guaranteed Logic LOW for Control Inputs		—	—	0.8	V
$\lvert I_{IN} \rvert$	Input Leakage Current (Control Inputs)	$0 \le V_{IN} \le V_{CC}$		—	0.01	1	μA
$\lvert I_{OZ} \rvert$	Off-State Current (Hi-Z)	$0 \le V_{OUT} \le V_{CC}$, Switches OFF		—	0.01	1	μA
R_{ON}	Switch ON Resistance(2) A to B or B to A	V_{CC} = Min., $V_{IN} = 0.0V$ $I_{ON} = 30mA$	QS316213	—	4	6	Ω
			QS3162213	20	28	40	
R_{ON}	Switch ON Resistance(2) A to B or B to A	V_{CC} = Min., $V_{IN} = 2.4V$ $I_{ON} = 15mA$	QS316213	—	8	12	Ω
			QS3162213	20	35	48	
R_{ON}	Switch ON Resistance A1 to A2	V_{CC} = Min., $V_{IN} = 0V$ $I_{ON} = 30mA$	QS316213	—	8	12	Ω
			QS3162213	40	56	80	
R_{ON}	Switch ON Resistance A1 to A2	V_{CC} = Min., $V_{IN} = 2.4V$ $I_{ON} = 15mA$	QS316213	—	16	24	Ω
			QS3162213	40	70	96	
V_P	Pass Voltage(3)	$V_{CC} = 5V$, $I_{OUT} = -5\mu A$		3.7	4	4.2	V

Notes:
1. Typical values indicate $V_{CC} = 5.0V$ and $T_A = 25°C$.

Tabel 9/1.3-59: Gelijkspanningskenmerken van de QS316213 en QS3162213.

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 10\%$

Symbol	Parameter	Test Conditions(1)	Max	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or V_{CC}, f = 0	3.0	μA
ΔI_{CC}	Power Supply Current Per Control Input HIGH(2)	V_{CC} = Max., $V_{IN} = 3.4V$, f = 0	1.5	mA
Q_{CCD}	Dynamic Power Supply Current per MHz(3)	V_{CC} = Max., A and B Pins Open, Control Input Toggling @ 50% Duty Cycle	0.25	mA/ MHz

Tabel 9/1.3-60: Kenmerken van de voeding van de QS316213 en QS3162213.

1.3 Type-beschrijving QuickSwitch bus-exchange en hot-swap schakelaars

$T_A = -40°C$ to $85°C$, $V_{CC} = 5.0V \pm 10\%$
$C_{LOAD} = 50pF$, $R_{LOAD} = 500\Omega$ unless otherwise noted.

Symbol	Description(1)		Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Data Propagation Delay(2,4) iAn to iBn, iBn to iAn	QS316213	—	—	0.25(3)	ns
		QS3162213			1.25	
t_{PLH} t_{PHL}	Data Propagation Delay iA1 to iA2	QS316213	—	—	0.5	ns
		QS3162213	—	—	1.5	
t_{PZL} t_{PZH}	Switch Turn-on Delay Sn to iAn, iBn	QS316213	1.5	—	6.5	ns
		QS3162213	1.5		7.5	
t_{PLZ} t_{PHZ}	Switch Turn-off Delay(2) Sn to iAn, iBn	QS316213	1.5	—	6.2	ns
		QS3162213	1.5		6.8	

Tabel 9/1.3-61: Schakeltijden van de QS316213 en QS3162213.

9/2

Interface adapters

Inhoud

9/2

Interface adapters

Inhoud

9/2.1

Achtergrond-informatie

Bij het koppelen van een (micro)processor aan de buitenwereld ontstaan meestal problemen door afwijkende:
- data-snelheden
- gebruikte codes
- reactietijden
- data-formaten (bijvoorbeeld in serie of parallel)
- besturingssignalen (voor het synchroniseren van de data-overdrachten) en
- statussignalen (om de voortgang van het datatransport en de toestand van de apparatuur aan te geven).

Het in-/uitgangs-gedeelte van een microcomputer is daarom dikwijls ingewikkelder en duurder dan alle andere delen. Bovendien moet het voor elke toepassing weer anders. Veel gebruikte onderdelen zijn latches, flipflop's, buffers, drivers, schuifregisters, tellers, timers, decoders en multiplexers, waarvoor veel ruimte nodig is.
Als alternatief kan een flinke portie van deze schakelingen worden opgenomen in IC's. Bekende interface-IC's zijn de PIA, de VIA en IIA, die hierna worden behandeld.

2.1 Achtergrond-informatie

9/2.2

Type-beschrijving 65-familie

6520

Peripheral Interface Adapter - PIA

De 6520 werd ontworpen om een eenvoudige koppeling tussen microprocessor en de 'buitenwereld' mogelijk te maken.
Het contact van en naar de omgeving vindt parallel plaats d.m.v. twee 8 bit bidirectionele poorten PA en PB. Elke lijn hiervan kan als ingang of uitgang worden geprogrammeerd.
Bovendien staan vier control/interruptlijnen ter beschikking, waarmee de data-overdracht tussen processor en omgeving bij voorbeeld op basis van 'hand shaking' kan geschieden.

Kenmerken van de 6520

- uitwisselbaar met 6820
- enkele voedingsspanning: +5 V ± 5%
- volledig statisch en TTL compatibel
- controllijnen CMOS compatibel
- automatische 'hand shake' tussen processor en omgeving
- geschikt voor frequenties tot 1 MHz (6520A tot 2 MHz)
- behuizing: 40 pens DIL, P = plastic, C = keramisch
- bedrijfstemperatuurgebied: 0 tot +70°C (industrieel: −40 tot +85°C)
- fabrikanten: Rockwell, Synertek

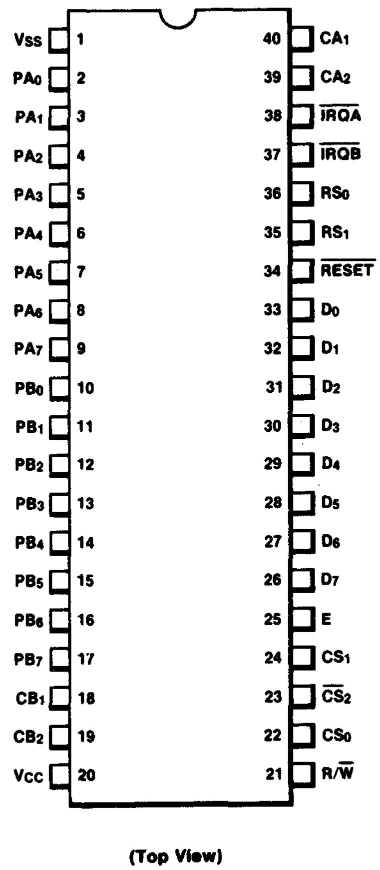
Opbouw en werking

Zoals in figuur 9/2.2-3 te zien is, bevat de PIA 2 maal 3 registers die elk 8 bits breed zijn. In de peripheral data registers (PDR's) wordt de data gezet die verzonden of ontvangen moet worden. De richting per bit is afhankelijk van de inhoud van de data direction registers (DDR's). Een bit dat op logisch 1 staat is een uitgang; een 0 resulteert in een ingang. Met de control registers (CR's) worden de functies van de controle-lijnen CA1, 2 resp. CB1, 2 geprogrammeerd.

De twee selectlijnen RS0 en RS1 werken samen met bit 2 van de controle-registers om onderscheid te maken tussen de diverse aan te wijzen registers, zie ook de tabel voor de interne adressering (tabel 9/2.2-1). De overige taken van de CR's worden duidelijk uit tabel 9/2.2-2: bits 0 t/m 5 worden gelezen of geschreven door de microprocessor; bits 6 en 7 worden alleen gelezen en zijn van buitenaf beïnvloedbaar door CA1, 2 of CB1, 2.

In de tabellen (9/2.2-)3, 4, 5 en 6 zijn de functies van CA1, 2 en CB1, 2 te zien.

2.2 Type-beschrijving 65-familie

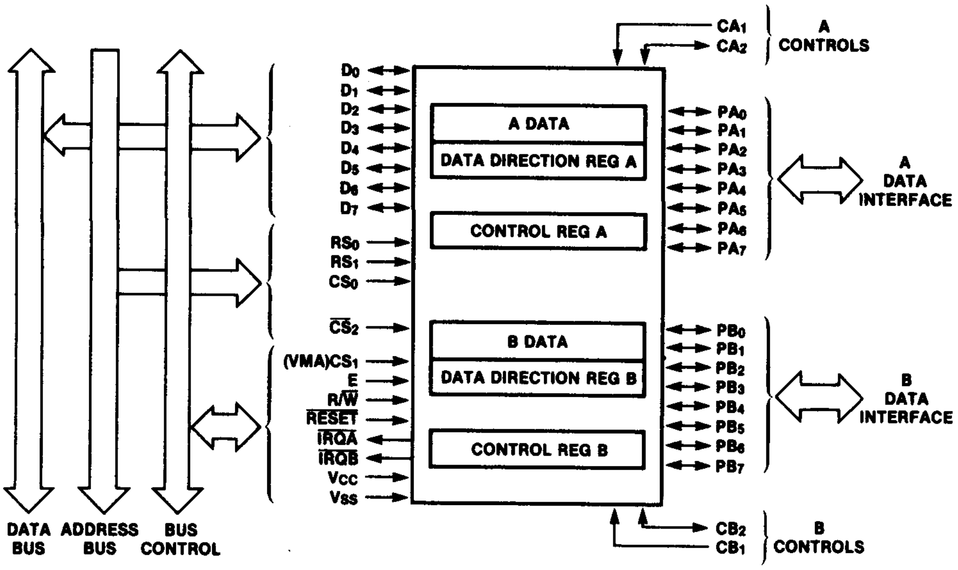


Figuur 9/2.2-1: Aansluitgegevens van de 6520 (ook van 6521, 6820 en 6821).

Bit	CRA	CRB
7	IRQA1	IRQB1
6	IRQA2	IRQB2
5 4 3	CA_2 Control	CB_2 Control
2	DDRA Access	DDRB Access
1 0	CA_1 Control	CB_1 Control

Tabel 9/2.2-2: Formaat van de controle woorden

2.2 Type-beschrijving 65-familie

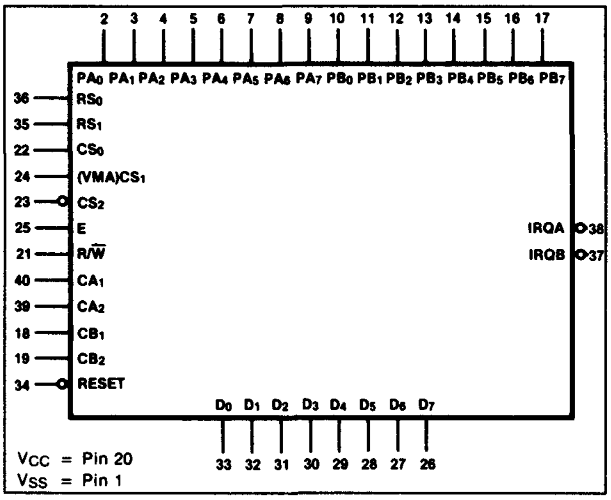


Figuur 9/2.2-3: Blokschema van de 6520 (ook van 6521, 6820 en 6821).

RS_1	RS_0	Control Register Bit CRA-2	Control Register Bit CRB-2	Location Selected
0	0	1	X	Peripheral Register A
0	0	0	X	Data Direction Register A
0	1	X	X	Control Register A
1	0	X	1	Peripheral Register B
1	0	X	0	Data Direction Register B
1	1	X	X	Control Register B

X = Don't Care

Tabel 9/2.2-1: Interne adressering.



Figuur 9/2.2-2: Logisch symbool van de PIA (geldt voor 6520, 6820 en 6821).

2.2 Type-beschrijving 65-familie

CRA (CRB)		actieve overgang van ingangssignaal	Interrupt vlag	IRQA (IRQB) interrupt
bit 1	bit 0	CA1 (CB1)	CRA-7 (CRB-7)	uitgang
0	0	negatief	wordt HOOG gezet door ↓ van CA1 (CB1)	geblokkeerd - blijft HOOG
0	1	negatief	wordt HOOG gezet door ↓ van CA1 (CB1)	werkzaam - gaat LAAG als bit CRA-7 (CRB-7) HOOG gaat
1	0	positief	wordt HOOG gezet door ↑ van CA1 (CB1)	geblokkeerd - blijft HOOG
1	1	positief	wordt HOOG gezet door ↑ van CA1 (CB1)	werkzaam - gaat LAAG als bit CRA-7 (CRB-7) HOOG gaat

Tabel 9/2.2-3: Functies van de interruptlijnen CA1 en CB1.

CRA (CRB)			actieve overgang van ingangssignaal	Interrupt vlag	IRQA (IRQB) interrupt
bit 5	bit 4	bit 3	CA2 (CB2)	CRA-6 (CRB-6)	uitgang
0	0	0	negatief	wordt HOOG gezet door ↓ van CA2 (CB2)	geblokkeerd - blijft HOOG
0	0	1	negatief	wordt HOOG gezet door ↓ van CA2 (CB2)	werkzaam - gaat LAAG als bit CRA-6 (CRB-6) HOOG gaat
0	1	0	positief	wordt HOOG gezet door ↑ van CA2 (CB2)	geblokkeerd - blijft HOOG
0	1	1	positief	wordt HOOG gezet door ↑ van CA2 (CB2)	werkzaam - gaat LAAG als bit CRA-6 (CRB-6) HOOG gaat

Tabel 9/2.2-4: Ingangs-(interrupt)-functies van CA2 en CB2.

2.2 Type-beschrijving 65-familie

CRA			modus	functie van CA2
bit 5	bit 4	bit 3		
1	0	0	'handshake' bij inlezen	CA2 wordt HOOG door een aktieve overgang van het CA1 interrupt-signaal en LAAG door een 'read A data' operatie van een microprocessor
1	0	1	puls-uitgang	CA2 gaat LAAG gedurende één cyclus na een 'read A data' operatie. Deze puls kan door de periferie worden gebruikt voor het ophalen van nieuwe data.
1	1	0	hand uitvoer	CA2 wordt LAAG gezet
1	1	1	hand uitvoer	CA2 wordt HOOG gezet

Tabel 9/2.2-5: Uitgangsfuncties van CA2.

CRB			modus	functie van CB2
bit 5	bit 4	bit 3		
1	0	0	'handshake' bij schrijven	CB2 wordt LAAG gezet door een 'write B data' operatie en HOOG door een aktieve overgang van het CB1 interrupt-signaal.
1	0	1	puls-uitgang	CB2 gaat LAAG gedurende één cyclus na een 'write B data' operatie. Deze puls kan door de periferie worden gebruikt om de data op te bergen (CB2 = bijv. kloksignaal).
1	1	0	hand uitvoer	CB2 wordt LAAG gezet
1	1	1	hand uitvoer	CB2 wordt HOOG gezet

Tabel 9/2.2-6: Uitgangsfuncties van CB2.

2.2 Type-beschrijving 65-familie

6521

Peripheral Interface Adapter - PIA

De 6521 is een verbeterde versie van de 6520, waarmee dit IC zowel PIN- als software-compatibel is. De verbetering werd door de fabrikanten nog verder doorgevoerd door een CMOS-versie te vervaardigen die niet alleen sneller is, maar ook aanzienlijk minder vermogen opneemt dan de NMOS-versie. Figuur 9/2.2-4 is het volledige blokschema van zowel de 6520/6820 als de 6521/6821.

Leverbare 6521-typen:
Rockwell: R65C21-A : 2 MHz
B : 3 MHz
C : 4 MHz
dissipatie bij 2 MHz: 20 mW
GTE: G65SC21-1 : 1 MHz
2 : 2 MHz
3 : 3 MHz
4 : 4 MHz
dissipatie bij 1 MHz: 11 mW

6522

Versatile Interface Adapter - VIA

De VIA (Versatile Interface Adapter = algemeen bruikbare interface) 6522 kan alle functies van de 6520 vervullen en beschikt bovendien nog over twee zeer krachtige interval-timers, een serie-naar-parallel/parallel-naar-serie schuifregister en latches voor de signalen die bij de periferiepoorten binnenkomen. Een nog flexibeler handshake maakt bijvoorbeeld datatransport in twee richtingen tussen twee VIA's van een multiprocessor-systeem mogelijk.
Het contact met de randapparatuur vindt voornamelijk plaats d.m.v. twee 8 bits bi-directionele poorten, waarvan elke lijn als ingang of als uitgang kan dienen. Tevens kunnen verscheidene I/O-lijnen direct met de interval-timers worden verbonden voor de opwekking van blokgolven met programmeerbare frequenties en voor het tellen van van buiten komende pulsen.
Alle interne registers van deze chip kunnen vanuit de micro-processor met de Register Selectlijnen RS0 t/m RS3 worden bediend. In tabel 9/2.2-7 is te zien hoe de 16 verschillende mogelijkheden worden uitgevoerd en figuur 9/2.2-5 laat alle signaalaansluitingen en de plaats van de registers in het blokschema zien.

LET OP dat de aansluitingen van de VIA afwijken van die van de PIA, zodat deze NIET onderling verwisselbaar zijn!
De aansluitingen en de omschrijving van de signalen zijn te zien in figuur 9/2.2-6.

Dynamische eigenschappen

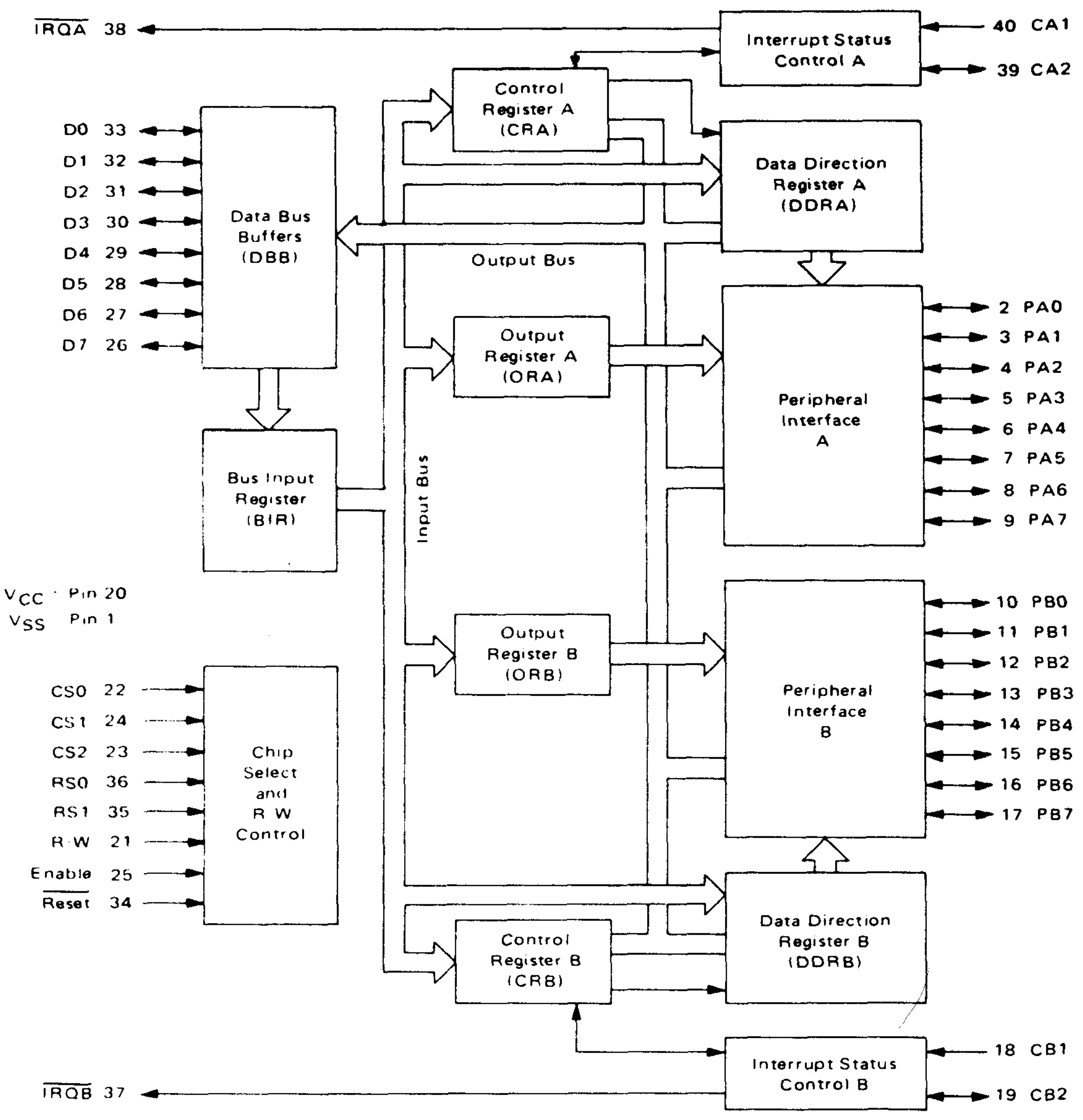
De snelheid van de VIA wordt bepaald door drie factoren:
- De leescyclus (data van VIA naar processor): figuur 9/2.2-7
- De schrijfcyclus (data van processor naar VIA): figuur 9/2.2-8 en
- De I/O-cyclus (contact met de periferie): figuur 9/2.2-9

Hieruit blijkt dat de VIA voor de meeste toepassingen snel genoeg is. Bovendien is de randapparatuur dikwijls langzamer dan de microprocessor.
Verder kan nog worden vermeld dat de VIA ook in diverse (snellere) CMOS-uitvoeringen leverbaar is.

Processor-interface

Dit is het gedeelte met de bus- en controllijnen tussen VIA en systeem-processor. Hieronder vallen:
- **Fase-2 klok (Φ2)**
  Datatransport tussen de VIA en de processor vindt alleen plaats, wanneer Φ2 hoog is. Bovendien wordt Φ2 gebruikt als tijdbasis voor verschillende timers, schuifregisters, enz. op de chip.
- **Chip-selectlijnen (CS1, $\overline{CS2}$)**
  Beide chip-selectlijnen worden gewoonlijk (direct of via decoders) met de adreslijnen van de processor verbonden. Het gekozen VIA-register is bereikbaar wanneer CS1 hoog is en CS2 laag.
- **Register-selectlijnen (RS0, RS1, RS2, RS3)**
  De vier register-selectlijnen zijn gewoonlijk met de adreslijnen van de processorbus

2.2 Type-beschrijving 65-familie



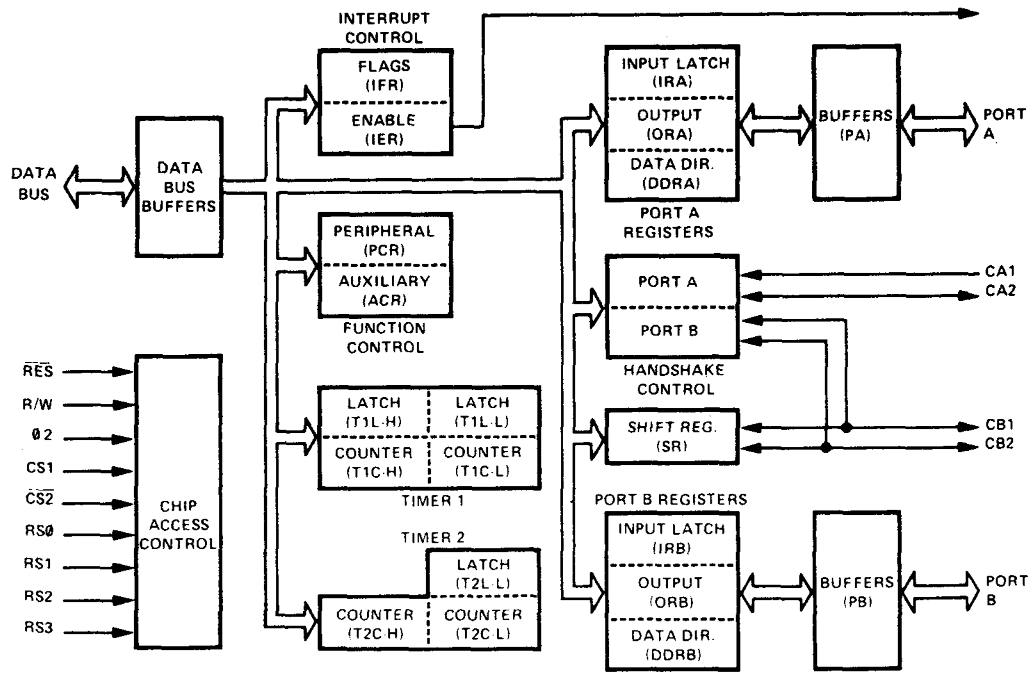
Figuur 9/2.2-4: Volledig blokschema van de PIA (identiek voor zowel de 6520/6820 als de 6521/6821).

2.2 Type-beschrijving 65-familie

register nummer	RS codering				gekozen register	beschrijving	
	RS3	RS2	RS1	RS0		schrijven	lezen
0	0	0	0	0	ORB/IRB *	uitgangsregister B	ingangsregister B
1	0	0	0	1	ORA/IRA *	uitgangsregister A	ingangsregister A
2	0	0	1	0	DDRB	data richtingsregister B	
3	0	0	1	1	DDRA	data richtingsregister A	
4	0	1	0	0	T1C-L	T1 laagste byte latches	T1 laagste byte teller
5	0	1	0	1	T1C-H	T1 hoogste byte teller	
6	0	1	1	0	T1IL-L	T1 laagste byte latches	
7	0	1	1	1	T1L-H	T1 hoogste byte latches	
8	1	0	0	0	T2C-L	T2 laagste byte latches	T2 laagste byte teller
9	1	0	0	1	T2C-H	T2 hoogste byte teller	
10	1	0	1	0	SR	schuifregister	
11	1	0	1	1	ACR	hulp controle register	
12	1	1	0	0	PCR	periferie controle register	
13	1	1	0	1	IFR	interrupt vlagregister	
14	1	1	1	0	IER	interrupt enable register	
15	1	1	1	1	ORA/IRA	zelfde als register 1, maar dan geen 'handshake'	

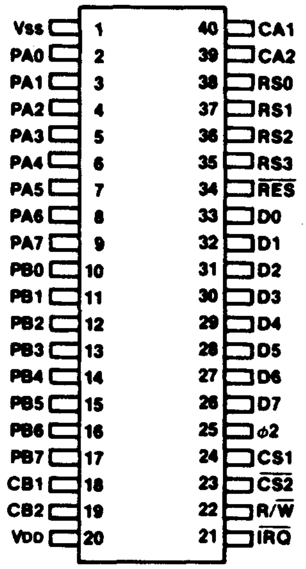
* 'handshake' mogelijk

Tabel 9/2.2-7: Optredende tijden bij 'lezen'.



Figuur 9/2.2-5: Blokschema van de VIA 6522.

2.2 Type-beschrijving 65-familie



pen	beschrijving
D0-D7	databus
PA0-PA7	in/uitgangspoort A
PB0/PB7	in/uitgangspoort B
ø2	fase 2 van klok
$\overline{RES}$	reset
R/$\overline{W}$	lees/schrijf
$\overline{IRQ}$	interrupt request
CS1, $\overline{CS2}$	chip select
RS0-RS3	register select
CA1, CA2	controlelijnen A
CB1, CB2	controlelijnen B
V_{DD}	+ 5V -voeding
V_{SS}	0V (aarde)

Figuur 9/2.2-6: Aansluitgegevens van de 6522.

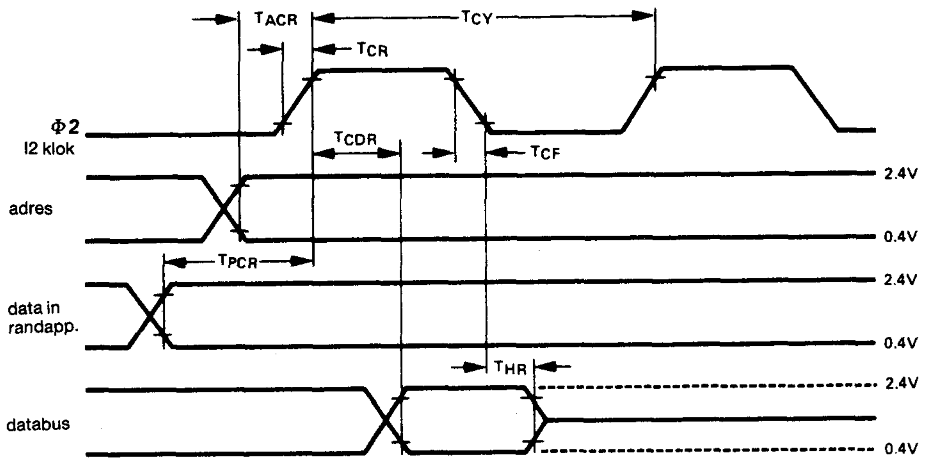
verbonden. De 16 mogelijke combinaties zijn te zien in tabel 9/2.2-7

- **Lees/schrijflijn (R/$\overline{W}$)**
  De richting van het datatransport tussen VIA en processor wordt geregeld door de $\overline{W}$/R-lijn. Is $\overline{W}$/R laag, dan gaat data uit de processor naar het gekozen VIA-register (= schrijven t.o.v. de processor); is $\overline{W}$/R hoog, dan gaat data van VIA naar processor (= lezen).
- **Databus (DB0 - DB7)**
  Het datatransport tussen VIA en processor vindt plaats over de 8 bidirectionele databus-lijnen. De interne drivers blijven in de hoog-impedante toestand staan, behalve wanneer CS1=hoog, CS2=laag, W/R=hoog en Φ2=hoog zijn, omdat dan het geselecteerde register op de databus staat. Is de chip geselecteerd met W/R=laag en Φ2=hoog, dan wordt de data op de databus overgenomen in het gekozen VIA-register.
- **Reset (RES)**
  De reset-ingang maakt alle interne registers leeg, behalve T1, T2 en SR. Hierdoor worden alle interface-lijnen naar de periferie als ingang geschakeld, worden de timers, het schuifregister, enz. uitgezet en wordt een interrupt van de chip afgezet.
- **Interrupt-request (IRQ)**
  De interrupt-requestuitgang gaat laag wanneer een interne interrupt-vlag is gezet en het hiermee overeenkomende interrupt-enable bit logisch 1 is. Door de 'open-drain' constructie van de uitgang kan 'wired-or' worden toegepast op het interrupt-requestsignaal.

Periferie-interface

Dit gedeelte behandelt de bus- en controllij-

2.2 Type-beschrijving 65-familie



karakteristiek	symbool	min	typ	max	eenheid
cyclus tijd	T_{CY}	1	-	50	μs
delay-tijd van adres waar tot pos. klokovergang	T_{ACR}	180	-	-	nS
delay-tijd van pos. klokovergang tot data geldig op bus	T_{CDR}	-	-	395	nS
data setup tijd in randapp.	T_{PCR}	300	-	-	nS
databus houdtijd	T_{HR}	10	-	-	nS
stijg- en daaltijd voor klokingang	T_{CR} T_{CF}	-	-	25	nS

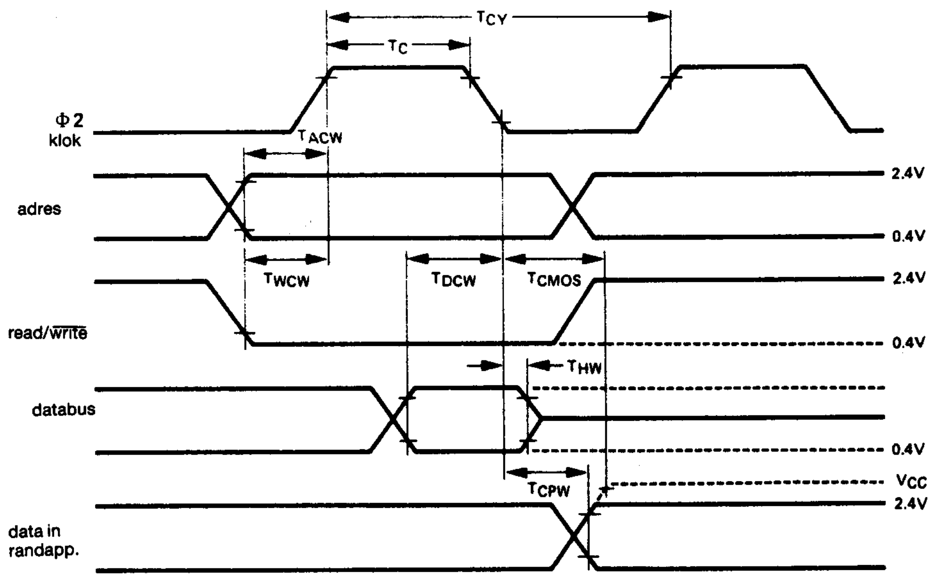
Figuur 9/2.2-7: Optredende tijden bij 'lezen'.

nen tussen de VIA en de randapparatuur (de zgn. 'periferie').

- **Perifere A-poort (PA0 - PA7)**
  Deze poort bestaat uit 8 lijnen die d.m.v. het datarichtingsregister DDRA individueel als ingang of als uitgang geprogrammeerd kunnen worden. De signalen op de uitgangspennen komen van een uitgangsregister ORA en inkomende data kan d.m.v. de CA1-lijn in een intern register worden ge'latch'ed. De PA-lijnen hebben een fan-in en fan-out van 1 TTL-belasting.

- **Perifere A-controllijnen (CA1, CA2)**
  Beide perifere A-controllijnen kunnen als interrupt-ingangen of als handshake-lijnen werken. Elke lijn bedient een interne interrupt-vlag met een bijbehorend interrupt-enable bit. CA1 verzorgt tevens het latchen van op de A-poort binnenkomende data. CA1 is een hoog-ohmige ingang, terwijl CA2 een fan-in en fan-out van 1 TTL-belasting heeft.
- **Perifere B-poort (PB0 - PB7)**
  Wat de richtingen betreft geldt hiervoor hetzelfde als voor de A-poort. Het PB7-uit-

2.2 Type-beschrijving 65-familie



karakteristiek	symbool	min	typ	max	eenheid
cyclus tijd	T_{CY}	1	-	50	μs
breedte enable-puls	T_C	0.47	-	25	μS
delay-tijd van adres waar tot pos. klokovergang	T_{ACW}	180	-	-	nS
delay-tijd van data waar tot neg. klokovergang	T_{DCW}	300	-	-	nS
delay-tijd van read/write neg. overgang tot pos. klokovergang	T_{WCW}	180	-	-	nS
databus houdtijd	T_{HW}	10	-	-	nS
delay-tijd van neg. enable overgang tot data waar in randapp.	T_{CPW}	-	-	1.0	μS
delay-tijd van neg. klokovergang tot data waar in randapp. bij CMOS (V_{CC} −30%)	T_{CMOS}	-	-	2.0	μS

Figuur 9/2.2-8: Optredende tijden bij 'schrijven'.

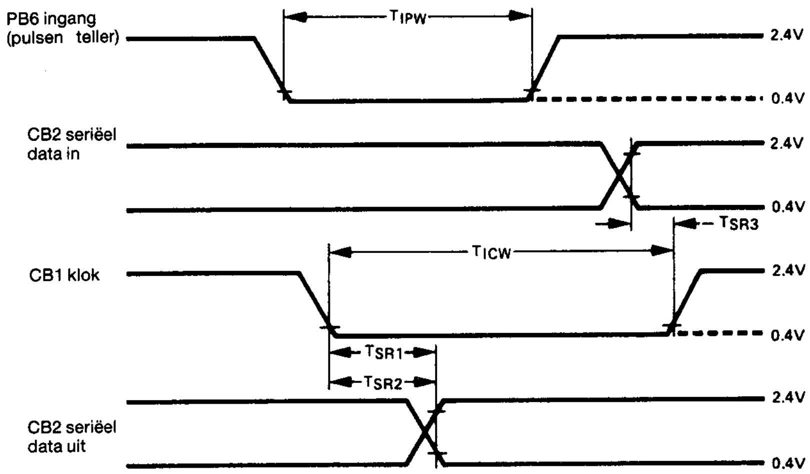
gangssignaal kan bovendien nog worden geregeld door een van de interval-timers, terwijl de tweede timer geprogrammeerd kan worden om pulsen op de PB6-pen te tellen. De PB-lijnen hebben een fan-in en fan-out van 1 TTL-belasting, terwijl ze in staat zijn om 3 mA bij 1,5 V te sourcen (voor directe aansturing van darlington-schakelaars).

- **Perifere B-controllijnen (CB1, CB2)**
  Net als CA1 en CA2 kunnen de B-controllijnen werken als interrupt- of handshake-lijnen. Bovendien kunnen ze dienen als seriële poort onder besturing van het schuifregister. Deze lijnen hebben dezelfde fan-in en fan-out als de PB-lijnen.

Registers
Zoals in figuur 9/2.2-5 te zien is, zijn de ingangs-, uitgangs- en data-richtingsregisters nauw met elkaar verbonden.
In figuur 9/2.2-10A, B en C wordt deze samenhang verklaard.

Het tijddiagram figuur 9/2.2-11 laat zien wat onder 'handshake' wordt verstaan. In dit ge-

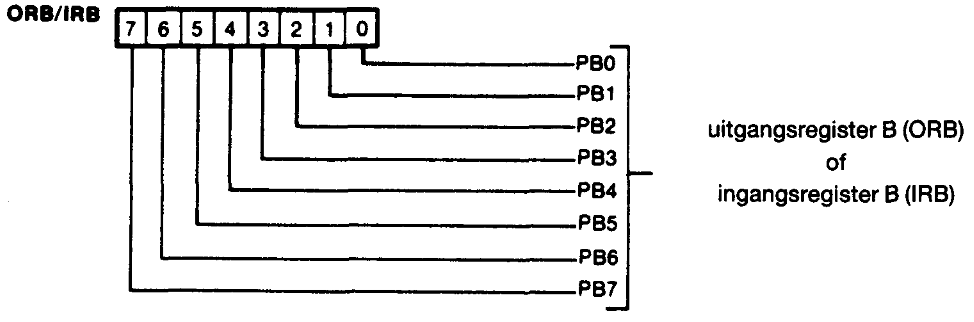
2.2 Type-beschrijving 65-familie



karakteristiek	symbool	min	typ	max	eenheid
stijg- en daaltijd voor CA1, CB1, CA2 en CB2	T_{RF}	-	-	1.0	μS
delay-tijd van neg. klokovergang tot neg. CA2 overgang (lees-handshake of pulsmode)	T_{CA2}	-	-	1.0	μS
delay-tijd van neg. klokovergang tot pos. CA2 overgang (pulsmode)	T_{RS1}	-	-	1.0	μS
delay-tijd van aktieve CA1 overgang tot pos. CA2 overgang (handshake)	T_{RS2}	-	-	2.0	μS
delay-tijd van pos. klokovergang naar neg. CA2 of CB2 overgang (schrijf-handshake)	T_{WHS}	-	-	1.0	μS
delay-tijd van periferie data geldig tot neg. CB2 overgang	T_{DC}	0	-	1.5	μS
delay-tijd van pos. klokovergang tot pos. CA2 of CB2 overgang (pulsmode)	T_{RS3}	-	-	1.0	μS
delay-tijd van aktieve CB1 overgang tot pos. CA2 of CB2 overgang (handshake)	T_{RS4}	-	-	2.0	μS
delay-tijd van periferie data geldig tot aktieve CA1 of CB1 overgang (ingangen gelatched)	T_{IL}	300	-	-	nS
delay-tijd van neg. CB1 overgang tot CB2 data geldig (interne SR-klok, shift-out)	T_{SR1}	-	-	300	nS
delay-tijd van neg. CB1 ingangsklokovergang tot CB2 data geldig (externe klok, shift-out)	T_{SR2}	-	-	300	nS
delay-tijd van CB2 data geldig tot pos. CB1 klokovergang (shift-in, interne- of externe klok)	T_{SR3}	-	-	300	nS
pulsbreedte PB6 ingangspuls	T_{IPW}	2	-	-	μS
pulsbreedte CB1 ingangsklok	T_{ICW}	2	-	-	μS
pulsafstand PB6 ingangspuls	T_{IPS}	2	-	-	μS
pulsafstand CB1 ingangspuls	I_{ICS}	2	-	-	μS

Figuur 9/2.2-9: Optredende tijden bij I/0 (contact met de periferie).

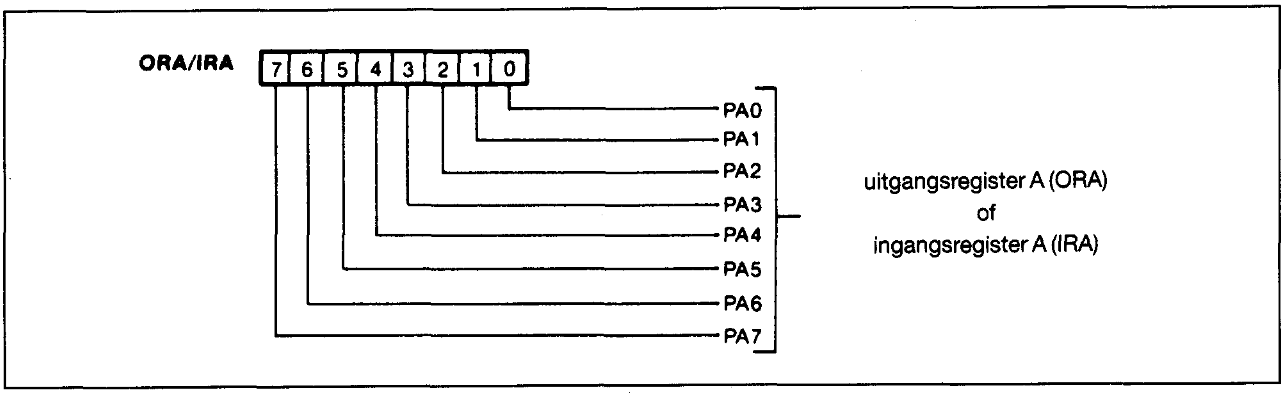
2.2 Type-beschrijving 65-familie



data richtings-register	schrijven	lezen
DDRB = 1 (uitgang)	processor schrijft uitgangsniveau in ORB	processor leest uitgangsregister-bit in ORB
DDRB = 0 (ingang) (ingangs-latching disabled)	processor schrijft in ORB. Geen effect op pen-niveau tot DDRB verandert	processor leest ingangs-niveau op PB-pen
DDRB = 0 (ingang) (ingangs-latching enabled)		processor leest IRB-bit dat het niveau heeft van de laatste aktieve CB1-overgang

Figuur 9/2.2-10.A: Ingangs-/uitgangsregister B (IRB/ORB).

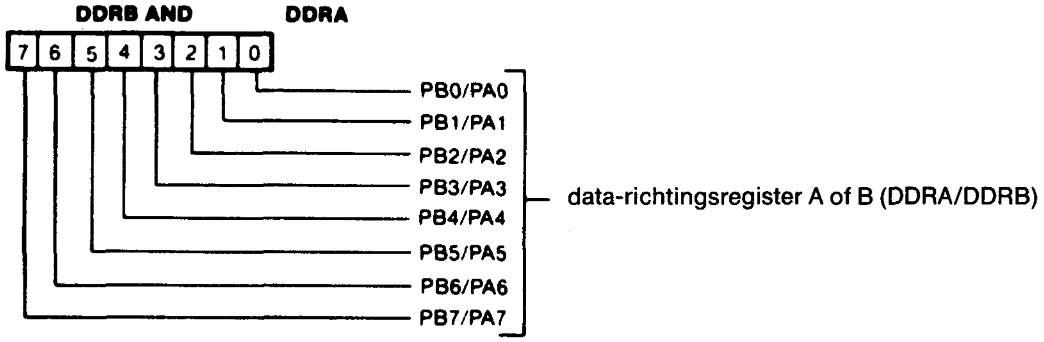
2.2 Type-beschrijving 65-familie



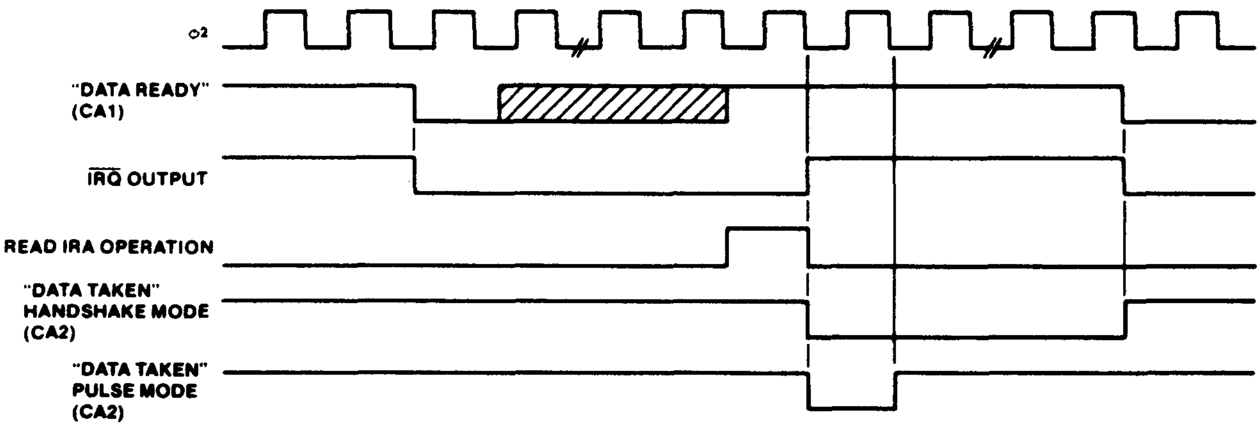
data richtings-register	schrijven	lezen
DDRA = 1 (uitgang) (ingangs-latching disabled)	processor schrijft uitgangsniveau (ORA)	processor leest niveau op PA-pen
DDRA = 1 (uitgang) (ingangs-latching enabled)		processor leest IRA-bit dat het niveau heeft van de laatste aktieve CA1-overgang
DDRA = 0 (ingang) (ingangs-latching disabled	processor schrijft in in ORA. Geen effect op pen-niveau tot DDRA verandert	processor leest niveau op PA-pen
DDRA = 0 (ingang) (ingangs-latching enabled)		processor leest IRA-bit dat het niveau heeft van de laatste aktieve CA1 overgang

Figuur 9/2.2-10.B: Ingangs-/uitgangsregister A (IRA/ ORA).

2.2 Type-beschrijving 65-familie



Figuur 9/2.2-10.C: Data-richtingsregister A of B (DDRA/DDRB).

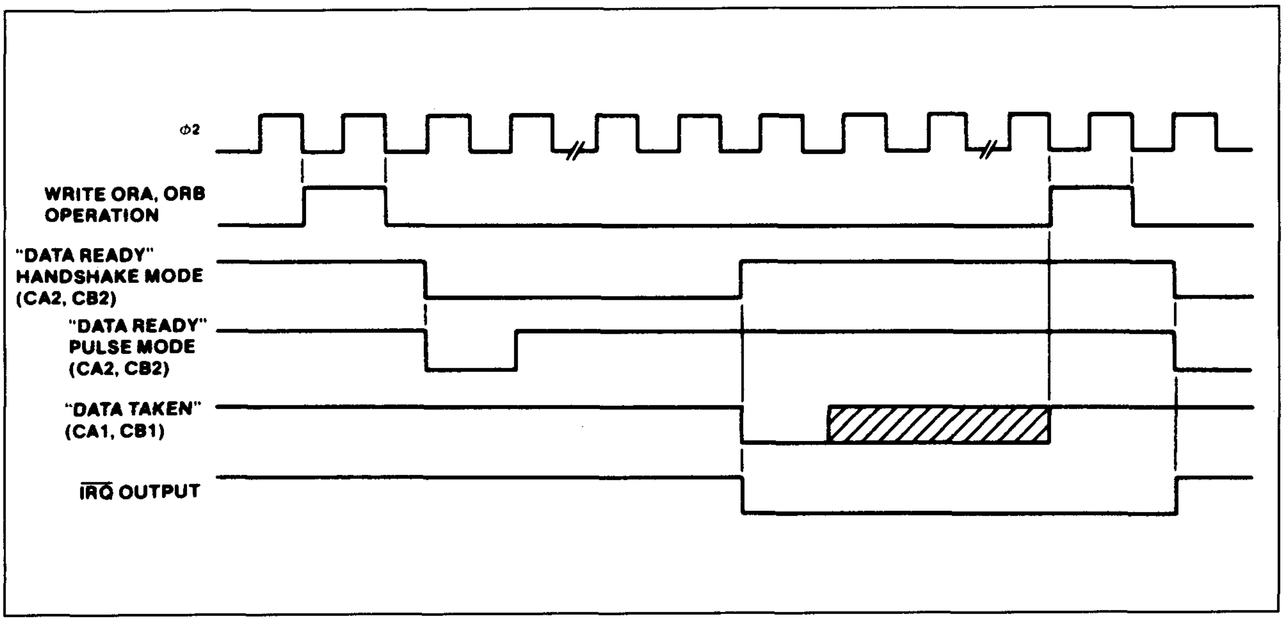


Figuur 9/2.2-11: Volgorde van gebeurtenissen bij lees-handshake (alleen A-poort).

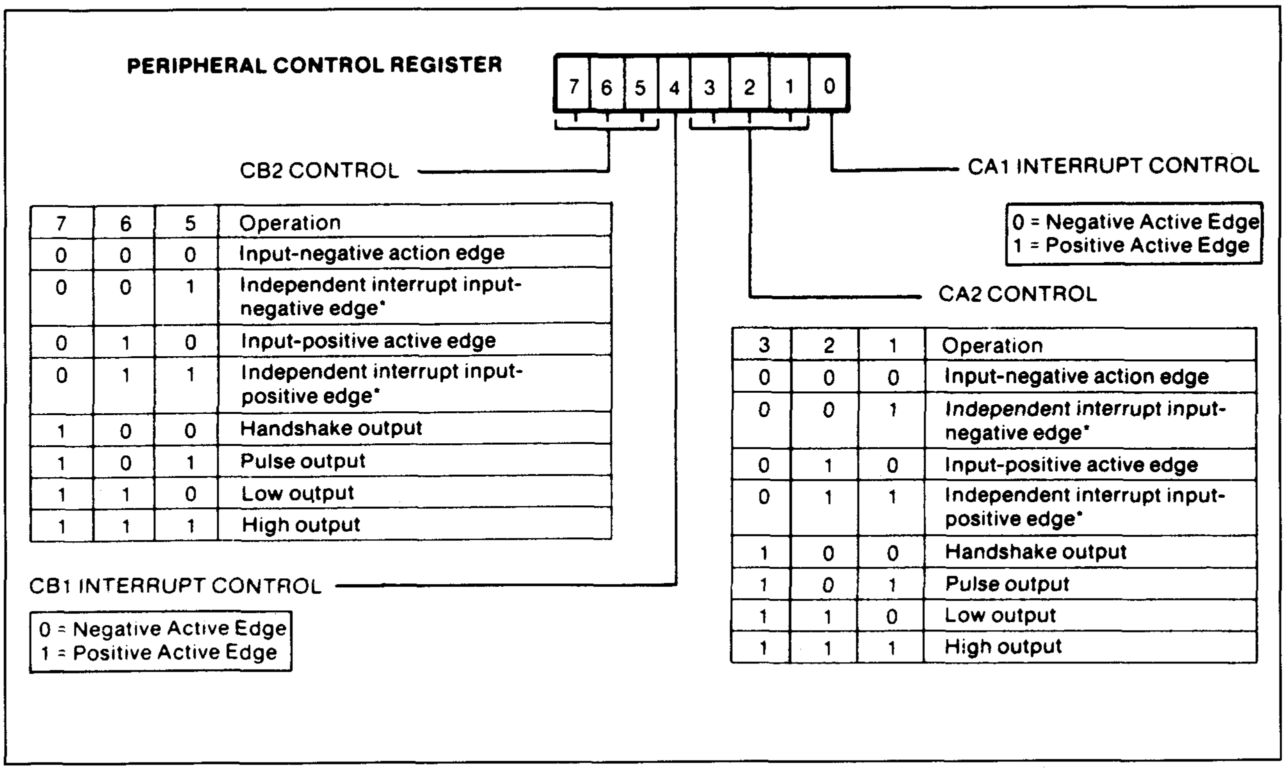
val wordt data aangeboden door de periferie (CA1 laag = interrupt) tot de processor de data overneemt en dat laat merken d.m.v. CA2.
In figuur 9/2.2-12 vindt 'schrijf-handshake' plaats: de data gaat van processor naar periferie, waarbij CA2 of CB2 meldt dat er data wacht en de periferie aan de processor met CA1 of CB1 terugmeldt dat de data is gezien. De verschillende manieren om handshake te bedrijven of klokpulsen mee te geven zijn programmeerbaar met het Peripheral Control Register PCR (figuur 9/2.2-13).

De VIA bevat twee timers, waarvan timer 1 is opgebouwd uit twee 8-bit latches en een 16-bit teller. Wanneer de teller is geladen telt deze af met de Φ2-kloksnelheid. Wordt de nulstand bereikt, dan wordt een interruptvlag gezet die een $\overline{IRQ}$ veroorzaakt als het Interrupt Enable bit was gezet. De teller zal dan, afhankelijk van de programmering, stoppen of de inhoud van de latches overnemen en opnieuw aftellen.
Men kan de teller ook telkens bij het bereiken van de nulstand op PB7 een uitgangssignaal laten afgeven. Figuur 9/2.2-14A toont de tel-

2.2 Type-beschrijving 65-familie



Figuur 9/2.2-12: Volgorde bij schrijf-handshake (A- en B-poort).



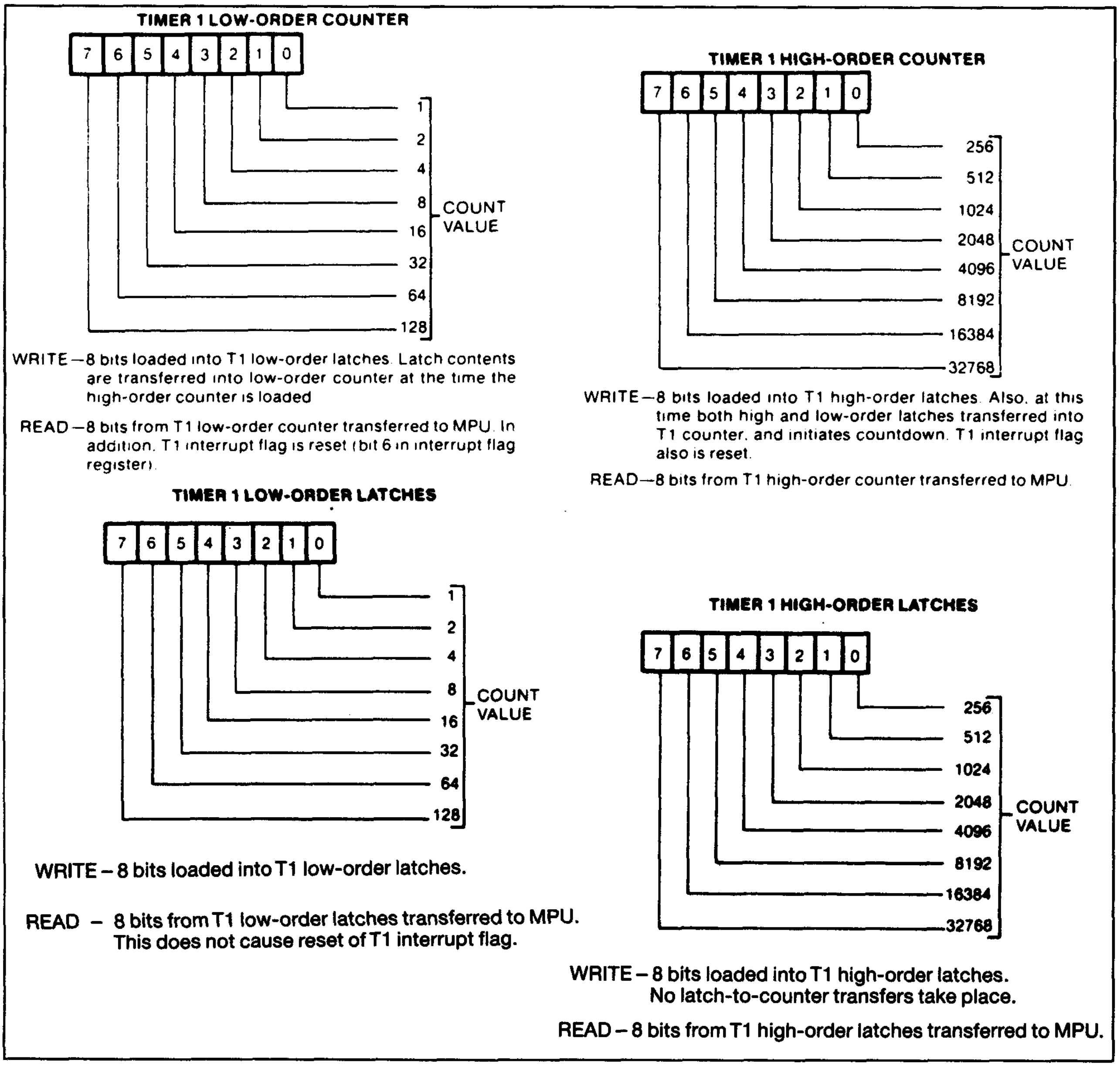
7	6	5	Operation
0	0	0	Input-negative action edge
0	0	1	Independent interrupt input-negative edge*
0	1	0	Input-positive active edge
0	1	1	Independent interrupt input-positive edge*
1	0	0	Handshake output
1	0	1	Pulse output
1	1	0	Low output
1	1	1	High output

3	2	1	Operation
0	0	0	Input-negative action edge
0	0	1	Independent interrupt input-negative edge*
0	1	0	Input-positive active edge
0	1	1	Independent interrupt input-positive edge*
1	0	0	Handshake output
1	0	1	Pulse output
1	1	0	Low output
1	1	1	High output

Figuur 9/2.2-13: Functies van het Peripheral Control Register PCR.

ters en latches van timer 1.
Timer 2 (figuur 9/2.2-14B) kan alleen pulsen afgeven (interval timer) of negatieve pulsen tellen die op lijn PB6 binnenkomen (figuur 9/2.2-14C).
Beide timers worden geprogrammeerd d.m.v.

2.2 Type-beschrijving 65-familie

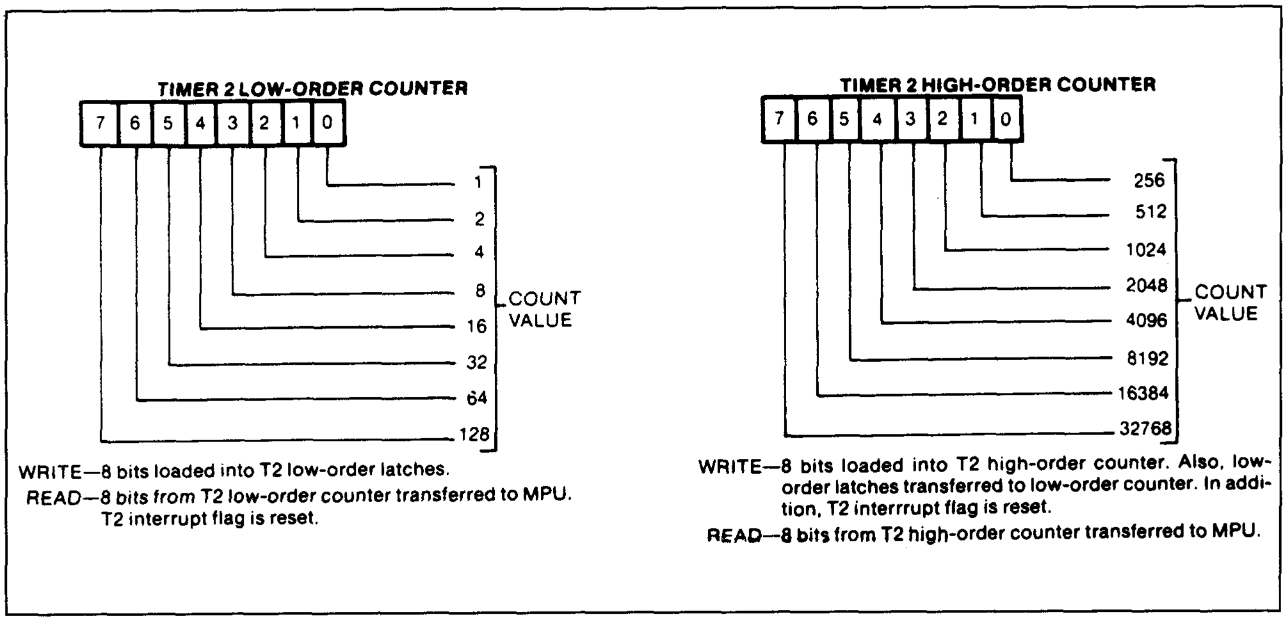


Figuur 9/2.2-14.A: Tellers en latches van Timer 1.

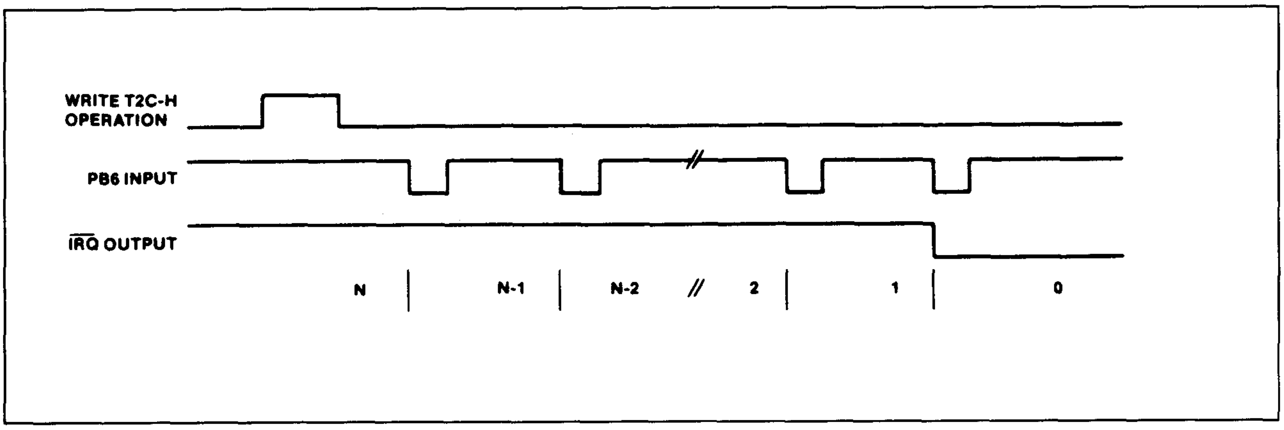
bits 5, 6 en 7 van het Auxiliary Control Register (ACR): figuur 9/2.2-15.
Bits 2, 3 en 4 van het ACR hebben betrekking op de werking van het schuifregister SR (eveneens 8 bit).
In figuur 9/2.2-16A en B zijn tenslotte het Interrupt-vlagregister IFR, resp. het Interrupt-enableregister IER te zien, waarbij de begeleidende tekst voor zich zal spreken: Er wordt alleen een $\overline{IRQ}$-signaal naar de processor doorgegeven als zowel het betreffende bit in het IER als in het IFR zijn gezet.

Fabrikanten: Rockwell, GTE en Commodore (MOS-divisie)

2.2 Type-beschrijving 65-familie

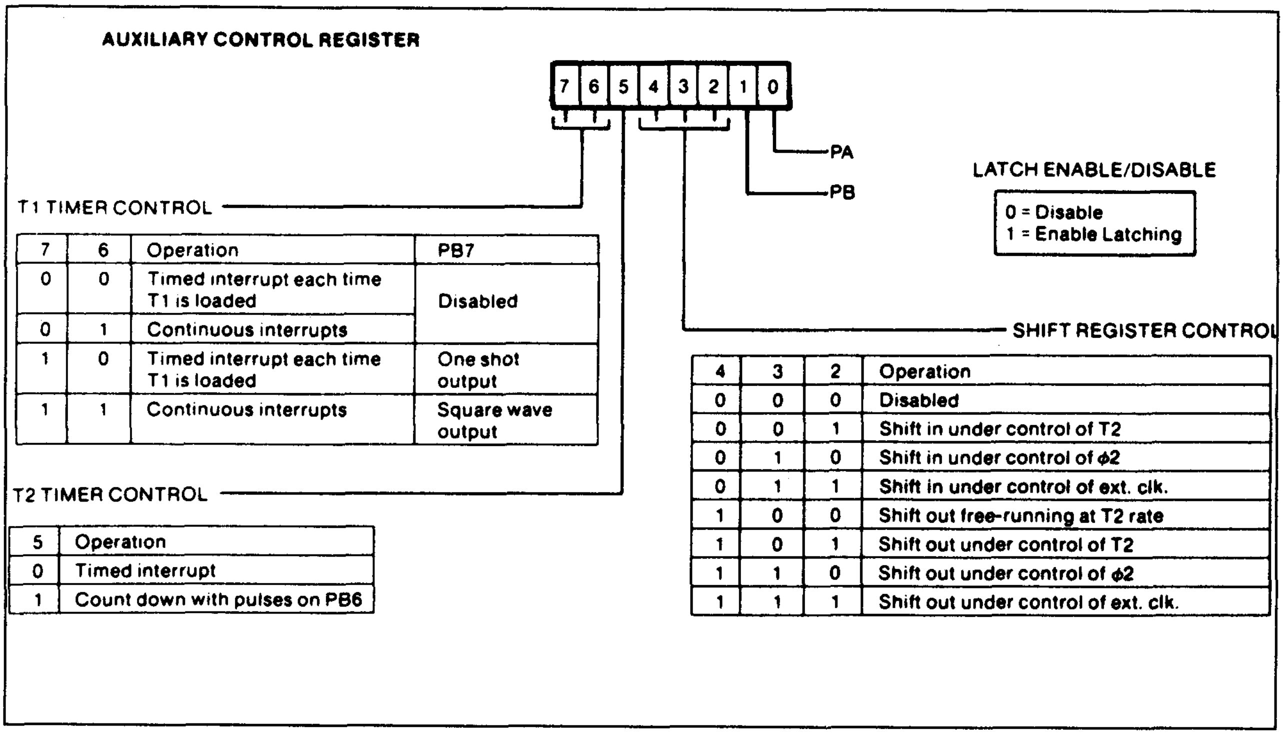


Figuur 9/2.2-14.B: Tellers van Timer 2.



Figuur 9/2.2-14.C: Timer 2 als pulsenteller (binnenkomend op PB6).

2.2 Type-beschrijving 65-familie

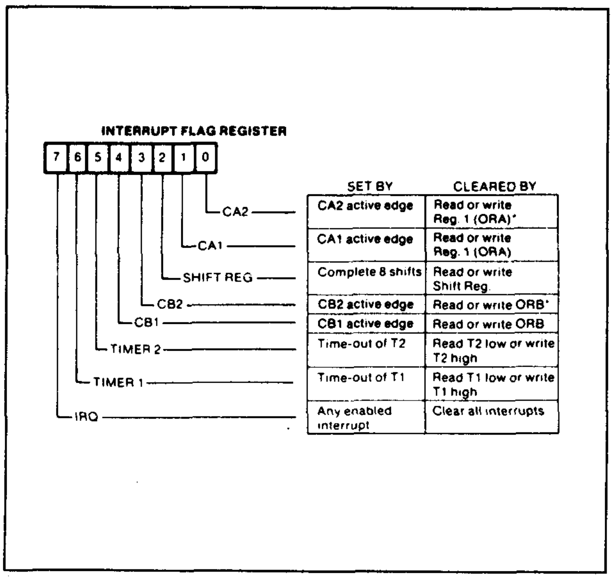


7	6	Operation	PB7
0	0	Timed interrupt each time T1 is loaded	Disabled
0	1	Continuous interrupts	
1	0	Timed interrupt each time T1 is loaded	One shot output
1	1	Continuous interrupts	Square wave output

5	Operation
0	Timed interrupt
1	Count down with pulses on PB6

4	3	2	Operation
0	0	0	Disabled
0	0	1	Shift in under control of T2
0	1	0	Shift in under control of $\phi 2$
0	1	1	Shift in under control of ext. clk.
1	0	0	Shift out free-running at T2 rate
1	0	1	Shift out under control of T2
1	1	0	Shift out under control of $\phi 2$
1	1	1	Shift out under control of ext. clk.

Figuur 9/2.2-15: Functies van het Auxiliary Control Register ACR.

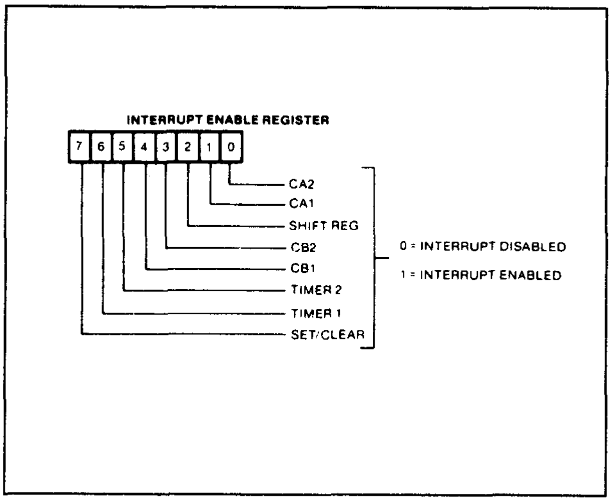


	SET BY	CLEARED BY
CA2	CA2 active edge	Read or write Reg. 1 (ORA)*
CA1	CA1 active edge	Read or write Reg. 1 (ORA)
SHIFT REG	Complete 8 shifts	Read or write Shift Reg.
CB2	CB2 active edge	Read or write ORB*
CB1	CB1 active edge	Read or write ORB
TIMER 2	Time-out of T2	Read T2 low or write T2 high
TIMER 1	Time-out of T1	Read T1 low or write T1 high
IRQ	Any enabled interrupt	Clear all interrupts

Figuur 9/2.2-16.A: Met het Interrupt-vlagregister IFR kunnen verschillende interrupts worden verzameld.

Let op:

- Als bit 7 '0' is, schakelt elke '1' in de bits 0-6 de overeenkomstige interrupt **af.**
- Als bit 7 '1' is, schakelt elke '1' in de bits 0-6 de overeenkomstige interrupt **aan.**
- Als het IER is uitgelezen, wordt bit 7 '1' en laten alle andere bits hun enable/dixable status zien.



Figuur 9/2.2-16.B: Het interrupt-request $\overline{IRQ}$naar de processor wordt echter alleen opgewekt als ook het betreffende bit in het Interrupt-enable-register IER op '1' is gezet.

6526

Complexe Interface Adapter (CIA)

De 6526 Complexe Interface Adapter (CIA) is een 65xx-bus compatibele periferie-schakeling met flexibele timing- en I/O-mogelijkheden. Dit IC wordt, voor zover bekend, alleen gebruikt in de Commodore C-64 computer.

Kenmerken van de 6526

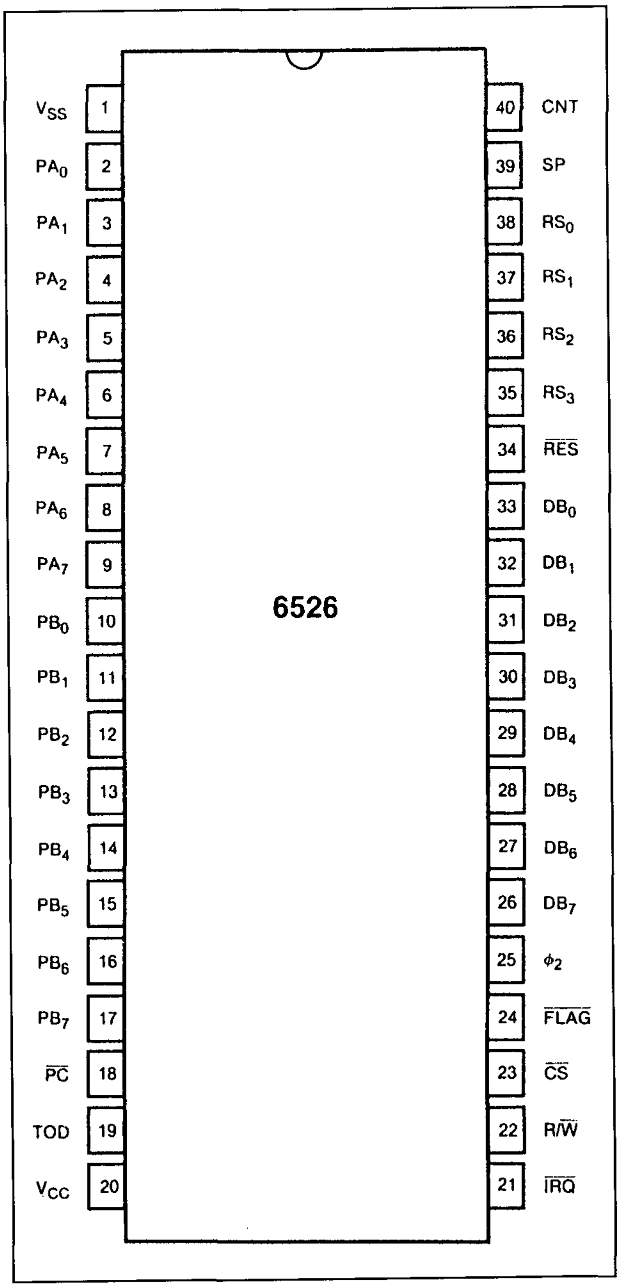
- enkele +5 V 5 % voedingsspanning
- 16 individueel programmeerbare ingangs-/uitgangslijnen
- 8 of 16 bit handshaking bij uitlezen of schrijven
- 2 onafhankelijke, koppelbare 16-bit interval timers
- 24-uur (AM/PM) dagelijkse tijd met programmeerbaar alarm
- 8-bit schuifregister voor serierle I/O
- CMOS compatibele ingangs-/uitgangs-(I/O-)lijnen
- compatibel voor 2 TTL-belastingen
- werkt op 1 of 2 MHz
- 40-pens plastic DIL-behuizing (zie figuur 9/2.2.17)
- bedrijfstemperatuur: 0 tot +70 °C

Interface-signalen

De interfacelijnen zijn getekend in het complete blokschema van figuur 9/2.2-18.

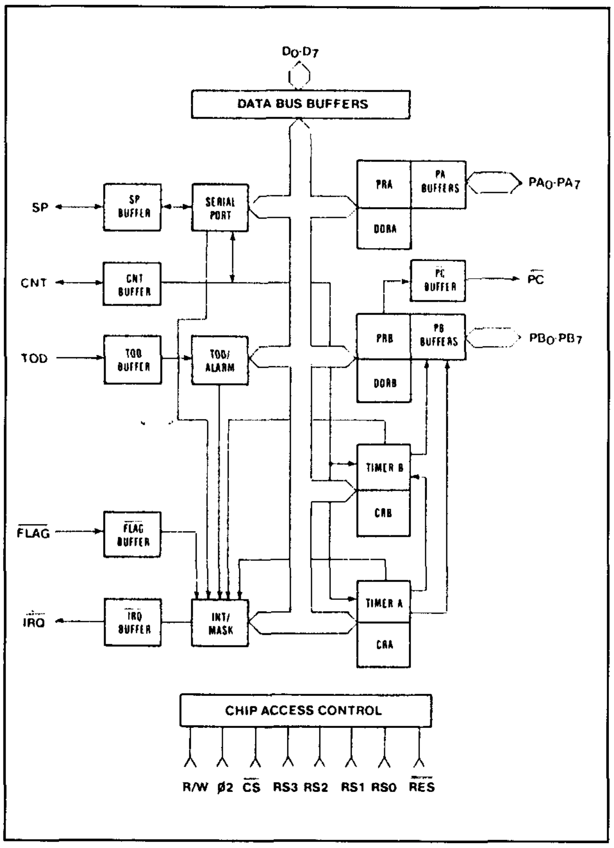
$\Phi 2$ – Clock ingang
De $\Phi 2$-clock is een TTL-compatibele ingang die wordt gebruikt voor de interne werking van het IC en als tijdreferentie voor communicatie met de databus van het systeem.

$\overline{CS}$ – Chip Select ingang
Het chip-selectsignaal regelt het al dan niet aktief zijn van de 6526. Wanneer $\overline{CS}$ = LAAG is, met $\Phi 2$ = HOOG, dan reageert het IC op signalen op de R/$\overline{W}$- en de registerselectlijnen (RS). Door $\overline{CS}$ = HOOG te maken wordt voorkomen dat deze lijnen de 6526 besturen. De $\overline{CS}$-lijn wordt meestal geaktiveerd (LAAG) wanneer een bepaalde adres-combinatie wordt bereikt.



Figuur 9/2.2-17: Aansluitgegevens van de 6526.

2.2 Type-beschrijving 65-familie



Figuur 9/2.2-18: Blokschema met alle interface-signalen.

R/$\overline{W}$ - Lees-/schrijf ingang
Het R/$\overline{W}$-signaal dat meestal direkt van de microprocessor afkomstig is, bepaalt de richting van de datatransporten van de 6526. Bij R/$\overline{W}$ = HOOG wordt data gelezen (data van de 6526 naar de processor), terwijl met R/$\overline{W}$ = LAAG een schrijfhandeling wordt uitgevoerd.

RS0 t/m RS3 - Register Select ingangen
Deze vier adreslijnen bepalen welk van de 16 interne registers wordt bereikt (zie ook de 'Register Map', tabel 9/2.2-10).

DB0 t/m DB7 - Databus in-/uitgangen
De overdracht van informatie tussen de 6526 en de systeem-databus vindt plaats via de acht databus-aansluitingen. Dit zijn hoogimpedante ingangen, tenzij het IC wordt uitgelezen, waarbij $\overline{CS}$ = LAAG is en R/$\overline{W}$ en Φ2 beide HOOG zijn. Tijdens het lezen zijn de databus-buffers vrijgegeven (enabled), waardoor data uit het geselecteerde register op de systeem-databus wordt gezet.

$\overline{IRQ}$ - Interrupt Request uitgang
$\overline{IRQ}$ is een open-drain uitgang die gewoonlijk op de interrupt-ingang van de microprocessor is aangesloten. Een externe optrekweerstand houdt het signaal HOOG, zodat meerdere $\overline{IRQ}$-uitgangen tegelijk op deze ingang kunnen worden aangesloten. De $\overline{IRQ}$-uitgang is normaal afgeschakeld (hoog-impedant) en wordt aktief LAAG (zie de functionele beschrijving).

$\overline{RES}$ - Reset ingang
Alle interne registers worden gereset door $\overline{RES}$ = LAAG te maken. De poortaansluitingen worden als ingangen geconfigureerd en de inhoud van elk poortregister wordt nul (hoewel bij uitlezen alle poortlijnen HOOG zullen zijn vanwege de optrekweerstanden). De besturingsregisters van de timer worden op nul gezet en alle latches van de timer op een. Alle andere registers worden op nul gezet.

Functionele beschrijving

- I/O Poorten (PRA, PRB, DDRA, DDRB)

2.2 Type-beschrijving 65-familie

De poorten A en B bestaan ieder uit een 8-bit Peripheral Data Register (PR) en een 8-bit Data Direction Register (DDR). Wanneer een bit in het DDR op een wordt gezet, is het overeenkomende bit in het PR een uitgang. Omgekeerd maakt elk DDR-bit dat nul is, van het overeenkomstige PR-bit een ingang, zie figuur 9/2.2-19.

REG	NAME	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	PRA	PA_7	PA_6	PA_5	PA_4	PA_3	PA_2	PA_1	PA_0
1	PRB	PB_7	PB_6	PB_5	PB_4	PB_3	PB_2	PB_1	PB_0
2	DDRA	DPA_7	DPA_6	DPA_5	DPA_4	DPA_3	DPA_2	DPA_1	DPA_0
3	DDRB	DPB_7	DPB_6	DPB_5	DPB_4	DPB_3	DPB_2	DPB_1	DPB_0

Figuur 9/2.2-19: Voor contact met de buitenwereld zorgende I/O-poorten, ondersteund door de Peripheral Data Registers (PR's) en Data Direction Registers (DDR's).

Tijdens het uitlezen (READ) geeft het PR de informatie weer die dan op de poortaansluitingen (PA0 tot en met PA7 of PB0 tot en met PB7) aanwezig is, zowel voor ingangs- als uitgangsbits. De poorten A en B hebben zowel passieve als aktieve optrekvoorzieningen, waardoor ze compatibel zijn voor TTL en CMOS. Beide poorten hebben een fan-out van 2, zij kunnen dus twee TTL-belastingen aandrijven. PB6 en PB7 kunnen naast hun normale I/O-werk ook nog worden gebruikt als timeruitgangen.

- Handshaking
  Bij data-overdrachten kan "handshaking" worden bereikt door gebruik te maken van de $\overline{PC}$ uitgangspen en de $\overline{FLAG}$ ingangspen. $\overline{PC}$ gaat LAAG gedurende een cyclus volgende op een lees- of een schrijfhandeling op poort B. Dit signaal kan dus worden gebruikt om "data beschikbaar" op poort B te melden of "data geaccepteerd" vanuit poort B. Handshaking bij 16-bit data-overdrachten (met gebruik van zowel poort A als poort B) is ook mogelijk, als tenminste altijd eerst op poort A wordt gelezen of geschreven. $\overline{FLAG}$ is een negatieve-flankgevoelige ingang die kan worden gebruikt voor het ontvangen van het $\overline{PC}$ uitgangssignaal van een andere 6526, of als interruptingang voor algemene doeleinden. Het $\overline{FLAG}$ interruptbit zal op elke willekeurige negatief gaande overgang op $\overline{FLAG}$ worden geset.
- Interval Timers A en B
  Elke interval timer bestaat uit een 16-bit teller die alleen uitgelezen kan worden (read-only Timer Counter) en een 16-bit (write-only) Timer Latch. Data die naar de timer wordt geschreven, wordt in de timerlatch opgeslagen, terwijl data die uit de timer wordt uitgelezen de inhoud van de timer-counter op dat moment is. De timers kunnen onafhankelijk van elkaar worden gebruikt of gekoppeld voor uitgebreide operaties. Door de verschillende gebruiksmogelijkheden (modes) van de timers kunnen lange vertragingstijden, variabele pulsbreedten, pulstreinen en golfvormen met variabele frequenties worden opgewekt. Wanneer de CNT-ingang wordt gebruikt, kunnen de timers externe pulsen tellen of frequenties, pulsbreedten of vertragingstijden van externe signalen meten. Elke timer heeft een bijbehorend Control Register waarmee onafhankelijke regeling van de volgende functies mogelijk wordt.
  - Start/Stop
    Door middel van een speciaal controlbit kan de microprocessor de timer op elk moment starten of stoppen.
  - PB On/Off
    Een ander controlbit maakt het mogelijk dat de uitgang van de timer op een uitgangslijn van poort B zichtbaar wordt (PB6 voor timer A en PB7 voor timer B). Deze functie heeft voorrang op het DDRB controlbit en dwingt de betreffende PB-lijn om uitgang te zijn.
  - Toggle/Pulse
    Een controlbit bepaalt de vorm van het uitgangssignaal dat op poort B verschijnt. Telkens wanneer een timer

2.2 Type-beschrijving 65-familie

door nul gaat (underflow) kan de uitgang of van toestand veranderen (toggle) of er kan een enkele positieve puls die één cyclus duurt worden opgewekt. De toggle-uitgang wordt altijd HOOG als de timer wordt gestart en LAAG door $\overline{RES}$.

- One-Shot/Continuous
  De bedrijfstoestand van de timer (mode) kan worden ingesteld door middel van een speciaal controlbit. In de one-shot mode telt de timer neerwaarts van de gelatchte waarde tot nul, genereert een interrupt, laadt de gelatchte waarde opnieuw en stopt dan.
  In de continue mode telt de timer vanaf de gelatchte waarde naar nul, genereert een interrupt, laadt de gelatchte waarde opnieuw en herhaalt deze procedure voortdurend.
- Force Load
  Door middel van een strobe-bit kan de inhoud van de timer-latch te allen tijde in de timer-teller worden geladen. Het maakt hierbij niet uit of de teller loopt of niet.
- Input Mode
  Met behulp van controlbits kan worden gekozen op welke klok de timer neertelt. Timer A kan zowel $\Phi 2$ klokpulsen als externe pulsen die op de CNT-pen worden gezet tellen. Timer B kan $\Phi 2$-pulsen, externe CNT-pulsen, Timer A nuldoorgangspulsen of timer A nuldoorgangspulsen terwijl de CNT-pen HOOG gehouden wordt tellen. De inhoud van de timerlatch wordt in de teller geladen bij elke willekeurige nuldoorgang van de timer, bij een force load, of na schrijven naar de hoge byte van de prescaler als de teller gestopt is. Als de teller loopt zal op schrijven naar de hoge byte wel de timerlatch worden geladen, maar niet de teller. In figuur 9/2.2-20 is het gebruik van de vier timer-registers samengevat.
- Time of Day Clock (TOD)
  De TOD-clock is een speciale timer voor realtime toepassingen. De TOD is een

READ (TIMER)

REG	NAME								
4	TA LO	TAL_7	TAL_6	TAL_5	TAL_4	TAL_3	TAL_2	TAL_1	TAL_0
5	TA HI	TAH_7	TAH_6	TAH_5	TAH_4	TAH_3	TAH_2	TAH_1	TAH_0
6	TB LO	TBL_7	TBL_6	TBL_5	TBL_4	TBL_3	TBL_2	TBL_1	TBL_0
7	TB HI	TBH_7	TBH_6	TBH_5	TBH_4	TBH_3	TBH_2	TBH_1	TBH_0

WRITE (PRESCALER)

REG	NAME								
4	TA LO	PAL_7	PAL_6	PAL_5	PAL_4	PAL_3	PAL_2	PAL_1	PAL_0
5	TA HI	PAH_7	PAH_6	PAH_5	PAH_4	PAH_3	PAH_2	PAH_1	PAH_0
6	TB LO	PBL_7	PBL_6	PBL_5	PBL_4	PBL_3	PBL_2	PBL_1	PBL_0
7	TB HI	PBH_7	PBH_6	PBH_5	PBH_4	PBH_3	PBH_2	PBH_1	PBH_0

Figuur 9/2.2-20: De A en B timerregisters kunnen worden uitgelezen (stand van de tellers) en beschreven (bijvoorbeeld bij gebruik als prescaler).

24-uurs klok (AM/PM) met een resolutie van 0,1 seconde. Voor de TOD-klok worden vier registers gebruikt: seconden, 10-tallen seconden, minuten en uren. Doordat voor de AM/PM-flag het MSB (belangrijkste bit) van het urenregister wordt gebruikt, kan dit bit gemakkelijk worden getest. Elk register wordt in BCD-formaat uitgelezen om verdere verwerking (bijvoorbeeld met display's) eenvoudig te maken. Voor deze klok moet een extern 50 Hz of 60 Hz (programmeerbaar) signaal op TTL-niveau op de TOD-ingang worden gezet. Naast de tijdmelding is een programmeerbaar ALARM aanwezig, waarmee op een gewenst tijdstip een interrupt kan worden gegenereerd. De alarmregisters bevinden zich op dezelfde adressen als de overeenkomstige TOD-registers. Toegang tot het ALARM wordt verkregen door middel van een bit in het controlregister. Het ALARM kan niet worden uitgelezen (write-only).
Voor het op tijd zetten en uitlezen van de TOD-klok moet een reeks handelingen in een voorgeschreven volgorde worden uitgevoerd. De TOD-klok stopt automatisch telkens wanneer in het uren-register wordt geschreven. De klok start daarna pas na

schrijven in het 10-tallen seconden register. Hierdoor zal de TOD-klok altijd op de gewenste tijd beginnen. Aangezien het mogelijk is dat een carry van de ene trap naar de volgende optreedt tijdens het uitlezen, is een latchfunctie opgenomen om alle tijdinformatie bij het uitlezen constant te houden. De inhoud van alle vier TOD-registers wordt op het uitlezen van "uren" gelatcht en vastgehouden tot na het lezen van de 10-tallen seconden. De TOD-klok loopt door wanneer de uitgangsregisters worden gelatcht. Wordt slechts een register uitgelezen dan is er geen carryprobleem en kan het register "in de vlucht" worden gelezen. Eventueel lezen van het urenregister dient dan wel direkt te worden gevolgd door lezen van het 10-tallen secondenregister om het latchen op te heffen. In figuur 9/2.2-21 is de inrichting van de TOD-registers geschetst.

READ REG	NAME								
8	TOD 10THS	0	0	0	0	T_8	T_4	T_2	T_1
9	TOD SEC	0	SH_4	SH_2	SH_1	SL_8	SL_4	SL_2	SL_1
A	TOD MIN	0	MH_4	MH_2	MH_1	ML_8	ML_4	ML_2	ML_1
B	TOD HR	PM	0	0	HH	HL_8	HL_4	HL_2	HL_1

Figuur 9/2.2-21: De inhoud (in BCD-vorm) van de Time of Day registers (TOD).

Schrijven naar de TOD-registers geschiedt in hetzelfde formaat, met gebruikmaking van bit 7 van het controlregister:
- CRB7 = 0 TOD;
- CRB7 = 1 ALARM.

- Seriële Poort (SDR)

De seriële poort is een gebufferd 8-bit synchroon schuifregister systeem. In- of uitgangsmode wordt geselecteerd met behulp van een controlbit.

In de ingangsmode wordt data op SP-pen op de opgaande flank van het signaal op CNT-pen in het schuifregister geschoven. Na acht CNT-pulsen wordt de data van het schuifregister overgenomen door het Serial Data Register en wordt een interrupt gegenereerd.

In de uitgangsmode wordt timer A gebruikt als baud rate generator. Data wordt met de 1/2 "underflow rate" van timer A via de SP-pen naar buiten geschoven. De maximale baud rate is weliswaar Φ2 gedeeld door 4, maar de werkelijk bruikbare baud rate is afhankelijk van de belasting en de snelheid waarmee de ontvanger de data verwerkt. Het zenden start na schrijven in het Serial Data Register (als timer A tenminste continu werkt). Het van timer A afkomstige kloksignaal verschijnt als uitgangssignaal op de CNT-pen. De data in het Serial Data Register wordt in het schuifregister geladen en via de SP-pen naar buiten geschoven als een CNT-puls optreedt. Naar buiten geschoven data wordt bruikbaar op de dalende flank van CNT en blijft geldig tot de volgende dalende flank. Na acht CNT-pulsen wordt een interrupt gegenereerd om aan te geven dat meer data verzonden kan worden. Indien het Serial Data Register voor deze interrupt met nieuwe informatie werd geladen, wordt de nieuwe data automatisch in het schuifregister geladen en gaat het zenden door. Wanneer de microprocessor een byte voorblijft op het schuifregister, zal het zenden continu zijn. Hoeft na de achtste CNT-puls geen verdere data verzonden te worden, dan gaat CNT HOOG en blijft SP op het niveau van het laatste verzonden databit. Van de SDR data wordt het belangrijkste bit (MSB) het eerst naar buiten geschoven. Ook seriële ingangsdata moet dit formaat hebben.

De bidirectionele eigenschappen van de Seriele Poort en de CNT-klok maken het mogelijk om veel 6526-schakelingen op een gemeenschappelijke seriële communicatiebus aan te sluiten, waarbij een 6526 als master optreedt en data en clock levert en alle andere 6526's als slaaf werken.

Zowel de CNT als de SP uitgangen zijn uitgevoerd als open-drain. Het protocol voor

de master/slave selectie kan over de seriële bus of via speciale handshaking lijnen worden verstuurd. In figuur 9/2.2-22 is de invulling van het SDR te zien.

REG	NAME								
C	SDR	S_7	S_6	S_5	S_4	S_3	S_2	S_1	S_0

Figuur 9/2.2-22: Het 8-bit Serial data Register (SDR).

- Interrupt Control Register (ICR)
De 6526 kan op vijf manieren een interrupt veroorzaken: een nuldoorgang van timer A, nuldoorgang van timer B, $\overline{\text{TOD}}$ ALARM, Serial Port full/empty en $\overline{\text{FLAG}}$.
Voor maskeren en interruptinformatie wordt een register gebruikt. Het Interrupt Control Register bestaat uit een write-only MASK register en een read-only DATA register. Wanneer een interrupt optreedt, wordt het overeenkomstige bit in het DATA register geset. Is een interrupt toegestaan (enabled) door het MASK register, dan wordt het IR-bit (MSB) van het DATA register geset en wordt de $\overline{\text{IRQ}}$-pen LAAG gemaakt.
In een multi-chip systeem kan het IR-bit worden afgevraagd ('gepolled') om uit te vinden welke chip een interrupt request heeft gegenereerd. Na uitlezen van het DATA register wordt het interrupt DATA register leeggemaakt (gecleared) en de $\overline{\text{IRQ}}$-lijn wordt weer HOOG. Aangezien elke interrupt, onafhankelijk van MASK, een interrupt-bit "1" maakt en elke interrupt selectief gemaskeerd kan worden om een processor-interrupt te vermijden, is het mogelijk gepollde interrupts onderling te mengen met echte interrupts. Let hierbij op dat pollen van het IR-bit het DATA register leegmaakt!
Het MASK register stelt de gebruiker in staat de interruptbits individueel aan te wijzen. Wordt in het MASK register geschreven met bit 7 (SET/$\overline{\text{CLEAR}}$) = 0, dan worden alle maskbits die 1 waren gecleared, terwijl de bits die al 0 waren niet veranderen. Is bit 7 van de geschreven data een 1, dan worden alle bits die 1 waren geset, terwijl de bits die 0 waren niet worden beïnvloed. Een interruptflag kan alleen IR setten en een interrupt request genereren als het overeenkomstige MASK-bit is geset. In figuur 9/2.2-23 zijn het DATA register en het MASK register te zien.

READ (INT DATA)

REG	NAME								
D	ICR	IR	0	0	FLG	SP	ALRM	TB	TA

WRITE (INT MASK)

REG	NAME								
D	ICR	S/$\overline{\text{C}}$	X	X	FLG	SP	ALRM	TB	TA

Figuur 9/2.2-23: De DATA en MASK registers vormen samen het Interrupt Control Register.

Control Registers

De 6526 heeft twee control registers: CRA en CRB. CRA (figuur 9/2.2-24) heeft te maken met timer A en CRB (figuur 9/2.2-25) met timer B.

REG	NAME	TOD IN	SP MODE	IN MODE	LOAD	RUN MODE	OUT MODE	PB ON	START
E	CRA	0=60Hz 1=50Hz	0=INPUT 1=OUTPUT	0=ϕ2 1=CNT	1=FORCE LOAD (STROBE)	0=CONT. 1=O.S.	0=PULSE 1=TOGGLE	0=PB_6 OFF 1=PB_6 ON	0=STOP 1=START

(IN MODE t/m START: TA)

Figuur 9/2.2-24: Het Control Register A (CRA).

REG	NAME	ALARM	IN	MODE	LOAD	RUN MODE	OUT MODE	PB ON	START
F	CRB	0=TOD 1=ALARM	0 1 1 1	0=ϕ2 1=CNT 0=TA 1=CNT·TA	1=FORCE LOAD (STROBE)	0=CONT. 1=O.S.	0=PULSE 1=TOGGLE	0=PB_7 OFF 1=PB_7 ON	0=STOP 1=START

(IN t/m START: TB)

Figuur 9/2.2-25: Het Control Register B (CRB).

2.2 Type-beschrijving 65-familie

De registerformaten zijn als volgt.

- CRA
  - Bit 0, genaamd START
    1 = start timer A, 0 = stop timer A. Dit bit wordt automatisch gereset wanneer in de one-shot mode een nuldoorgang optreedt
  - Bit 1, genaamd PBON
    1 = timer A uitgangssignaal verschijnt op PB6, 0 = normale werking.
  - Bit 2, genaamd OUTMODE
    1 = toggle, 0 = puls.
  - Bit 3, genaamd RUNMODE
    1 = one shot, 0 = continu.
  - Bit 4, genaamd LOAD
    1 = force load (dit is een strobesignaal dat niet wordt opgeslagen: teruglezen van bit 4 zal altijd een 0 te zien geven en een 0 schrijven heeft geen effect).
  - Bit 5, genaamd INMODE
    1 = timer A telt positieve CNT-flanken, 0 = timer A telt Φ2 pulsen.
  - Bit 6, genaamd SPMODE
    1 = seriële poort UITGANG (CNT levert shift clock, 0 = seriële poort INGANG (externe shift clock nodig).
  - Bit 7, genaamd TODIN
    1 = 50 Hz clock op TOD-pen voor juiste tijd, 0 = 60 Hz clock op TOD-pen.
- CRB
  De bits CRB0 tot en met CRB4 zijn identiek aan CRA0 tot en met CRA4, maar dan voor timer B, met uitzondering van bit 1 dat het uitgangssignaal van timer B op PB7 zet.
  - Bits 5,6, genaamd INMODE
    Met bits CRB5 en CRB6 kan een keuze uit vier ingangsmodes voor timer B worden gedaan:

CRB6	CRB5	
0	0	timer B telt Φ2-pulsen;
0	1	timer B telt positieve CNT-flanken;
1	0	timer B telt timer A nuldoorgangen;
1	1	timer B telt timer A nuldoorgangen terwijl CNT HOOG is;

  - Bit 7, genaamd ALARM
    1 = schrijven naar TOD-registers zet het alarm aan,
    0 = schrijven naar TOD-registers zet TOD-klok gelijk.

Overige kenmerken

In tabel 9/2.2-8 zijn de maximaal toegelaten waarden van de 6526 te zien. Overschrijding hiervan kan blijvende schade veroorzaken. In tabel 9/2.2-9 zijn de elektrische kenmerken opgenomen voor het temperatuurgebied van 0 tot 70 °C. Tabel 9/2.2-11 bevat de voor de 6526 aanbevolen schakeltijden (zie ook de figuren 9/2.2-26 en 9/2.2-27.

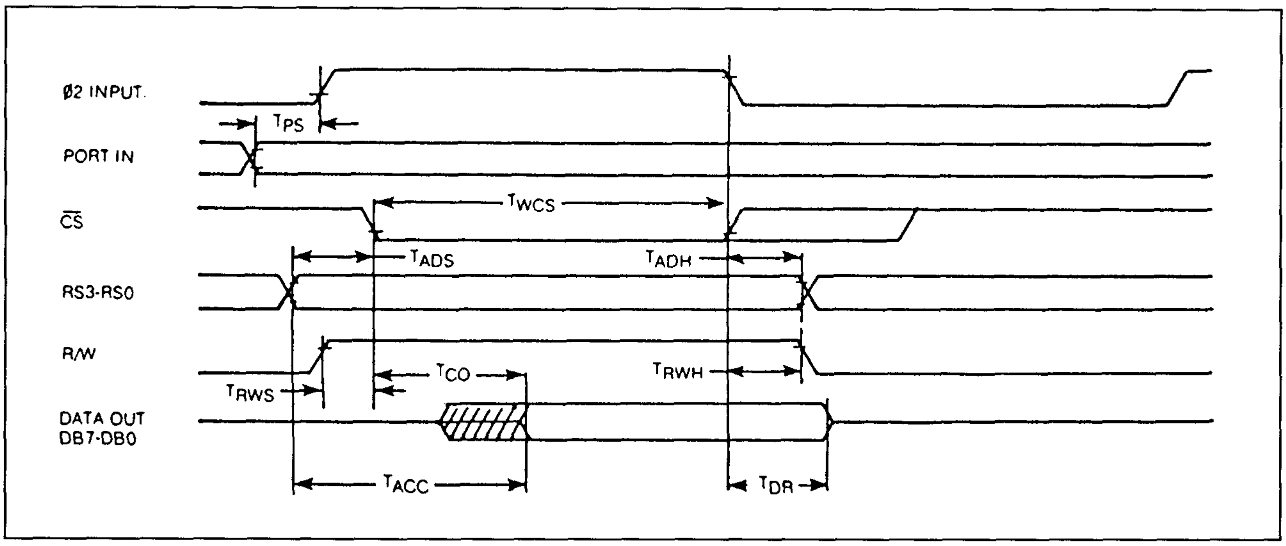
Supply Voltage, V_{CC}	−0.3V to +7.0V
Input/Output Voltage, V_{IN}	−0.3V to +7.0V
Operating Temperature, T_{OP}	0° C to 70° C
Storage Temperature, T_{STG}	−55° C to 150° C

Tabel 9/2.2-8: Maximaal toegelaten waarden.

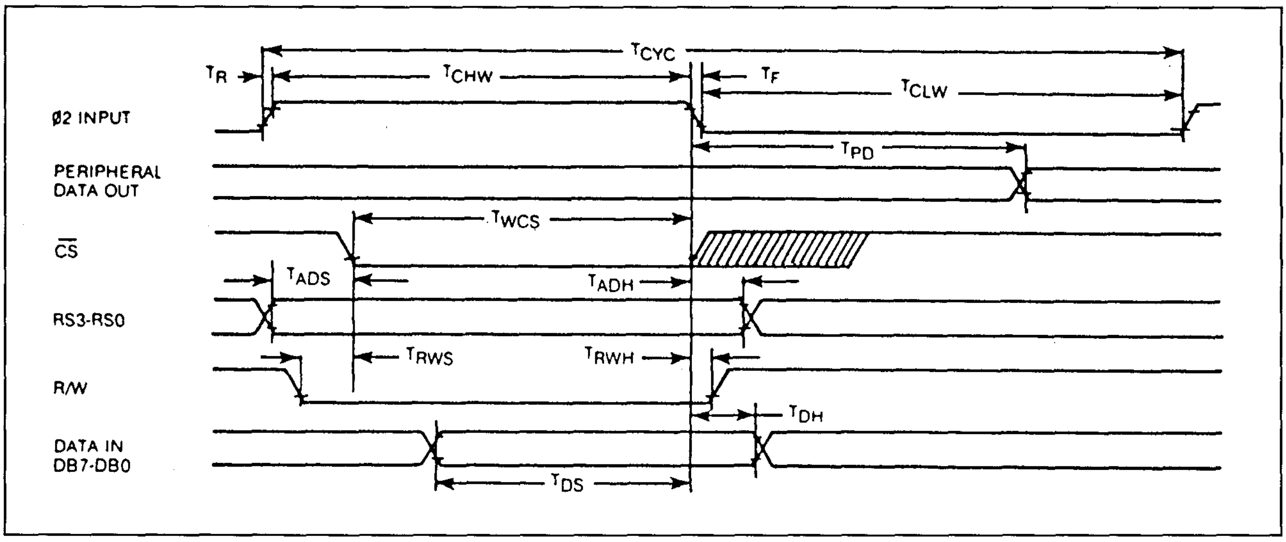
RS3	RS2	RS1	RS0	REG	NAME	
0	0	0	0	0	PRA	PERIPHERAL DATA REG A
0	0	0	1	1	PRB	PERIPHERAL DATA REG B
0	0	1	0	2	DDRA	DATA DIRECTION REG A
0	0	1	1	3	DDRB	DATA DIRECTION REG B
0	1	0	0	4	TA LO	TIMER A LOW REGISTER
0	1	0	1	5	TA HI	TIMER A HIGH REGISTER
0	1	1	0	6	TB LO	TIMER B LOW REGISTER
0	1	1	1	7	TB HI	TIMER B HIGH REGISTER
1	0	0	0	8	TOD 10THS	10THS OF SECONDS REGISTER
1	0	0	1	9	TOD SEC	SECONDS REGISTER
1	0	1	0	A	TOD MIN	MINUTES REGISTER
1	0	1	1	B	TOD HR	HOURS—AM/PM REGISTER
1	1	0	0	C	SDR	SERIAL DATA REGISTER
1	1	0	1	D	ICR	INTERRUPT CONTROL REGISTER
1	1	1	0	E	CRA	CONTROL REG A
1	1	1	1	F	CRB	CONTROL REG B

Tabel 9/2.2-10: Overzicht en adressering van de 16 interne register ("Registermap").

2.2 Type-beschrijving 65-familie



Figuur 9/2.2-26: Golfvormen en schakeltijden die optreden bij het uitlezen van de 6526 (zie ook tabel 9/2.2-11).



Figuur 9/2.2-27: Golfvormen en schakeltijden bij het schrijven naar de 6526.

2.2 Type-beschrijving 65-familie

ELECTRICAL CHARACTERISTICS (V_{CC} ± 5%, V_{SS} = 0 V

CHARACTERISTIC	SYMBOL	MIN.	TYP.	MAX.	UNIT
Input High Voltage	V_{IH}	+2.4	—	V_{CC}	V
Input Low Voltage	V_{IL}	−0.3	—	—	V
Input Leakage Current; $V_{IN}=V_{SS}$ +5V (TOD, R/W, $\overline{FLAG}$, ϕ2, $\overline{RES}$, RS0-RS3, $\overline{CS}$)	I_{IN}	—	1.0	2.5	μA
Port Input Pull-up Resistance	R_{PI}	3.1	5.0	—	KΩ
Output Leakage Current for High Impedance State (Three State); V_{IN} = 4V to 2.4V; (DB0−DB7, SP, CNT, $\overline{IRQ}$)	I_{TSI}	—	±1.0	±10.0	μA
Output High Voltage V_{CC}=MIN, I_{LOAD} < −200μA (PA0−PA7, $\overline{PC}$ PB0−PB7, DB0−DB7)	V_{OH}	+2.4	—	V_{CC}	V
Output Low Voltage V_{CC}= MIN, I_{LOAD} < 3.2 mA	V_{OL}	—	—	+0.40	V
Output High Current (Sourcing); V_{OH} > 2.4V (PA0−PA7, PB0−PB7, PC, DB0−DB7	I_{OH}	−200	−1000	—	μA
Output Low Current (Sinking); V_{OL} < .4V (PA0−PA7, $\overline{PC}$, PB0−PB7, DB0−DB7)	I_{OL}	3.2	—	—	mA
Input Capacitance	C_{IN}	—	7	10	pf
Output Capacitance	C_{OUT}	—	7	10	pf
Power Supply Current	I_{CC}	—	70	100	mA

Tabel 9/2.2-9: Elektrische eigenschappen (DC).

Symbol	Characteristic	1MHz MIN	1MHz MAX	2MHz MIN	2MHz MAX	Unit
	ϕ2 Clock					
T_{CYC}	Cycle Time	1000	20,000	500	20,000	ns
T_R, T_F	Rise and Fall Time	—	25	—	25	ns
T_{CHW}	Clock Pulse Width (High)	420	10,000	200	10,000	ns
T_{CLW}	Clock Pulse Width (Low)	420	10,000	200	10,000	ns
	Write Cycle					
T_{PD}	Output Delay From ϕ2	—	1000	—	500	ns
T_{WCS}	$\overline{CS}$ low while ϕ2 high	420	—	200	—	ns
T_{ADS}	Address Setup Time	0	—	0	—	ns
T_{ADH}	Address Hold Time	10	—	5	—	ns
T_{RWS}	R/W Setup Time	0	—	0	—	ns
T_{RWH}	R/W Hold Time	0	—	0	—	ns
T_{DS}	Data Bus Setup Time	150	—	75	—	ns
T_{DH}	Data Bus Hold Time	0	—	0	—	ns
	Read Cycle					
T_{PS}	Port Setup Time	300	—	150	—	ns
T_{WCS}(2)	$\overline{CS}$ low while ϕ2 high	420	—	20	—	ns
T_{ADS}	Address Setup Time	0	—	0	—	ns
T_{ADH}	Address Hold Time	10	—	5	—	ns
T_{RWS}	R/W Setup Time	0	—	0	—	ns
T_{RWH}	R/W Hold Time	0	—	0	—	ns
T_{ACC}	Data Access from RS3-RS0	—	550	—	275	ns
T_{CO}(3)	Data Access from $\overline{CS}$	—	320	—	150	ns
T_{DR}	Data Release Time	50	—	25	—	ns

NOTES: 1 — All timings are referenced from V_{IL} max and V_{IH} min on inputs and V_{OL} max and V_{OH} min on outputs.
2 — T_{WCS} is measured from the later of ϕ2 high or $\overline{CS}$ low. $\overline{CS}$ must be low at least until the end of ϕ2 high.
3 — T_{CO} is measured from the later of ϕ2 high or $\overline{CS}$ low. Valid data is available only after the later of T_{ACC} or T_{CO}.

Tabel 9/2.2-11: Aanbevolen schakeltijden (zie ook de figuren 9/2.2-26 en -27).

9/2.3

Type-beschrijving 68-familie

6820

Peripheral Interface Adapter - PIA

De 6820 is een voor de 6800 processor ontwikkelde interface adapter die echter volkomen identiek is aan de 6520. Beide IC's kunnen onderling verwisseld worden.
Alle gegevens van de 6820 zijn dan ook te vinden bij de 6520.

Overige kenmerken
- uitwisselbaar met 6520
- fabrikanten: Motorola, AMI, Mostek, Hitachi, Fairchild, Thomson-CSF

6821

Peripheral Interface Adapter - PIA

De 6821 werd als verbeterde versie van de 6820 en oorspronkelijk voor gebruik met de 6800 processor ontworpen. Net als de 6820 kan dit IC echter ook samenwerken met 6502 processoren.
Van alle vier onderling verwisselbare PIA-typen wordt de 6821 het meest gebruikt.
Voor aansluit- en programmeergegevens: zie 6520.

Overige kenmerken
- uitwisselbaar met 6820 (6520 en 6521)
- leverbare 6821-typen:

Motorola: MC 6821: 1 MHz, dissipatie 550 mW
Fairchild: F6821 : 1 MHz, dissipatie 550 mW
F68A21 : 1,5 MHz
F68B21 : 2 MHz
AMI: S6821 : 1 MHz, dissipatie 550 mW

6822

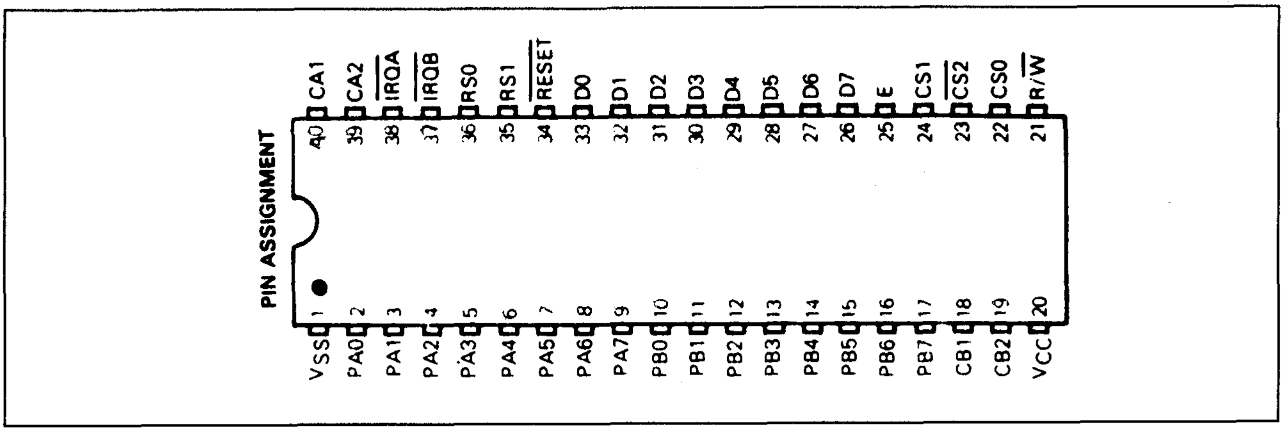
Industrial Interface Adapter - IIA

Met de 6822 Industriële Interface Adapter (IIA) is het mogelijk om industriële randapparatuur te koppelen aan een microprocessor van het 6800-type. De indeling in registers, besturingslijnen en pen-aansluitingen zijn identiek aan die van de PIA 6821. De periferie-poorten A en B en de besturingslijnen CA1/2 en CB1/2 hebben een open-drain struktuur, waardoor ze kunnen worden opgetrokken tot maximaal 18 volt. De aanbevolen werkspanning ligt tussen 0 en 15V, zodat de IIA direct op 15V CMOS kan worden aangesloten waarbij geen levelshifters nodig zijn.

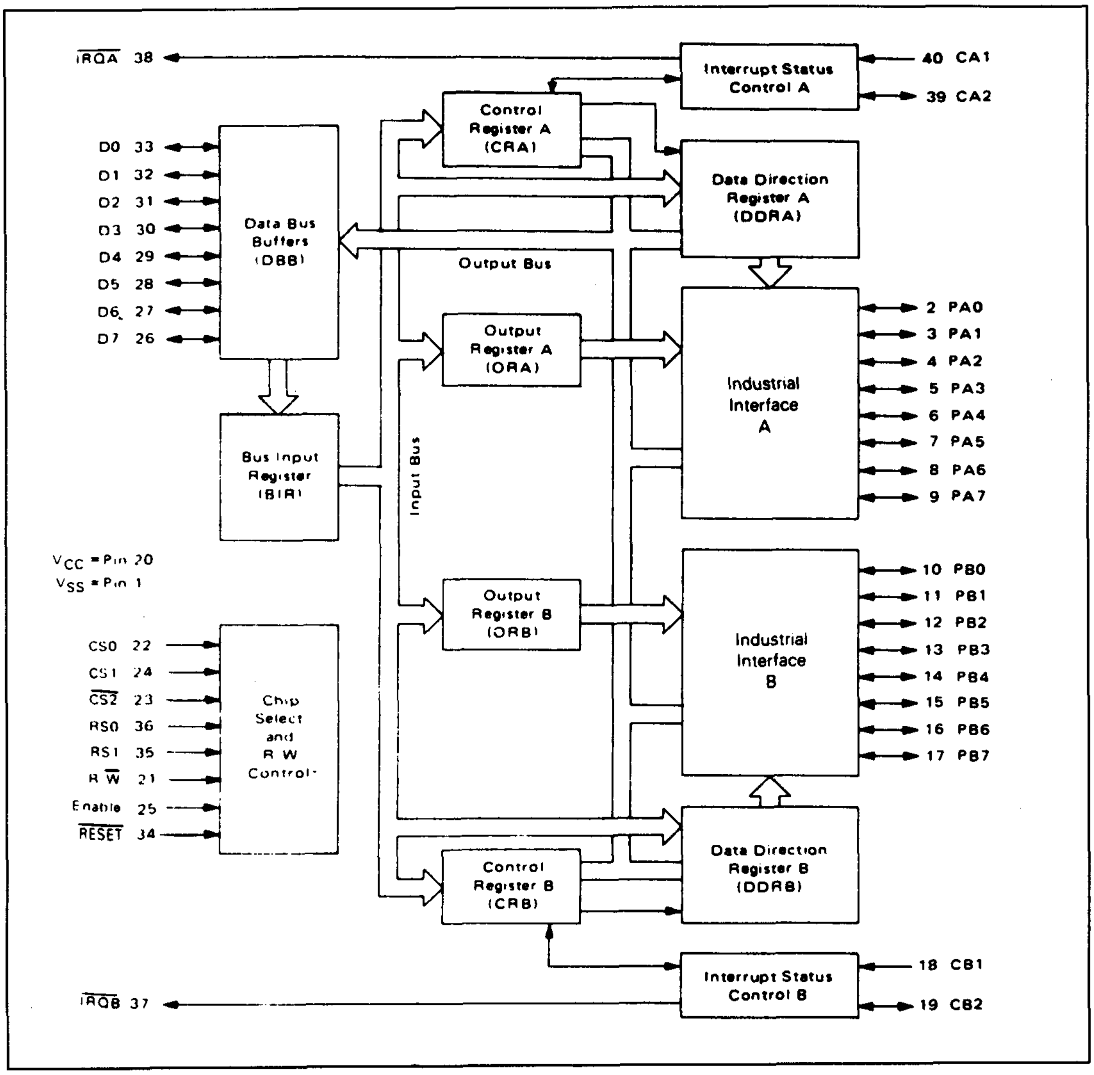
Kenmerken
- 8 bit bidirectionele bus voor communicatie met de processor
- twee bidirectionele 8 bit poorten voor verbinding met de randapparatuur
- twee programmeerbare richtingsregisters
- vier apart instelbare interruptlijnen
- handshake logica
- open drain periferie-lijnen voor max. 18 V
- pen compatibel met 6821

LET OP
De 6822 is NIET verwisselbaar met de 6522!

2.3 Type-beschrijving 68-familie



Figuur 9/2.3-1: Aansluitingen 6822.



Figuur 9/2.3-2: Uitgebreid blokschema 6822.

9/2.4

Type-beschrijving 80-familie

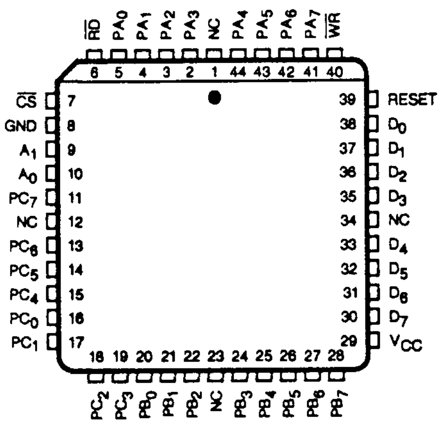
8255A

Programmable Peripheral Interface - PPI
De 8255A is een universele programmeerbare schakeling die microprocessoren zoals de 8080, 8085, 8088, 8086 en 80286 in staat stelt gegevens met de buitenwereld uit te wisselen. Dit IC is dan ook te zien op veel interfacekaarten voor de PC.
In de figuren 9/2.4-1a tot en met g zijn verschillende toepassingsvoorbeelden te zien.

Er zijn 24 in-/uitgangspennen die in twee groepen van 12 stuks op drie verschillende manieren (modes) kunnen worden geprogrammeerd. Op de eerste manier (mode 0) kan elke groep van 12 I/O-pennen in setjes van 4 tegelijk worden geprogrammeerd als in- of uitgangen. In mode 1 kan van elke groep een set van 8 lijnen worden geprogrammeerd als in- of als uitgang. Drie van de resterende vier pennen in elke groep worden dan gebruikt voor 'handshaking' en interrupt control signalen. De derde manier (mode 2) is een bidirectionele bus-mode waarbij 8 lijnen van poort A een bus vormen voor data van en naar de processor en 5 lijnen van poort C de bus-control signalen voor hun rekening nemen.

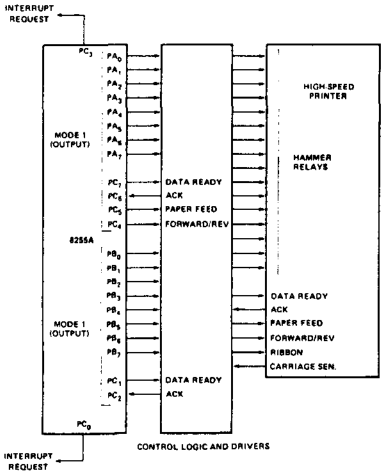
Kenmerken van de 8255A
- 24 programmeerbare I/O-pennen
- alle in- en uitgangen TTL compatibel
- 8 darlington-drive pennen voor aansluiting op printers of displays
- enkele voedingsspanning: 5 V ± 5 %
- directe bit set/reset mogelijk
- geschikt voor alle 80xx microprocessoren (8255A-5 speciaal voor 8085)
- behuizing: 40 pens plastic DIL (figuur 9/2.4-2)
  AMDtype ook in 44 pens PLCC (figuur 9/2.4-3)
- bedrijfstemperatuurgebied: 0 tot +70 °C (industrieel: −40 tot +85 °C)
- fabrikanten: Intel: 8255A / 8255A-5
  NEC: μPD8255AC-2 (5 MHz)
  -5 (4 MHz)
  AMD: Am8255A / 8255A-5
- ook leverbaar in CMOS (zie 82C55A)

Opbouw en werking
De 8255A, waarvan in figuur 9/2.4-4 het blokschema te zien is, is een algemeen toepasbare in-/uitgangsschakeling waarmee een microprocessor op andere apparatuur kan

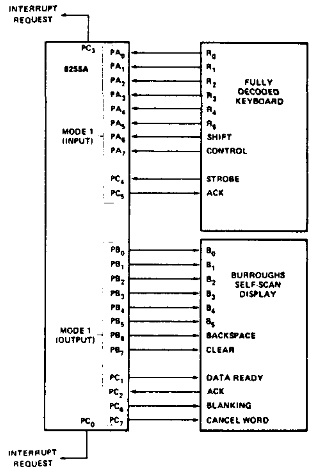


Figuur 9/2.4-3: Aansluitingen van de 44-pens PLCC-versie.

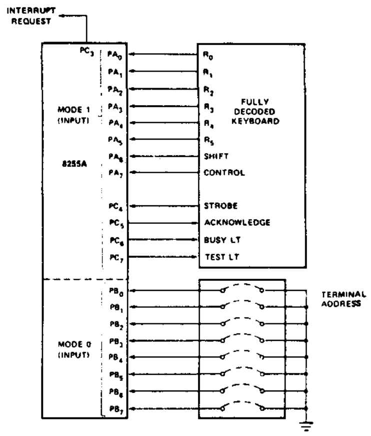
2.4 Type-beschrijving 80-familie



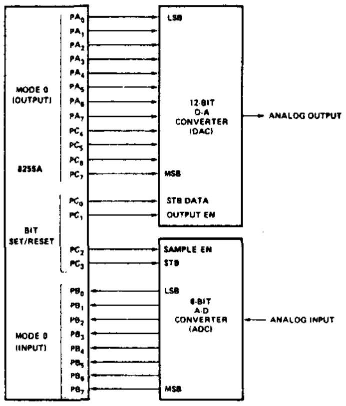
Figuur 9/2.4-1a



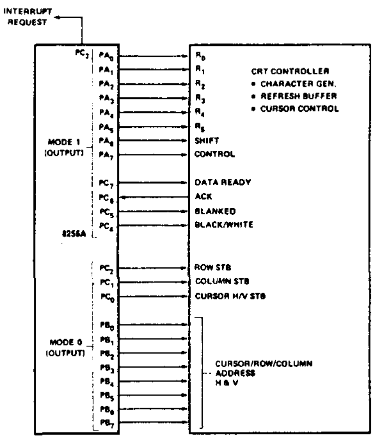
Figuur9/2.4-1b



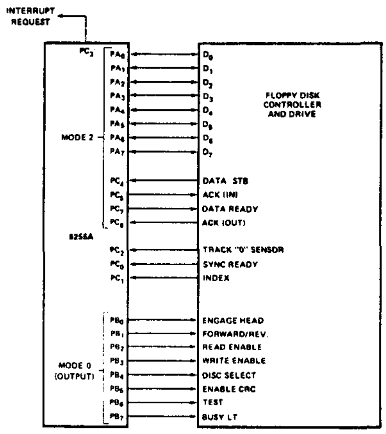
Figuur 9/2.4-1c



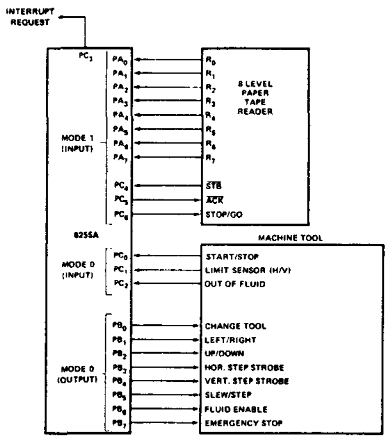
Figuur 9/2.4-1d



Figuur 9/2.4-1e



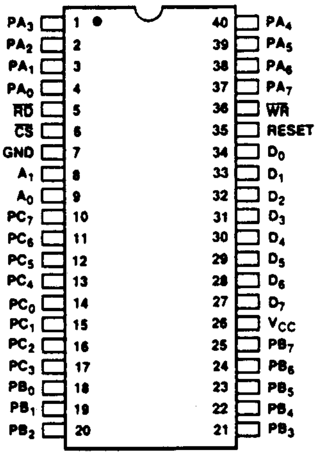
Figuur 9/2.4-1f



Figuur 9/2.4-1g

Figuur 9/2.4-1: Praktische toepassingen van de 8255A
a) printer interface;
b) toetsenbord- en display interface;
c) toetsenbord en werkstation interface;
d) interface met D/A- (digitaal-naar-analoog) en A/D-omzetter;
e) eenvoudige interface met CRT-controller;
f) floppy-disk interface;
g) interface met draaibank-besturing.

2.4 Type-beschrijving 80-familie



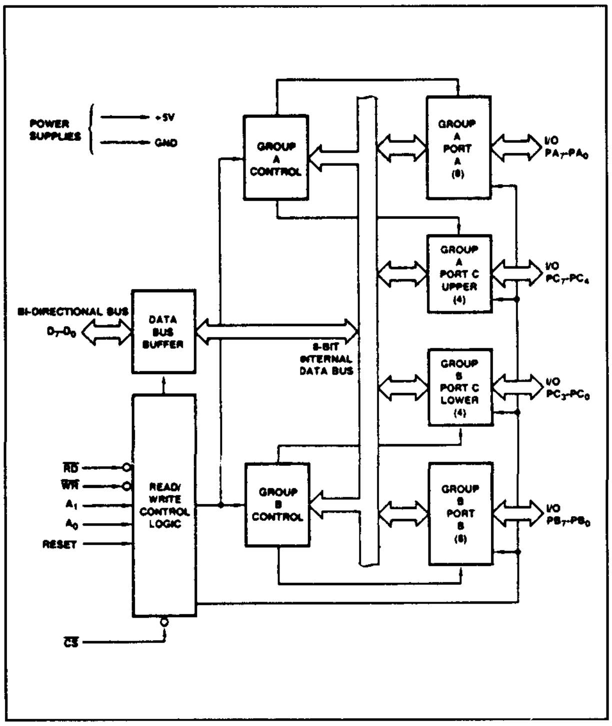
PIN DESCRIPTION

Pin No.*	Name	I/O	Pin Description
27 - 34	$D_7 - D_0$	I/O	Data Bus (Bidirectional).
35	Reset	I	Reset Input.
6	$\overline{CS}$	I	Chip Select.
5	$\overline{RD}$	I	Read Input.
36	$\overline{WR}$	I	Write Input.
9, 8	A_0, A_1	I	Port Address.
37 - 40, 1 - 4	$PA_7 - PA_0$	I/O	Port A (Bit).
25 - 18	$PB_7 - PB_0$	I/O	Port B (Bit).
10 - 13, 17 - 14	$PC_7 - PC_0$	I/O	Port C (Bit).
26	V_{CC}		+5 Volts.
7	GND		0 Volts.

*Pin numbers correspond to DIPs only.

Figuur 9/2.4-2: Aansluitingen van de 8255A in 40-pens DIL-uitvoering.

worden aangesloten. De functionele configuratie van de 8255A kan door de systeemsoftware worden geprogrammeerd zodat normaal gesproken voor het koppelen aan perifere schakelingen of structuren geen externe logika nodig is.



Figuur 9/2.4-4: Blokschema van de 8255A.

Data Bus Buffer (D7 - D0)

Deze 3-state bidirectionele buffer wordt gebruikt om de 8255A aan de systeem-databus te koppelen. Data wordt door de buffer ontvangen of verzonden wanneer de processor ingangs- of uitgangsinstructies uitvoert. Ook control-woorden en status-informatie worden door de data bus buffer overgebracht.

Read/Write en Control Logic

Dit blok regelt alle interne en externe overdrachten van zowel data als besturings- en statuswoorden. Het accepteert signalen van de adresbus en de controlbus van de CPU en stuurt vervolgens commando's naar beide Control groepen.

- *Chip Select ($\overline{CS}$)*
  Een LAAG op deze ingang maakt communicatie tussen de 8255A en de processor mogelijk.
- *Read ($\overline{RD}$)*
  Een LAAG op deze ingang stelt de 8255A in staat de data of status-informatie via de databus naar de processor te sturen (de CPU kan dan de 8255A 'uitlezen').
- *Write ($\overline{WR}$)*
  Door een LAAG op deze ingang kan de processor data of control-woorden in de 8255A schrijven.

2.4 Type-beschrijving 80-familie

- *Poort Select (A_0 en A_1)*
  Door de ingangssignalen Poort Select 0 en Poort Select 1 wordt, samen met de RD en WR ingangen, één van de drie poorten of het controlwoord register gekozen (zie tabel 9/2.4-1). Zij zijn normaal met de laagste bits van de adresbus (A0 en A_1) verbonden.

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A → DATA BUS
0	1	0	1	0	PORT B → DATA BUS
1	0	0	1	0	PORT C → DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS → PORT A
0	1	1	0	0	DATA BUS → PORT B
1	0	1	0	0	DATA BUS → PORT C
1	1	1	0	0	DATA BUS → CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS → 3 STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS → 3 STATE

Tabel 9/2.4-1: Bediening van de 8255A.

- *Reset (Reset)*
  Een HOOG op deze ingang maakt het control-register leeg en zet alle poorten (A, B en C) in de ingangs-mode.

Group A en Group B Controls
De functionele configuratie van iedere poort wordt door middel van de systeem-software geprogrammeerd. In feite levert de CPU een 'controlwoord' aan de 8255A. Het controlwoord bevat informatie zoals 'mode', 'bit set', 'bit reset', enzovoorts waarmee de functionele configuratie van de 8255A wordt geïnitialiseerd.
Elke controlblok (van groep A en groep B) accepteert 'commando's' uit de Read/Write Control Logic, ontvangt controlwoorden uit de interne databus en brengt de juiste commando's over naar de bijbehorende poorten.

Control Group A - Port A en Port C upper (C7 - C4)
Control Group B - Port B en Port C lower (C3 - C0)

Naar het controlwoord register kan *alleen worden geschreven*. Uitlezen van dit register is verboden.

Poorten A, B en C
De 8255A heeft drie 8-bit poorten (A, B en C) die alle door middel van de systeem-software een van de vele functionele karakteristieken kunnen krijgen. Bovendien heeft elke poort zijn eigen specialiteit:
- Poort A
  Een 8-bit data uitgangs latch/buffer en een 8-bit data ingangs latch.
- Poort B
  Een 8-bit data ingangs/uitgangs latch/buffer en een 8-bit data ingangs buffer.
- Poort C
  Een 8-bit data uitgangs latch/buffer en een 8-bit data ingangs buffer (geen ingangs latch). Deze poort kan door de mode-control worden onderverdeeld in twee 4-bit poorten. Elke 4-bit poort bevat een 4-bit latch en kan samen met de poorten A en B worden gebruikt voor het versturen van control-signalen en het ontvangen van status-signalen.

Elektrische en timing-kenmerken
In de tabellen 9/2.4-2, -3 en -4 zijn de elektrische eigenschappen van de 8255A te zien, terwijl tabel 9/2.4-5 en de bijbehorende figuren 9/2.4-5 tot en met 9 een indruk van de timing gegeven.

Functionele beschrijving

Mode selectie
Door middel van de systeem-software kan worden gekozen uit drie bedrijfsmodes (zie ook figuur 9/2.4-10):

2.4 Type-beschrijving 80-familie

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias. . . . . 0°C to 70°C
Storage Temperature . . . . –65°C to +150°C
Voltage on Any Pin
With Respect to Ground . . . . –0.5V to +7V
Power Dissipation . . . . 1 Watt

Tabel 9/2.4-2: Maximaal toegelaten waarden.

D.C. CHARACTERISTICS

T_A = 0°C to 70°C, V_{CC} = +5V ±5%; GND = 0V

SYMBOL	PARAMETER	MIN.	MAX.	UNIT	TEST CONDITIONS
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (DB)	Output Low Voltage (Data Bus)		0.45	V	I_{OL} = 2.5mA
V_{OL}(PER)	Output Low Voltage (Peripheral Port)		0.45	V	I_{OL} = 1.7mA
V_{OH}(DB)	Output High Voltage (Data Bus)	2.4		V	I_{OH} = -400μA
V_{OH}(PER)	Output High Voltage (Peripheral Port)	2.4		V	I_{OH} = -200μA
I_{DAR}[1]	Darlington Drive Current	-1.0	-4.0	mA	R_{EXT} = 750Ω; V_{EXT} = 1.5V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to 0V

Note 1: Available on any 8 pins from Port B and C.

Tabel 9/2.4-3: Gelijkspanningscondities.

CAPACITANCE

T_A = 25°C; V_{CC} = GND = 0V

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT	TEST CONDITIONS
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

Tabel 9/2.4-4: Capaciteiten (bij 1 MHz).

2.4 Type-beschrijving 80-familie

SWITCHING CHARACTERISTICS over operating range unless otherwise specified

BUS PARAMETERS

READ

Parameters	Description	8255A Min	8255A Max	8255A-5 Min	8255A-5 Max	Units
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ (Note 1)		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

WRITE

Parameters	Description	8255A Min	8255A Max	8255A-5 Min	8255A-5 Max	Units
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

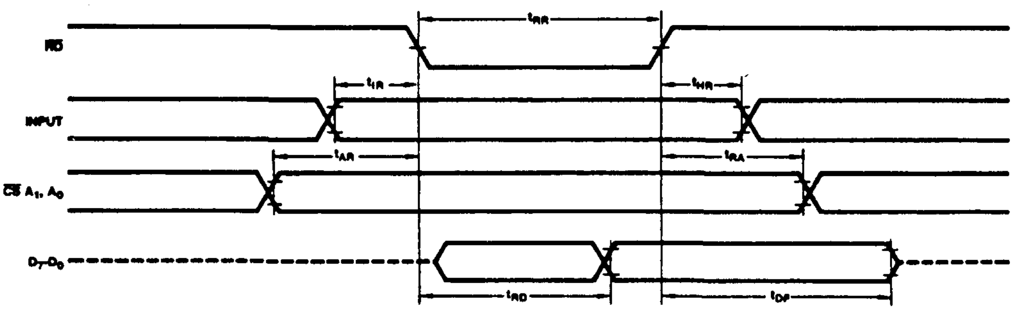
OTHER TIMINGS

Parameters	Description	8255A Min	8255A Max	8255A-5 Min	8255A-5 Max	Units
t_{WB}	WR = 1 to Output (Note 1)		350		350	ns
t_{IR}	Peripheral Data Before RD	0		0		ns
t_{HR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output (Note 1)		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0 (Note 1)		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1 (Note 1)		350		350	ns
t_{SIB}	STB = 0 to IBF = 1. (Note 1)		300		300	ns
t_{RIB}	RD = 1 to IBF = 0 (Note 1)		300		300	ns
t_{RIT}	RD = 0 to INTR = 0 to (Note 1)		400		400	ns
t_{SIT}	STB = 1 to INTR = 1 (Note 1)		300		300	ns
t_{AIT}	ACK = 1 toINTR = 1 (Note 1)		350		350	ns
t_{WIT}	WR = 0 to INTR = 0 (Notes 1, 3)		450		450	ns

Notes: 1. Test Conditions: 8255A: C_L = 150 pF
2. Period of Reset pulse must be at least 50 μ during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR↑ may occur as early as WR↓.

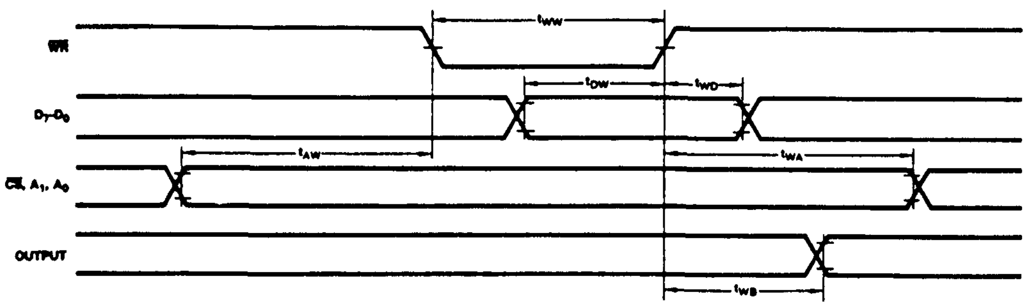
Tabel 9/2.4-5: Schakeltijden (zie ook de figuren 9/2.4-5 t/m 9).

2.4 Type-beschrijving 80-familie



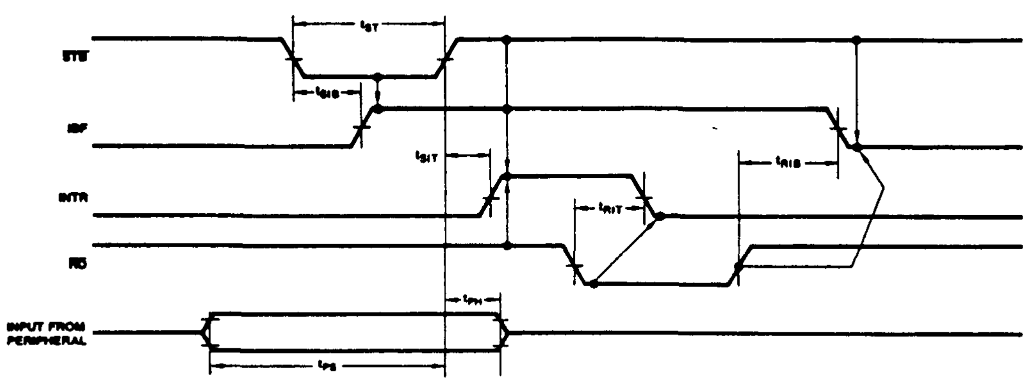
Mode 0 (Basic Input)

Figuur 9/2.4-5: Timing als ingang in mode 0.



Mode 0 (Basic Output)

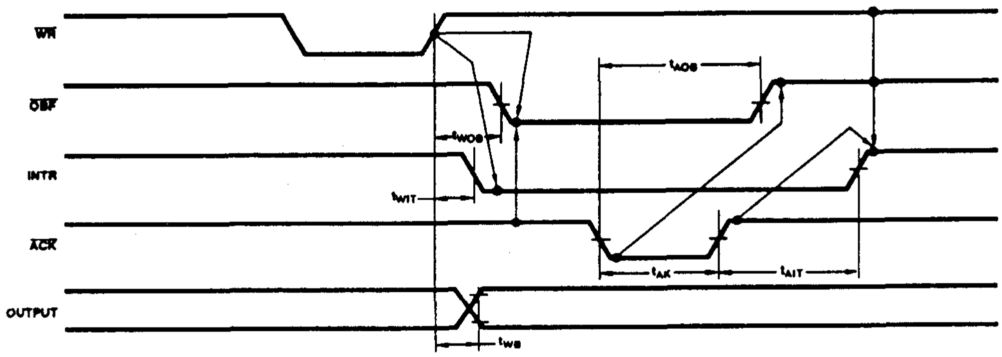
Figuur 9/2.4-6: Timing als uitgang in mode 0.



Mode 1 (Strobed Input)

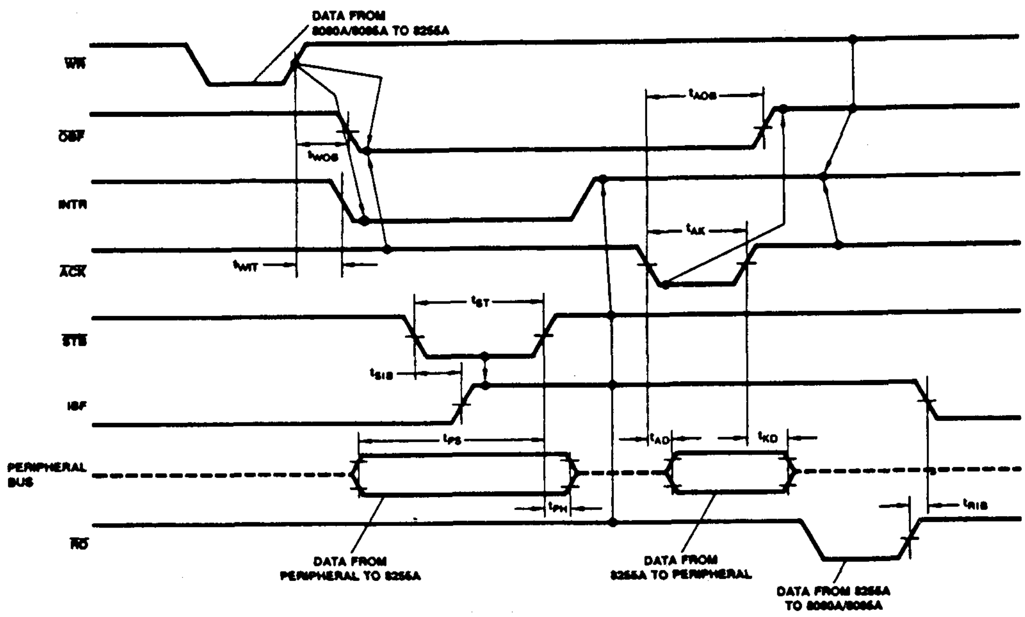
Figuur 9/2.4-7: Timing voor ingang met strobe in mode 1.

2.4 Type-beschrijving 80-familie



Mode 1 (Strobed Output)

Figuur 9/2.4-8: Timing voor uitgang met strobe in mode 1.

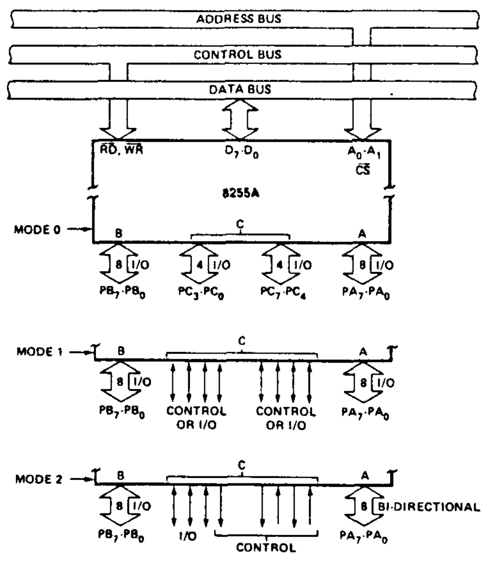


Mode 2 (Bidirectional)

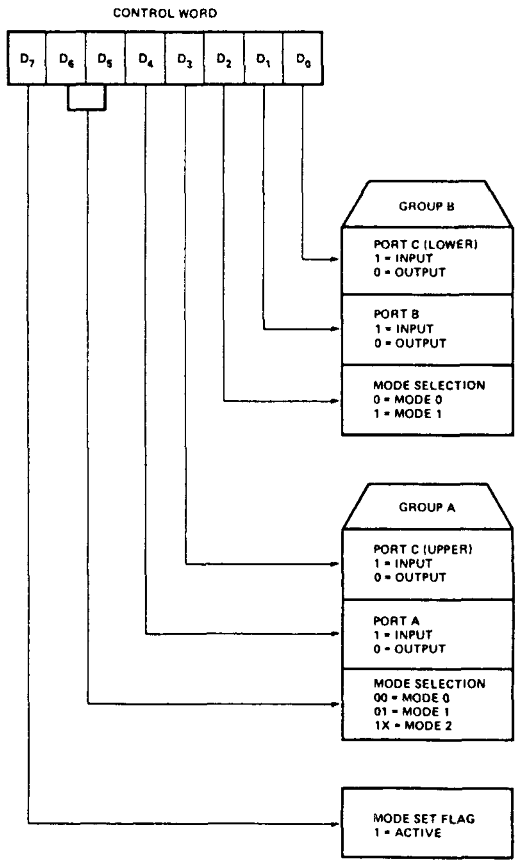
Note: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occur before $\overline{RD}$ is permissible
(INTR = IBF · $\overline{MASK}$ · $\overline{STB}$ · $\overline{RD}$ + $\overline{OBF}$ · $\overline{MASK}$ · $\overline{ACK}$ · $\overline{WR}$).

Figuur 9/2.4-9: Timing als bidirectionele I/O-bus in mode 2.

2.4 Type-beschrijving 80-familie



Figuur 9/2.4-10: Principiële mode-definities en businterface.



Figuur 9/2.4-11: Mode definitie formaat.

Mode 0 - gewone input/output
Mode 1 - input/output met strobe
Mode 2 - bidirectionele bus

Wanneer de reset ingang HOOG gaat, komen alle poorten in de ingangsmode te staan (alle 24 lijnen komen in de hoog-impedante toestand). Nadat de reset is verwijderd kan de 8255A in de ingangsmode blijven zonder dat verdere initialisatie nodig is. Bij uitvoering van het systeem-programma kan elk van de overige modes worden gekozen door een enkele uitgangsinstructie. Met een eenvoudige software-routine kan een enkele 8255A dus verschillende periferie-apparaten bedienen.

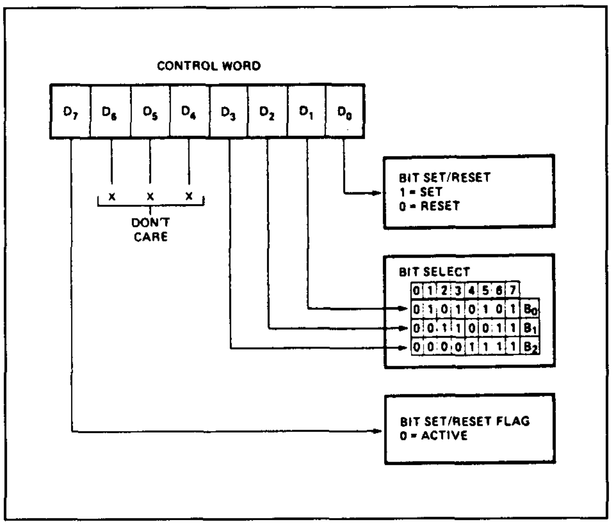
De modes voor de poorten A en B kunnen apart worden bepaald, terwijl poort C afhankelijk van de definities voor de poorten A en B in tweeën is verdeeld (zie ook de figuren 9/2.4-10 en -11).
Alle uitgangsregisters, inclusief de status flip-flops, worden gereset wanneer van mode wordt gewisseld. Doordat modes gecombineerd mogen worden, is de 8255A voor bijna elke I/O-structuur geschikt. Groep B kan bijvoorbeeld in mode 0 worden geprogrammeerd om continu te kijken naar het sluiten van schakelaars of de stand van displays, terwijl groep A in mode 1 op interrupt-basis een toetsenbord of tape-reader observeert.

De definities en mogelijke combinaties van de modes kunnen op het eerste gezicht verwarrend lijken, maar na een vluchtige beschouwing van de complete werkingswijze van de 8255A zal de eenvoudige, logische benadering van de schakeling duidelijk worden. Tabel 9/2.4-7 geeft bijvoorbeeld een zeer nuttige samenvatting van wat er bij de verschillende bedrijfsmodes met de aansluitpennen gebeurt.

2.4 Type-beschrijving 80-familie

	MODE 0		MODE 1		MODE 2
	IN	OUT	IN	OUT	GROUP A ONLY
PA_0	IN	OUT	IN	OUT	←→
PA_1	IN	OUT	IN	OUT	←→
PA_2	IN	OUT	IN	OUT	←→
PA_3	IN	OUT	IN	OUT	←→
PA_4	IN	OUT	IN	OUT	←→
PA_5	IN	OUT	IN	OUT	←→
PA_6	IN	OUT	IN	OUT	←→
PA_7	IN	OUT	IN	OUT	←→
PB_0	IN	OUT	IN	OUT	——
PB_1	IN	OUT	IN	OUT	——
PB_2	IN	OUT	IN	OUT	——
PB_3	IN	OUT	IN	OUT	—— (MODE 0 OR MODE 1 ONLY)
PB_4	IN	OUT	IN	OUT	——
PB_5	IN	OUT	IN	OUT	——
PB_6	IN	OUT	IN	OUT	——
PB_7	IN	OUT	IN	OUT	——
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$
PC_5	IN	OUT	IBF_A	I/O	IBF_A
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$

Tabel 9/2.4-7: Samenvatting van de mode-definities.



Figuur 9/2.4-12: Bit Set/Reset formaat.

Single Bit Set/Reset
Alle 8 bits van poort C kunnen onafhankelijk van elkaar worden geset of gereset door middel van een enkele OUTput instructie (figuur 9/2.4-12). Hierdoor wordt de software voor op Control-functies gebaseerde toepassingen vereenvoudigd. Wanneer poort C wordt gebruikt als status/control voor poort A of B, kunnen deze bits worden geset of gereset met de Bit Set/Reset routine alsof het data uitgangslijnen waren.

Interrupt Control Functies
Wanneer de 8255A is geprogrammeerd om in mode 1 of 2 te werken, worden er ook signalen geleverd die als interrupt request voor de CPU kunnen dienen. De interrupt request signalen die door poort C gegenereerd worden, kunnen worden gesperd of doorgelaten door de betreffende INTE flip-flop's met behulp van de bit set/reset functie van poort C te setten of resetten.
Deze functie maakt het de programmeur mogelijk te beslissen of een bepaald I/O-apparaat de processor kan interrumperen of niet, zonder daarbij andere apparatuur in de interrupt-structuur te beïnvloeden.

INTE flip-flop definitie:

(BIT-SET) - INTE is geSET - Interrupt mogelijk (enable)
(BIT-RESET) - INTE is geRESET - Interrupt disable

Opmerking:
Alle Mask flip-flops worden tijdens mode selectie en reset automatisch gereset.

Bedrijfsmodes

Mode 0 (eenvoudige in-/uitgangen)
Deze functionele configuratie maakt eenvoudige in- en uitgangs operaties voor alle drie poorten mogelijk. Er wordt geen 'handshaking' verlangd en data wordt gewoon van of naar een bepaalde poort gebracht.

Kenmerken van mode 0:
- twee 8-bit poorten en twee 4-bit poorten
- elke poort kan ingang of uitgang zijn
- de uitgangen zijn gelatched
- de ingangen zijn niet gelatched

2.4 Type-beschrijving 80-familie

- in deze mode zijn 16 verschillende input/output configurations mogelijk (tabel 9/2.4-6 en de figuren van 9/2.4-13.

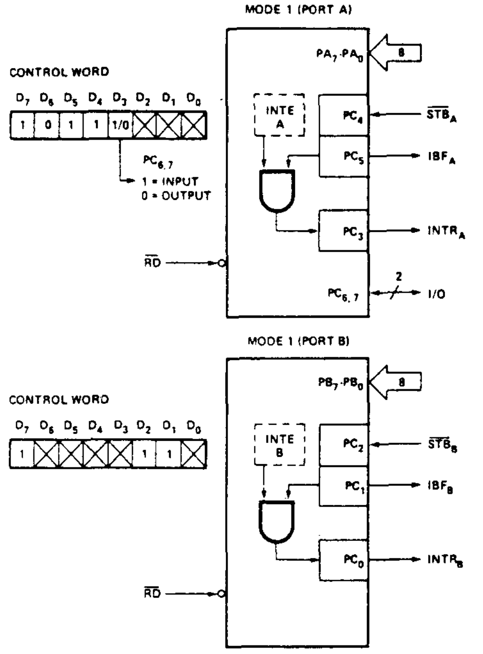
Mode 1 (in-/uitgangen met strobe)

Bij deze functionele configuratie kunnen gegevens van of naar een bepaalde poort worden overgebracht die dan vergezeld gaan van strobes of ‘handshake’ signalen. In mode 1 gebruiken de poorten A en B de lijnen van poort C om deze handshake-signalen op te wekken of te ontvangen.

Kenmerken van mode 1:
- twee groepen (A en B)
- elke groep heeft een 8-bit data-poort en een 4-bit control/data-poort
- de 8-bit data-poort kan ingang of uitgang zijn, zowel ingangen als uitgangen zijn gelatched.
- de 4-bit poort wordt gebruikt voor control en status van de 8-bit data-poort

Definitie van de Input Control Signalen

(zie figuur 9/2.4-14)



INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

Figuur 9/2.4-14: Mode 1 ingang.

$\overline{STB}$ (Strobe Input)

Een LAAG op deze ingang laadt data in de ingangslatch.

A		B		GROUP A			GROUP B	
D4	D3	D1	D0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

Tabel 9/2.4-6: Poort-definitie in mode 0.

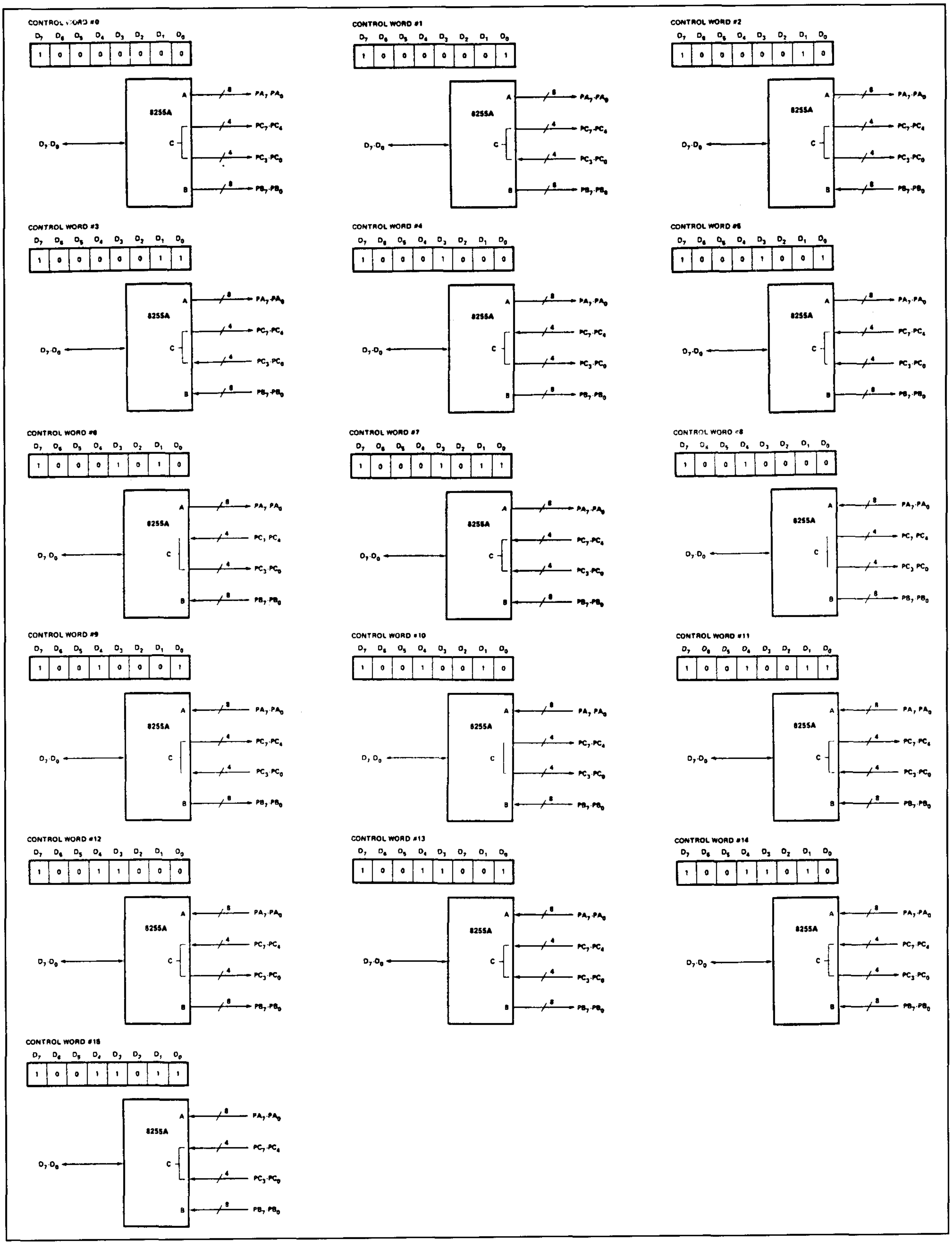
IBF (Input Buffer Full flip-flop)

Een HOOG op deze uitgang geeft aan dat de data in de ingangslatch werd geladen; het is dus in feite een bevestiging. IBF wordt geset wanneer de STB-ingang LAAG is en gereset door de opgaande flank van de RD-ingang.

INTR (Interrupt Request)

Een HOOG op deze uitgang kan worden gebruikt om de CPU te onderbreken wanneer een ingangsapparaat om service vraagt. INTR wordt geset als $\overline{STB}$ = HOOG, IBF = HOOG en INTE = HOOG en wordt gereset op de dalende flank van $\overline{RD}$. Deze procedure maakt dat een ingangsapparaat de processor om bediening kan vragen door eenvoudig zijn data in de poort te stroben.

2.4 Type-beschrijving 80-familie



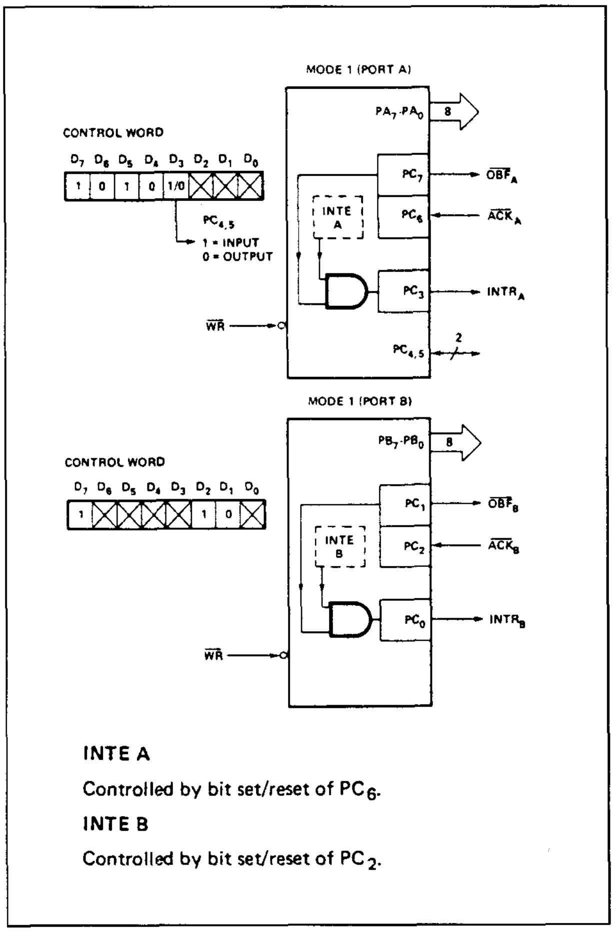
Figuur 9/2.4-13: Alle 16 mogelijk mode 0 configuraties (zie ook tabel 9/2.4-6).

2.4 Type-beschrijving 80-familie

Definitie van de Output Control Signalen
(zie figuur 9/2.4-15)

$\overline{OBF}$ (Output Buffer Full flip-flop)
De $\overline{OBF}$-uitgang gaat LAAG om aan te geven dat de CPU data via de gespecificeerde poort heeft weggeschreven. De $\overline{OBF}$ flip-flop wordt geset door de opgaande flank van het $\overline{WR}$-signaal en gereset door een LAAG $\overline{ACK}$-signaal.

$\overline{ACK}$ (Acknowledge Input)
Een LAAG op deze ingang laat de 8255A weten dat de data van poort A of poort B is geaccepteerd. Het is dus een bevestiging van het randapparaat dat het de door de CPU verzonden data heeft ontvangen.



Figuur 9/2.4-15: Mode 1 uitgang.

INTR (Interrupt Request)
Een HOOG op deze uitgang kan worden gebruikt om het lopende programma van de CPU te onderbreken. INTR wordt geset wanneer $\overline{ACK}$ = HOOG, $\overline{OBF}$ = HOOG en INTE = HOOG en wordt gereset op de dalende flank van $\overline{WR}$.

Combinaties van mode 1
Het is uiteraard mogelijk om in mode 1 de poorten A en B apart de definiëren als ingang of uitgang (figuren 9/2.4-16a and b).

Mode 2 (Bidirectionele In-/Uitgangsbus met strobe)
(figuur 9/2.4-17)
Deze functionele configuratie maakt communicatie met randapparatuur mogelijk via een 8-bit bus voor zowel zenden als ontvangen van data (bidirectionele I/O-bus). Om het verkeer over de bus in goede banen te leiden, worden, net als bij mode 1, handshake signalen meegeleverd. Tevens zijn functies voor het opwekken van interrupts en enable/disable beschikbaar.

Kenmerken van mode 2:
- wordt alleen in groep A gebruikt
- een 8-bit bidirectionele bus-poort (poort A) en een 5-bit control-poort (poort C)
- zowel in- als uitgangen zijn gelatched
- de 5-bit control-poort (poort C) wordt gebruikt voor besturing en status van de 8-bit bidirectionele buspoort (poort A).

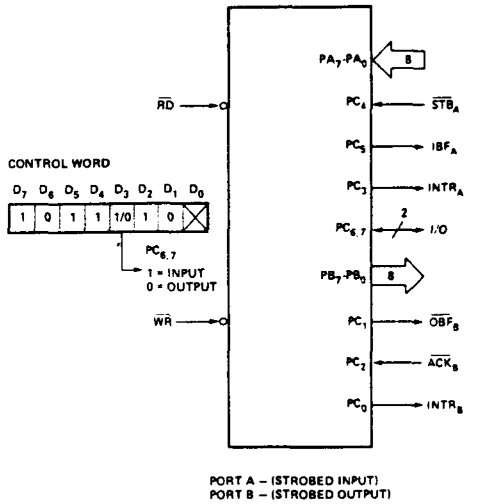
Definitie van het Bidirectionele Bus I/O Control Signaal

INTR (Interrupt Request)
Een HOOG op deze uitgang kan zowel door in- als uitvoer operaties worden gebruikt om de CPU te interrumperen.

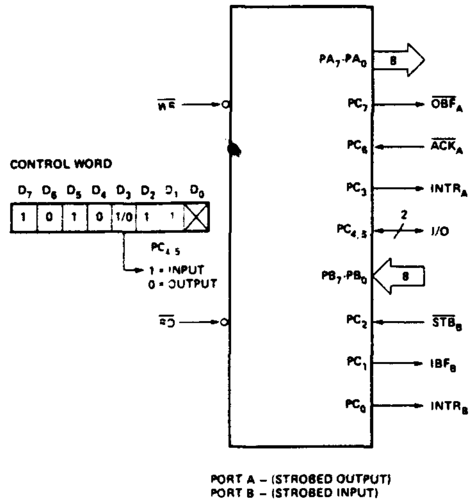
Output Operaties

$\overline{OBF}$ (Output Buffer Full)
De $\overline{OBF}$-uitgang gaat LAAG om aan te ge-

2.4 Type-beschrijving 80-familie

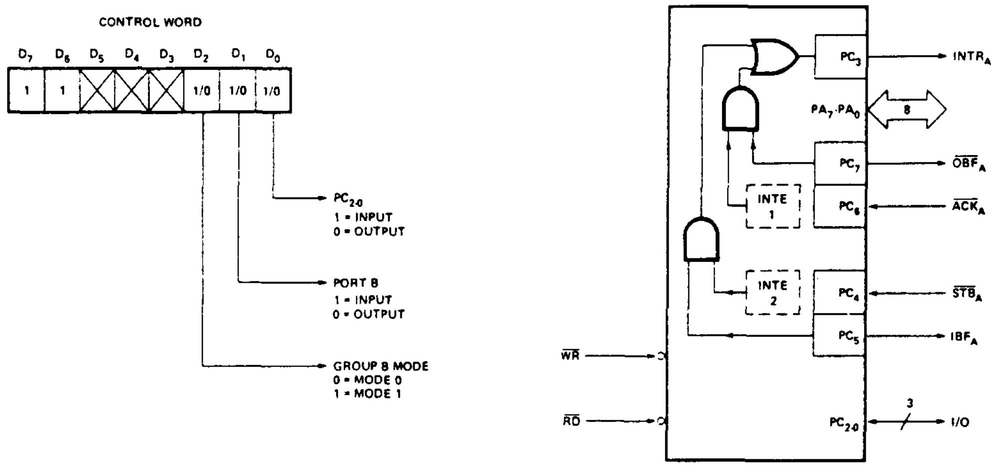


figuur 9/2.4-16a



figuur 9/2.4-16b

Figuur 9/2.4-16: Combinaties van mode 1:
a) poort A = ingang, poort B = uitgang;
b) poort A = uitgang, poort B is ingang.



Figuur 9/2.4-17: *Mode 2 configuratie en bijbehorend mode control-woord.*

geven dat de CPU data in poort A heeft geschreven.

$\overline{\text{ACK}}$ (Acknowledge)
Een LAAG op deze ingang maakt dat de 3-state uitgangsbuffer van poort A data kan versturen (enable). In andere gevallen bevindt de uitgangsbuffer zich in de hoogimpedante toestand.

INTE 1
Met INTE 1 wordt de flip-flop bedoeld die

gerelateerd is aan OBF. Deze flip-flop wordt bestuurd door de bit set/reset functie van PC_6.

Input operaties

$\overline{STB}$ (Strobe Ingang)
Een LAAG op deze ingang laadt data in de ingangslatch.

IBF (Input Buffer Full flip-flop)
Een HOOG op de uitgang van deze flip-flop geeft aan dat data in de ingangslatch is geladen.

INTE 2
Met INTE 2 wordt de flip-flop bedoeld die gerelateerd is aan IBF. Deze flip-flop wordt bestuurd door de bit set/reset functie van PC_4.

Enkele opmerkingen bij speciale mode combinaties

Wanneer niet alle bits in poort C voor besturing of status worden gebruikt zijn er diverse mode-combinaties mogelijk. Een en ander is te zien in de figuren 9/2.4-18a tot en met d.

De resterende bits kunnen als volgt worden gebruikt:

Indien geprogrammeerd als ingangen:
Alle ingangslijnen zijn toegankelijk gedurende een normaal uitlezen van poort C.

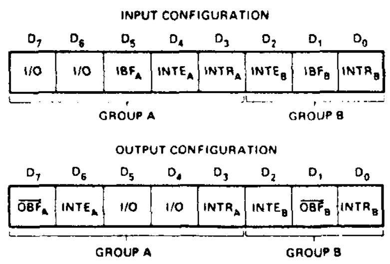
Indien geprogrammeerd als uitgangen:
De bits in de bovenste helft van C (PC_7 - PC_4) zijn ieder apart toegankelijk door middel van de bit set/reset functie.
De bits in de onderste helft van C (PC_3 - PC_0) kunnen worden bereikt met de bit set/reset functie of als drietal door in poort C te schrijven.

Beschikbare stroom uit poort B en poort C
Uit de poorten B en C kan een set van 8 uitgangsbuffers willekeurig worden gekozen om source-stromen van 1 mA bij 1,5 V te leveren. Hierdoor is de 8255A in staat om direct darlington drivers en hoogspannings displays aan te sturen.

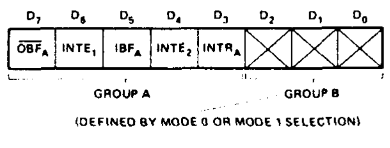
Uitlezen van de status van poort C
In mode 0 transporteert poort C data van en naar het randapparaat. Wanneer de 8255A in de modes 1 of 2 werkt, worden door poort C handshake-signalen opgewekt of ontvangen. Door de inhoud van poort C te lezen kan de programmeur de status van elk randapparaat testen of verifiëren.
Er is geen speciale instructie om de statusinformatie van poort C te lezen. Voor het uitvoeren van deze functie wordt dus een gewone lees-operatie op poort C uitgevoerd. In de figuren 9/2.4-19a en b zijn de formaten van het statuswoord voor mode 1, respectievelijk mode 2 te zien.

Toepassingen van de 8255A

De 8255A is uitermate geschikt voor het koppelen van randapparatuur aan een microprocessor systeem. Er wordt optimaal ge-



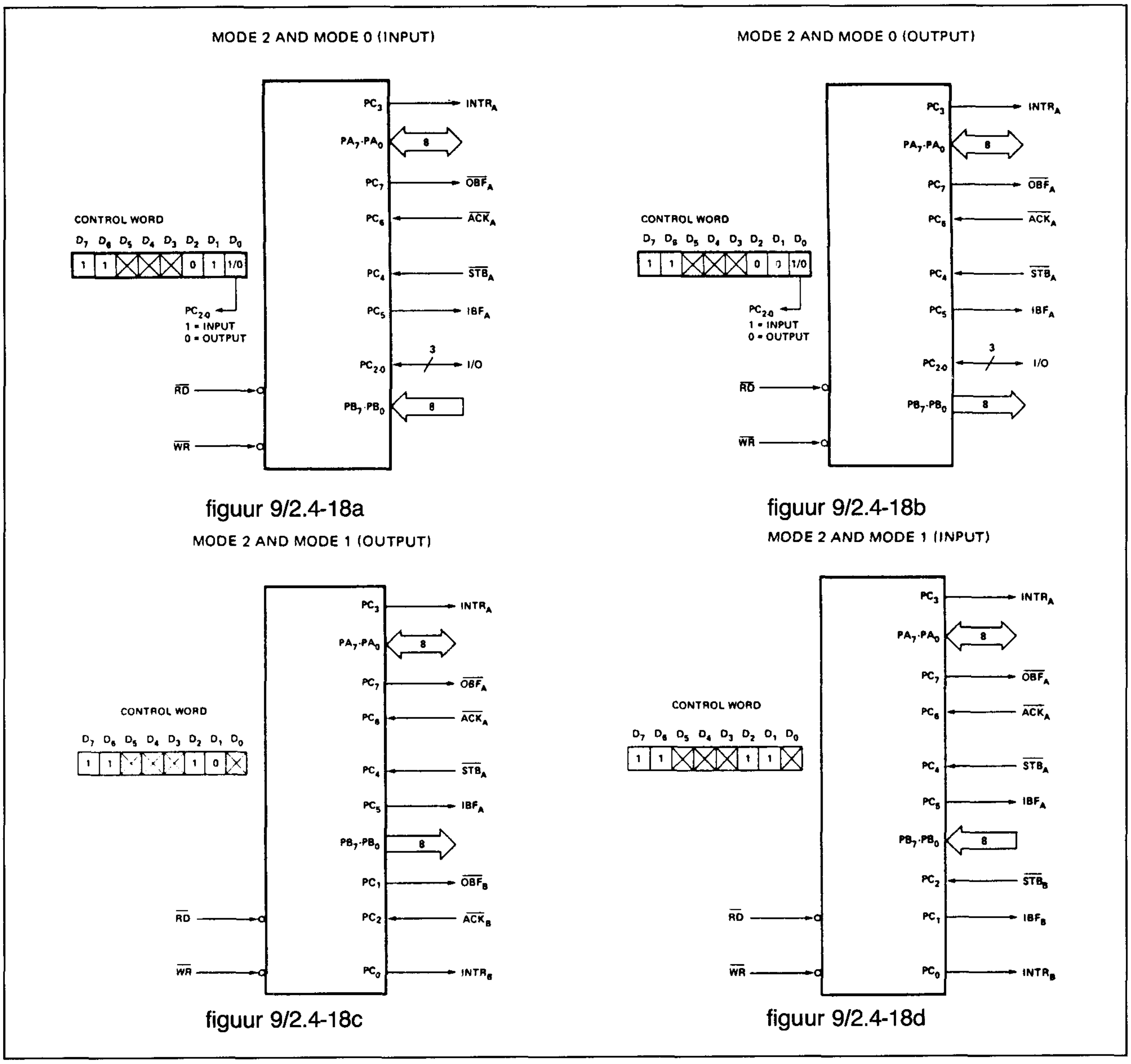
figuur 9/2.4-19a



figuur 9/2.4-19b

Figuur 9/2.4-19: a) mode 1 status-woord formaat;
b) mode 2 status-woord formaat.

2.4 Type-beschrijving 80-familie



Figuur 9/2.4-18: Combinaties van mode 2 met mode 0 en 1.

bruik gemaakt van de beschikbare pennen en bijna elk I/O-apparaat kan zonder extra logika worden aangesloten.
In een microcomputer systeem heeft elk randapparaat meestal een eigen 'service routine'. Deze routine houdt toezicht op de software interface tussen de CPU en het randapparaat. De functionele definitie van de 8255A wordt door de I/O-service routine geprogrammeerd en vormt zodoende een uitbreiding op de systeem-software. Door de interface-eigenschappen van de I/O-apparaten voor zowel data-overdracht als timing te bekijken en deze informatie te vergelijken met de voorbeelden en tabellen in deze beschrijving, kan gemakkelijk een 'control-woord' worden ontwikkeld dat de 8255A na initialisatie precies in de toepassing laat passen.

2.4 Type-beschrijving 80-familie

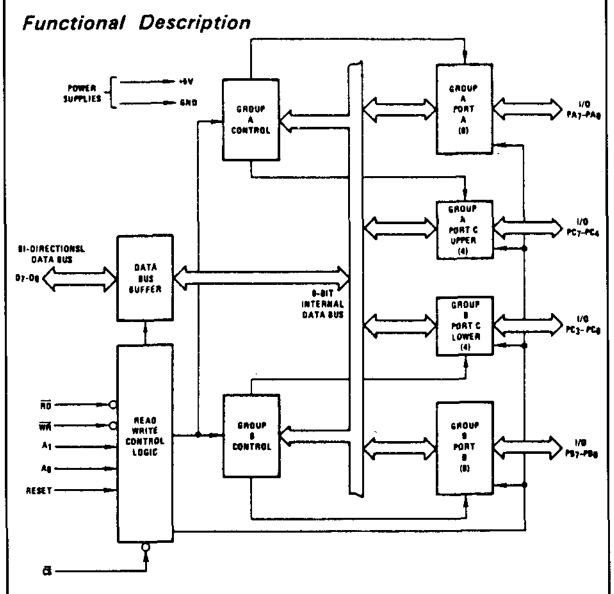
82C55A

Programmable Peripheral Interface

De 82C55A is een CMOS-versie van de industriestandaard 8255A. In figuur 9/2.4-20 is het blokschema te zien en in tabel 9/2.4-8 de bediening van de 82C55A. Het is een universele programmeerbare in- en uitgangsschakeling die met vele verschillende microprocessoren kan samenwerken. De geringe dissipatie maakt de 82C55A zeer geschikt voor draagbare apparatuur.

Voor een uitvoerige beschrijving van de functies, bedrijfsmodes, programmeermethoden en toepassingen wordt verwezen naar de 8255A. In dit hoofdstuk worden alleen de van de NMOS 8255A afwijkende en speciale eigenschappen van dit type behandeld.

Kenmerken:
- pen-compatibel met de NMOS 8255A
- 24 programmeerbare in-/uitgangs pennen
- TTL compatibel

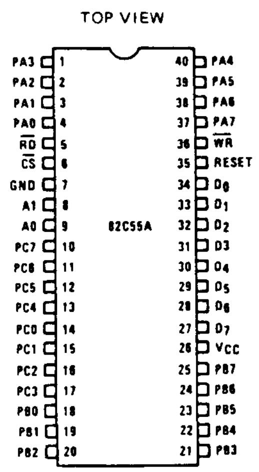


Figuur 9/2.4-20: Functioneel blokschema van de 82C55A.

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A → DATA BUS
0	1	0	1	0	PORT B → DATA BUS
1	0	0	1	0	PORT C → DATA BUS
1	1	0	1	0	CONTROL WORD → DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS → PORT A
0	1	1	0	0	DATA BUS → PORT B
1	0	1	0	0	DATA BUS → PORT C
1	1	1	0	0	DATA BUS → CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS → 3-STATE
X	X	1	1	0	DATA BUS → 3-STATE

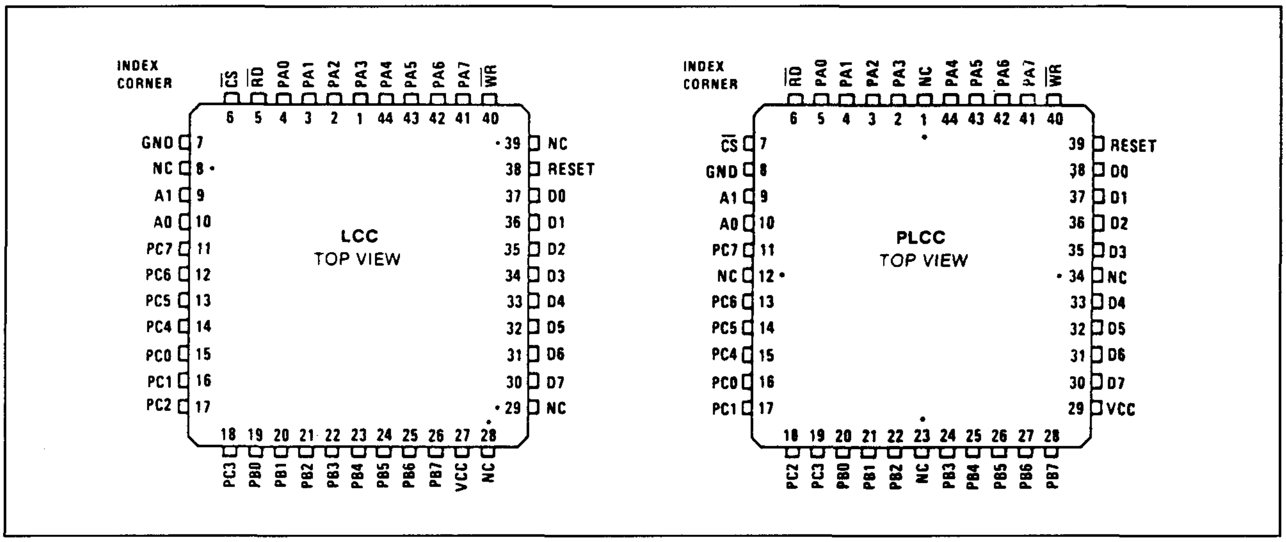
Tabel 9/2.4-8: Bediening van de 82C55A.

- hoge snelheid: geen 'WAIT state' bij toepassing met 5 MHz en 8 MHz 80C86/80C88
- directe bit set/reset mogelijk
- verbeterde leesbaarheid van controlwoorden
- alle I/O-poort uitgangen kunnen 2,5 mA sourcen/sinken
- zeer lage standby dissipatie (Icc_{SB} = 10 μA)
- leverbaar in 40-pens DIL, 44-pens LCC en 44-pens PLCC (figuren 9/2.4-21 en -22)
- fabrikanten o.a.: Intel en Harris



Figuur 9/2.4-21: Aansluitingen van de 40-pens DIL versie.

2.4 Type-beschrijving 80-familie



Figuur 9/2.4-22: Aansluitingen van de 44-pens LCC en PLCC.

Poorten A, B en C

De 82C55A bevat drie 8-bit poorten waarvan de vele verschillende functionele eigenschappen programmeerbaar zijn. Toch heeft elke poort zijn eigen speciale kenmerken die de kracht en de flexibiliteit van de 82C55A nog doen toenemen.

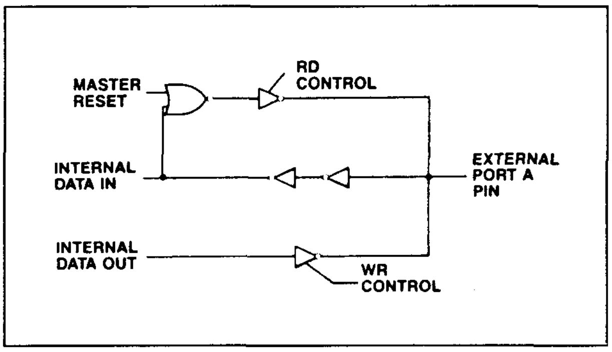
Poort A heeft een 8-bit data uitgangs latch/ buffer en een 8-bit ingangslatch. Op poort A zijn zowel 'pull-up' als 'pull-down' bus-hold voorzieningen aanwezig (zie figuur 9/2.4-23).

Poort B heeft een 8-bit data in-/uitgangs latch/buffer (zie figuur 9/2.4-24).

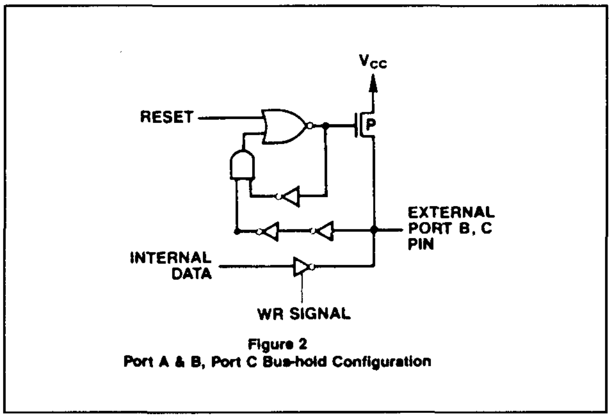
Poort C heeft een 8-bit data uitgangs latch/ buffer en een 8-bit data ingangs buffer (geen ingangs latch). Deze poort kan door de mode-control worden onderverdeeld in twee 4-bit poorten. Elke 4-bit poort bevat een 4-bit latch en kan samen met de poorten A en B worden gebruikt voor het versturen van control-signalen en het ontvangen van status-signalen.

Mode 0, 1 en 2

De werking in mode 0, 1 en 2 komt volledig overeen met de 8255A. Deze informatie kan dus daar worden verkregen.



Figuur 9/2.4-23: Constructie van de A-poorten.



Figuur 9/2.4-24: Constructie van de B en C-poorten.

Speciale mode-combinaties

Er zijn verschillende combinaties van modes mogelijk. Bij elke combinatie worden sommige of alle lijnen van poort C gebruikt voor besturing of status. De overblijvende bits worden door een 'Set Mode' commando geprogrammeerd als ingangen of uitgangen.
Wanneer poort C door de CPU wordt gelezen, wordt de toestand van alle poort C-lijnen (behalve de ACK en STB-lijnen) op de databus gezet. In plaats van de status van de ACK- en STB-lijnen verschijnt flag-status van de PC_2, PC_4 en PC_6-posities op de databus, zoals in figuur 9/2.4-25 te zien is.

Met een 'Write Port C' commando kan alleen naar die pennen van poort C worden geschreven die in een mode 0-groep als uitgangen zijn geprogrammeerd. Door een 'Write Port C' commando worden geen andere pennen beïnvloed terwijl ook geen toegang wordt verkregen tot de Interrupt Enable Flags.
Om naar een als zodanig in een mode 1 geprogrammeerde uitgang van poort C te schrijven of om een interrupt enable flag te wijzigen moet het 'Set/Reset Port C Bit' commando worden gebruikt.

Met een 'Set/Reset Port C Bit' commando kan op elke als uitgang geprogrammeerd poort C-lijn worden geschreven (inclusief INTR, IBF en OBF) of een interrupt enable flag kan geset of gereset worden.
Poort C-lijnen die als ingang zijn geprogrammeerd (inclusief de op poort C betrekking hebbende $\overline{ACK}$- en $\overline{STB}$-lijnen) worden niet beïnvloed door een 'Set/Reset Port C Bit' commando. Schrijven met het 'Set/Reset Port C Bit' commando naar de met ACK en STB overeenkomende poort C posities zal de groep A en groep B interrupt enable flags beïnvloeden, zoals in figuur 9/2.4-25 te zien is.

Overige kenmerken van de 82C55A

In de tabellen 9/2.4-9 tot en met 9/2.4-13 en de figuren 9/2.4-26 tot en met 31 zijn de elektrische en timing eigenschappen van de 82C55A te zien.

Interrupt Enable Flag*	Position	Alternate Port C Pin Signal (Mode)
INTE B	PC2	$\overline{ACK_B}$ (Output Mode 1) or $\overline{STB_B}$ (Input Mode 1)
INTE A2	PC4	$\overline{STB_A}$ (Input Mode 1 or Mode 2)
INTE A1	PC6	$\overline{ACK_A}$ (Output Mode 1 or Mode 2)

Figuur 9/2.4-25: Interrupt Enable Flags in mode 1 en 2.

2.4 Type-beschrijving 80-familie

Absolute Maximum Ratings

Supply Voltage .... +8.0 Volts
Input, Output or I/O Voltage Applied .... GND -0.5V to VCC +0.5V
Storage Temperature Range .... -65°C to +150°C
Maximum Package Power Dissipation .... 1 Watt
θ_{jc} .... 22°C/W (CERDIP Package), 27°C/W (LCC Package)
θ_{ja} .... 55°C/W (CERDIP Package), 60°C/W (LCC Package)
Gate Count .... 1,000 Gates
Junction Temperature .... +150°C
Lead Temperature (Soldering, Ten Seconds) .... +260°C

CAUTION: Stresses above those listed in the "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operation section of this specification is not implied.

Tabel 9/2.4-9: Maximaal toegelaten waarden.

Operating Conditions

Operating Voltage Range .... +4.5V to +5.5V
Operating Temperature Range
C82C55A .... 0°C to +70°C
I82C55A .... -40°C to +85°C
M82C55A .... -55°C to +125°C

Tabel 9/2.4-10: Bedrijfscondities.

D.C. Electrical Specifications VCC = 5.0V ± 10%; T_A = 0°C to +70°C (C82C55A); T_A = -40°C to +85°C (I82C55A); T_A = -55°C to +125°C (M82C55A)

SYMBOL	PARAMETER	MIN	MAX	UNITS	TEST CONDITIONS
VIH	Logical One Input Voltage	2.0 2.2		V V	I82C55A, C82C55A, M82C55A
VIL	Logical Zero Input Voltage		0.8	V	
VOH	Logical One Output Voltage	3.0 VCC -0.4		V V	IOH = -2.5mA IOH = -100μA
VOL	Logical Zero Output Voltage		0.4	V	IOL = +2.5mA
II	Input Leakage Current	-1.0	1.0	μA	VIN = VCC OR GND, DIP Pins: 5, 6, 8, 9, 35, 36
IO	I/O Pin Leakage Current	-10.0	10.0	μA	VO = VCC or GND DIP Pins: 27-34
IBHH	Bus Hold High Current	-50	-400	μA	VO = 3.0V Ports A, B, C
IBHL	Bus Hold Low Current	+50	+400	μA	VO = 1.0V PORT A ONLY
IDAR	Darlington Drive Current	-2.0	Note 1	mA	PORTS A, B, C Test Condition 3
ICCSB	Standby Power Supply Current		10	μA	VCC = 5.5V, VIN = VCC or GND Outputs Open
ICCOP	Operating Power Supply Current		1	mA/MHz	T_A = +25°C, VCC = 5.0V, Typical (See Note 2)

NOTES: 1. No internal current limiting exists on Port Outputs. A resistor must be added externally to limit the current.
2. ICCOP = 1mA/MHz of Peripheral Read/Write cycle time. (Example: 1.0μs I/O Read/Write cycle time = 1mA).

Tabel 9/2.4-11: Gelijkspannings condities.

2.4 Type-beschrijving 80-familie

Capacitance T_A = 25°C; VCC = GND = 0V; VIN = +5V or GND.

SYMBOL	PARAMETER	TYPICAL	UNITS	TEST CONDITIONS
C_{IN}	Input Capacitance	5	pF	FREQ = 1MHz Unmeasured pins returned to GND
$C_{I/O}$	I/O Capacitance	20	pF	

Tabel 9/2.4-12: Capaciteiten bij 1 MHz.

A.C. Electrical Specifications VCC = +5V ± 10%, GND = 0V; T_A = −55°C to +125°C (M82C55A) (M82C55A-5)
VCC = +5V ± 10%, GND = 0V; T_A = −40°C to +85°C (I82C55A) (I82C55A-5)
VCC = +5V ± 10%, GND = 0V; T_A = 0°C to +70°C (C82C55A) (C82C55A-5)

Bus Parameters

READ		82C55A		82C55A-5			TEST
SYMBOL	PARAMETER	MIN	MAX	MIN	MAX	UNITS	CONDITIONS
tAR	Address Stable Before READ	0		0		ns	
tRA	Address Stable After READ	0		0		ns	
tRR	READ Pulse Width	150		250		ns	
tRD	Data Valid From READ		120		200	ns	1
tDF	Data Float After READ	10	75	10	75	ns	2
tRV	Time Between READs and/or WRITEs	300		300		ns	

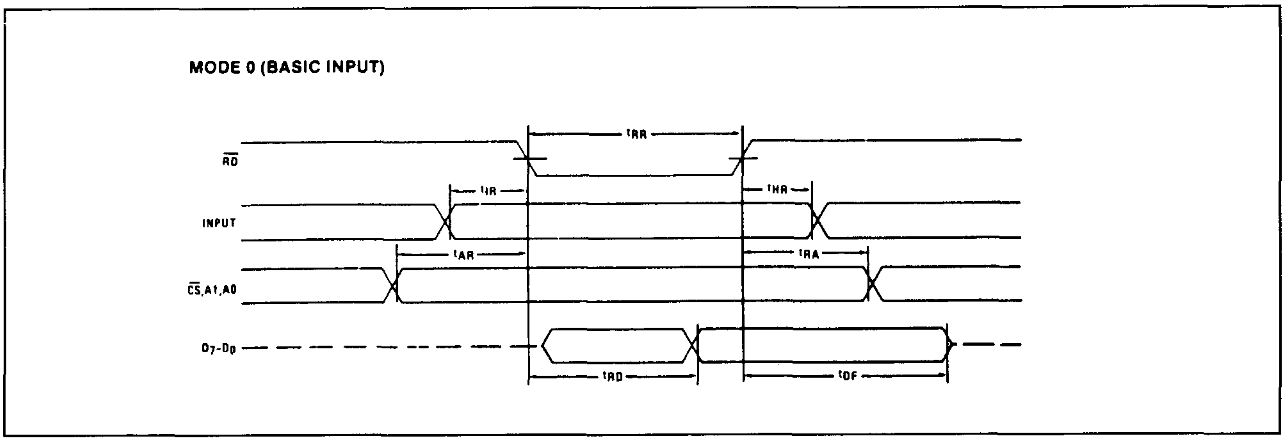
WRITE		82C55A		82C55A-5			TEST
SYMBOL	PARAMETER	MIN	MAX	MIN	MAX	UNITS	CONDITIONS
tAW	Address Stable Before WRITE	0		0		ns	
tWA	Address Stable After WRITE	20		20		ns	
tWW	WRITE Pulse Width	100		100		ns	
tDW	Data Valid to WRITE High	100		100		ns	
tWD	Data Valid After WRITE High	30		30		ns	

OTHER TIMINGS		82C55A		82C55A-5			TEST
SYMBOL	PARAMETER	MIN	MAX	MIN	MAX	UNITS	CONDITIONS
tWB	WR = 1 to Output		350		350	ns	1
tIR	Peripheral Data Before RD	0		0		ns	
tHR	Peripheral Data After RD	0		0		ns	
tAK	ACK Pulse Width	200		200		ns	
tST	STB Pulse Width	100		100		ns	
tPS	Per. Data Before STB High	20		20		ns	
tPH	Per. Data After STB High	50		50		ns	
tAD	ACK = 0 to Output		175		175	ns	1
tKD	ACK = 1 to Output Float	20	250	20	250	ns	2
tWOB	WR = 1 to OBF = 0		150		150	ns	1
tAOB	ACK = 0 to OBF = 1		150		150	ns	1
tSIB	STB = 0 to IBF = 1		150		150	ns	1
tRIB	RD = 1 to IBF = 0		150		150	ns	1
tRIT	RD = 0 to INTR = 0		200		200	ns	1
tSIT	STB = 1 to INTR = 1		150		150	ns	1
tAIT	ACK = 1 to INTR = 1		150		150	ns	1
tWIT	WR = 0 to INTR = 0		200		200	ns	1
tRES	Reset Pulse Width	500		500		ns	see note 1

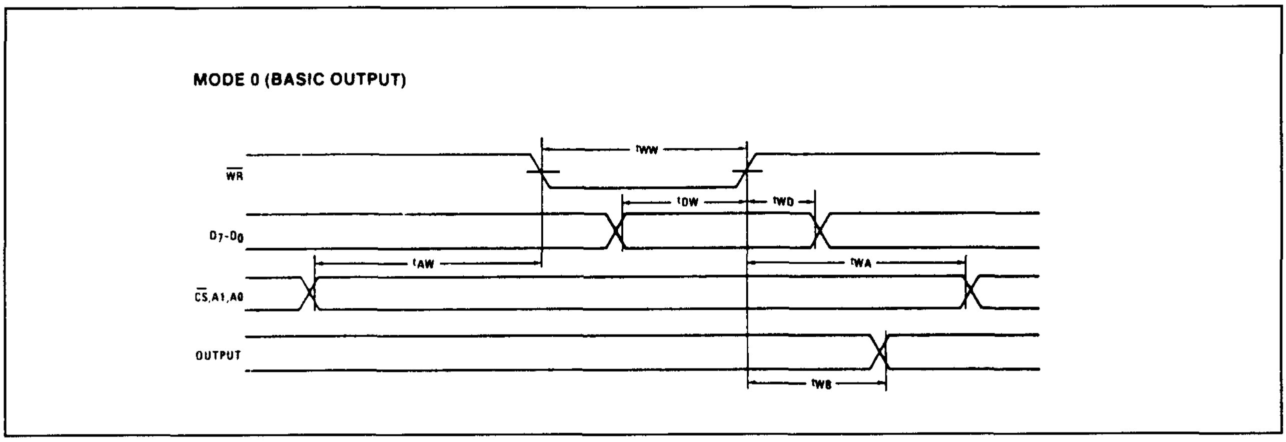
Note 1. Period of initial Reset pulse after power-on must be at least 50μsec. Subsequent Reset pulses may be 500ns minimum.

Tabel 9/2.4-13: Schakeltijden.

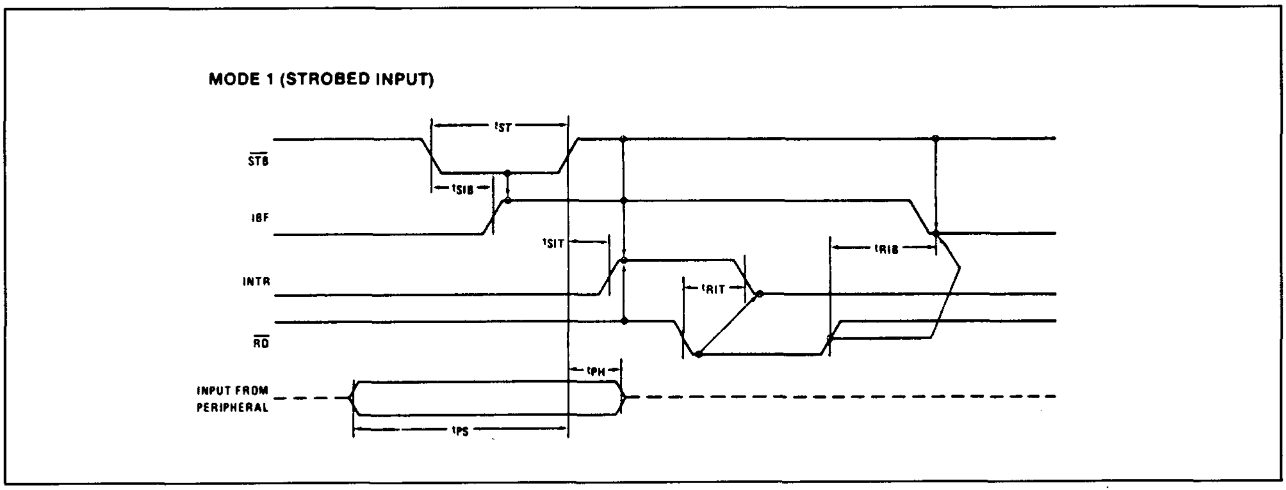
2.4 Type-beschrijving 80-familie



Figuur 9/2.4-26: Timing als ingang in mode 0.

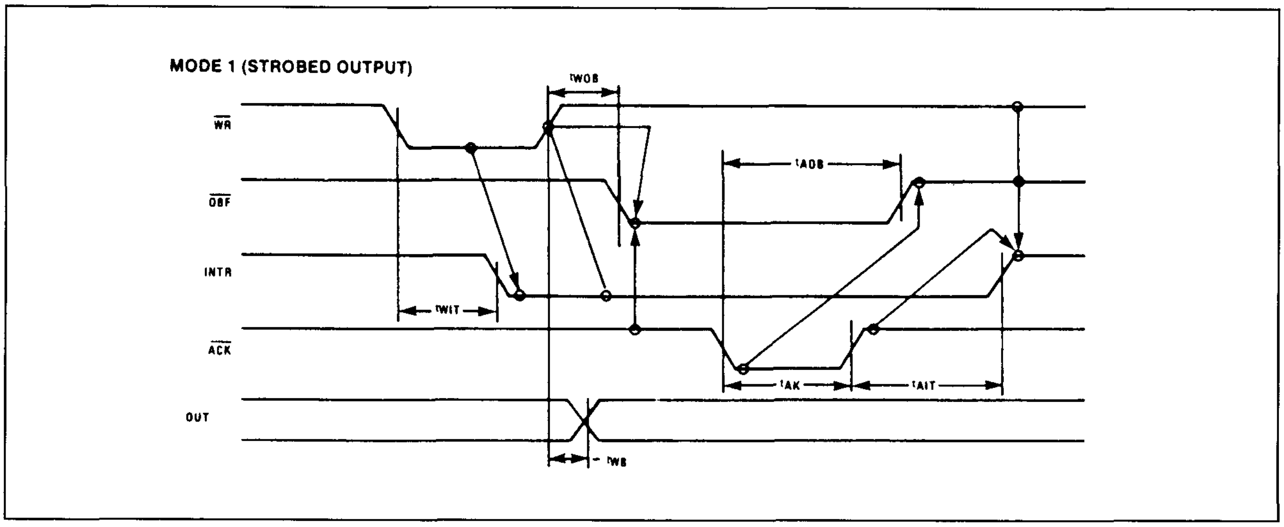


Figuur 9/2.4-27: Timing als uitgang in mode 0.

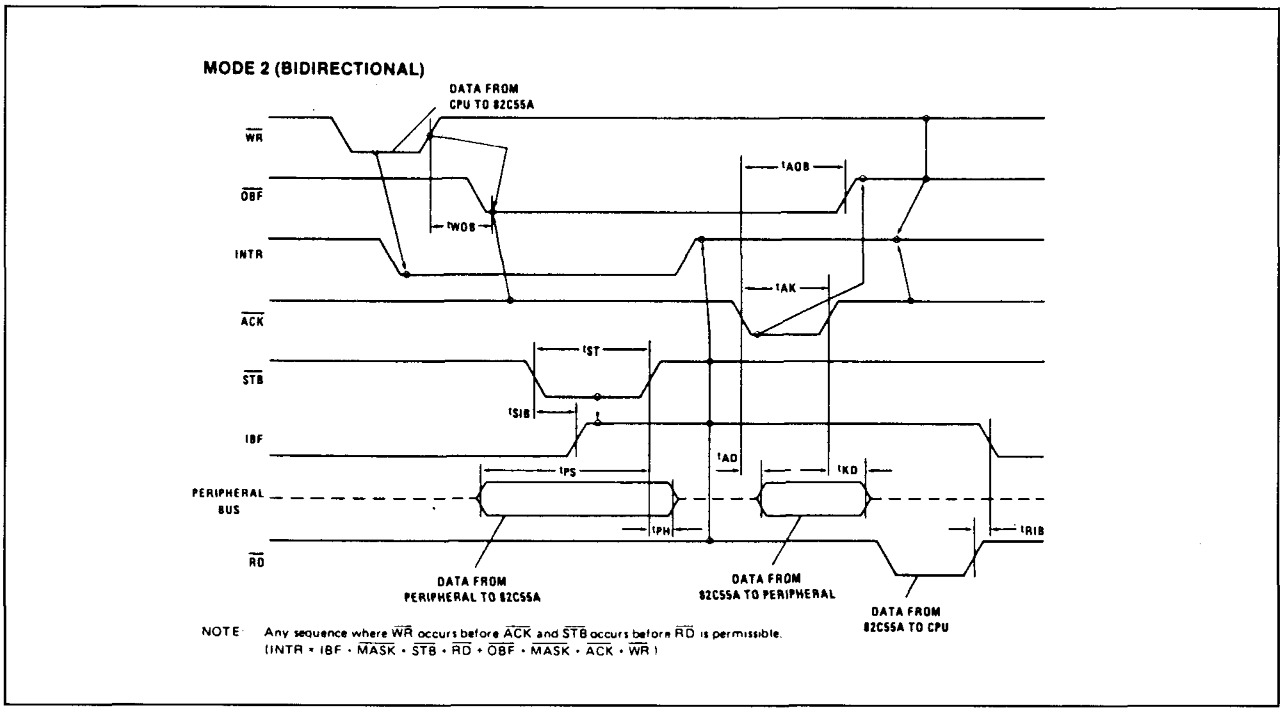


Figuur 9/2.4-28: Timing als ingang met strobe in mode 1.

2.4 Type-beschrijving 80-familie

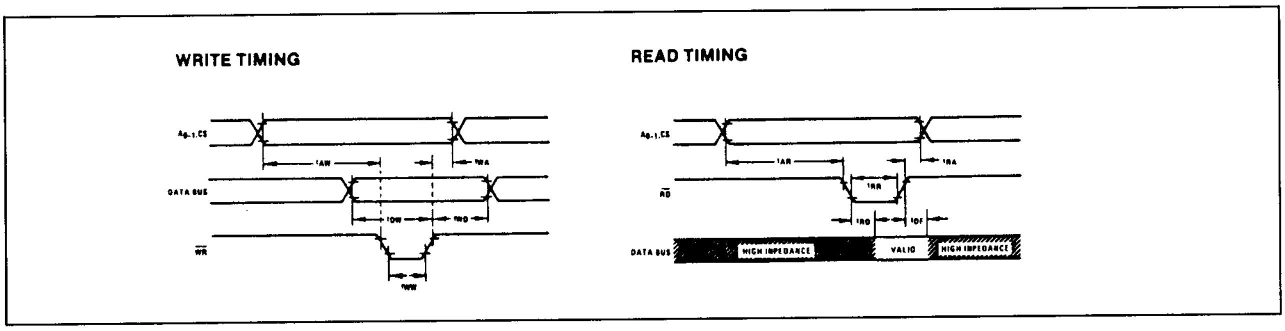


Figuur 9/2.4-29: Timing als uitgang met strobe in mode 1.



Figuur 9/2.4-30: Timing als bidirectionele I/O-bus in mode 2.

2.4 Type-beschrijving 80-familie



Figuur 9/2.4-31: Schrijf- respectievelijk leestiming.

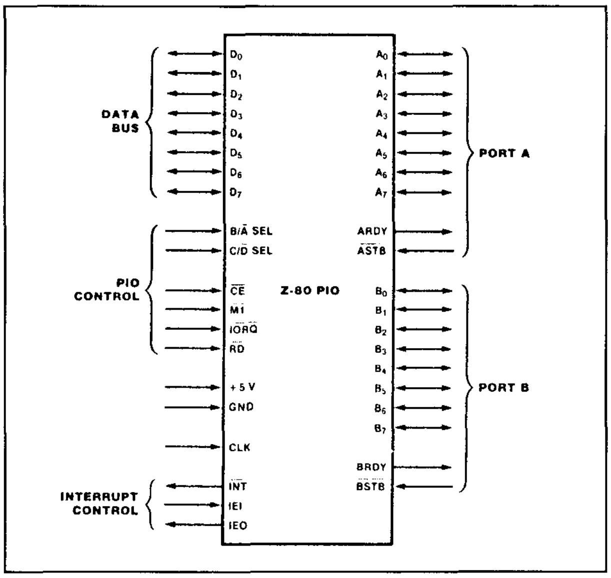
9/2.5

Type-beschrijving Z80-familie

Z80 PIO (Z8420)

Inleiding

De Z8420, ook wel Z80-PIO (Parallelle Input/Output Controller) genaamd, is een programmeerbare dual-port schakeling, waarmee een TTL-compatibele interface tussen de Z80 microcomputer en randapparatuur kan worden gevormd. De Z80-PIO kan met vele verschillende periferie-schakelingen samenwerken zonder dat daar externe logika voor nodig is. De meeste toetsenborden, printers, PROM programmeer-apparaten, paper tape readers en punchers enzovoorts zijn compatibel met de Z80-PIO.
Een belangrijk kenmerk van de Z80-PIO, waarmee deze controller zich van andere typen onderscheidt is, dat alle data-transporten tussen de CPU en de periferie-schakeling onder interrupt-control geschieden. De PIO is uitgerust met alle logika die nodig is voor een volledig geneste interrupt. De PIO maakt zodoende tijdens data-overdrachten volledig gebruik van de efficiënte interrupt-mogelijkheden van de Z80-CPU.
Een andere belangrijke eigenschap van de PIO is, dat de CPU kan worden geïnterrumpeerd op het moment dat gespecificeerde status-condities in de periferie-schakeling optreden. De PIO kan bijvoorbeeld worden geprogrammeerd om te interrumperen als zich een bepaalde alarmsituatie voordoet. Door deze mogelijkheid heeft de processor minder tijd nodig achter de oorzaak van de interruptie te komen.
Voor verbindingen met de buitenwereld beschikt de Z80-PIO over twee onafhankelijke in-/uitgangspoorten: Poort A en Poort B. Elke poort heeft 8 databits en 2 'handshake' signalen - Ready en Strobe - die het datatransport besturen (zie figuur 9/2.5-1).
De Ready uitgang maakt het randapparaat erop attent dat de poort klaar staat voor data-overdracht.
Door middel van de Strobe ingang meldt de periferie dat een data-overdracht heeft plaatsgevonden.

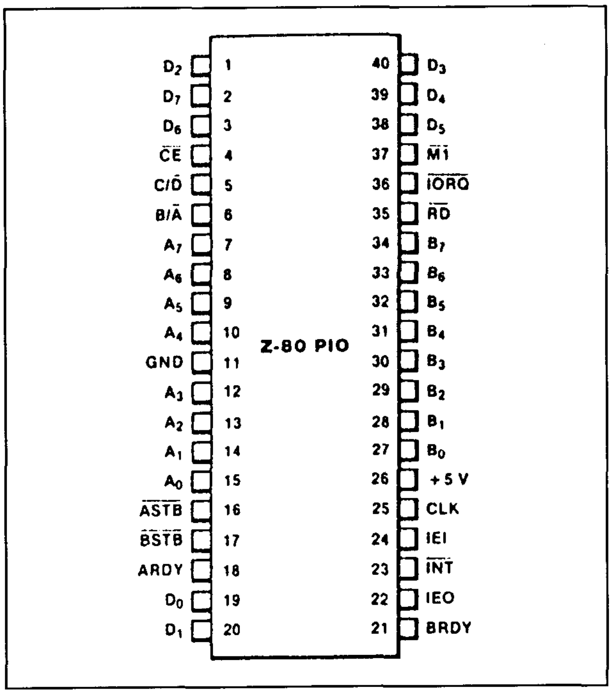


Figuur 9/2.5-1: Alle penfuncties van de Z80-PIO.

Kenmerken van de Z80

- maakt direkte interface tussen Z80 microcomputersystemen en randapparatuur mogelijk
- twee 8-bit parallelle I/O-poorten met Ready/Strobe handshake voor interrupt-control

- 4 programmeerbare bedrijfsmodes: byte input, byte output, byte input/output (alleen poort A) en bit input/output
- programmeerbare interrupts door middel van statuscondities in de periferie-schakeling
- standaard Z80-familie bus-request en serieschakeling van interrupt-requests met verschillende prioriteit mogelijk zonder externe logika
- met de 8 uitgangen van Poort B kunnen Darlington transistoren worden aangedreven (1,5 mA bij 1,5 V)
- enkele +5 V (±5 %) voeding
- leverbaar in NMOS en CMOS
- verschillende kloksnelheden:
  2,5 MHz voor Z8420 (Z80-PIO)
  4 MHz voor Z8420 A (Z80A-PIO)
  6 MHz voor Z8420 B (Z80B-PIO)
- 40-pens plastic of keramische DIL-behuizing (zie figuur 9/2.5-2), CMOS ook in 44-pens LCCC en PLCC
- normale (0 tot +70°C), industriële (−40 tot +85°C) en militaire (−55 tot +125°C) bedrijfstemperaturen



Figuur 9/2.5-2: Aansluitingen van de Z8420 (Z80-PIO).

- leveranciers:
  Zilog: Z8420, Z8420A, Z8420B
  Mostek: MK3881, MK3881A
  SGS-Thomson: Z8420, Z8420A, Z8420B

Aansluitpennen

- **A_0 tot en met A_7**
  Poort A Bus (bidirectioneel, 3-state).
  Over deze 8-bit bus wordt data, status of besturingsinformatie tussen Poort A van de PIO en een periferieschakeling (randapparaat) verstuurd. A_0 is het minst belangrijke bit van de Poort A databus.
- **ARDY**
  Register A Ready (uitgang, aktief HOOG).
  De betekenis van dit signaal hangt op de volgende manier af van de bedrijfsmode die voor Poort A is gekozen:
  Output Mode: dit signaal wordt aktief om aan te geven dat het uitgangsregister van Poort A werd geladen en dat de periferie databus stabiel is en klaar staat voor overdracht naar het randapparaat.
  Input Mode: dit signaal is aktief wanneer het ingangsregister van Poort A leeg is en klaar staat om data van het randapparaat te accepteren.
  Bidirectional Mode: dit signaal is aktief wanneer data beschikbaar is in het uitgangsregister van Poort A voor transport naar het randapparaat. In deze mode wordt geen data op de Poort A databus geplaatst, tenzij $\overline{ASTB}$ aktief is.
  Control Mode: dit signaal wordt geblokkeerd en op een LAAG niveau gehouden.
- **$\overline{ASTB}$**
  Poort A Strobe-puls van Periferie-schakeling (ingang, aktief LAAG).
  De betekenis van dit signaal is als volgt afhankelijk van de werking die voor Poort A wordt gekozen:
  Output Mode: de positieve flank van deze strobe wordt door de periferie gegeven om de ontvangst van data die via de PIO beschikbaar kwam, te bevestigen.
  Input Mode: de strobe wordt door de periferie geleverd om data vanuit de periferie

in het ingangsregister van Poort A te laden. Er wordt data in de PIO geladen wanneer dit signaal aktief is.
Bidirectional Mode: wanneer dit signaal aktief is, wordt data uit het uitgangsregister van Poort A op de bidirectionele databas van Poort A gezet. De positieve flank van de strobe bevestigt de ontvangst van de data.
Control Mode: de strobe wordt inwendig geblokkeerd.

- **B_0 tot en met B_7**
  Poort B Bus (bidirectioneel, 3-state).
  Over deze 8-bit bus wordt data, status of besturingsinformatie tussen Poort B van de PIO en een periferieschakeling (randapparaat) verstuurd. De databus van Poort B kan 1,5 mA leveren bij 1,5 V voor het aansturen van Darlington transistoren. B_0 is het minst belangrijke bit van de databus.
- **$B/\overline{A}$**
  Poort B of Poort A Select (ingang, HOOG = B).
  Deze pen bepaalt welke poort wordt bereikt gedurende een data-overdracht tussen de CPU en de PIO. Is deze pen LAAG dan wordt Poort A geselecteerd, is hij HOOG dan is het Poort B. Vaak wordt adresbit A_0 van de CPU voor deze functie gebruikt.
- **BRDY**
  Register B Ready (uitgang, aktief HOOG).
  Dit signaal komt overeen met ARDY, behalve dan dat in de bidirectionele mode van Poort A dit signaal HOOG is, wanneer het Poort A ingangsregister leeg is en klaar staat om data vanuit de periferieschakeling te ontvangen.
- **$\overline{BSTB}$**
  Poort B Strobe-puls van Periferie-schakeling (ingang, aktief LAAG).
  Dit signaal is gelijk aan $\overline{ASTB}$, behalve dat in de bidirectionele mode van Poort A dit signaal data uit de periferie in het ingangsregister van Poort A klokt.
- **$C/\overline{D}$**
  Control of Data Select (ingang, HOOG = C).
  Deze pen bepaalt de soort data-overdracht die tussen CPU en PIO moet worden uitgevoerd. Wanneer deze pen HOOG is tijdens een schrijfopdracht van de CPU, wordt de Z80 databus geïnterpreteerd als een commando voor de door de $B/\overline{A}$ Select-lijn gekozen poort. Een LAAG op deze pen betekent dat de Z80 databus wordt gebruikt voor datatransport tussen CPU en de PIO. Dikwijls wordt adresbit A_1 van de CPI voor deze functie gebruikt.
- **$\overline{CE}$**
  Chip Enable (ingang, aktief LAAG).
  Met een LAAG op deze pen wordt de PIO vrijgegeven om gedurende een schrijfcyclus commando's of data van de CPU te ontvangen of om tijdens een leescyclus data naar de CPU te sturen. Dit signaal wordt meestal gedecodeerd uit vier I/O poortnummers voor de A en B Poorten, data en control.
- **CLK**
  Systeem Clock (ingang).
  De Z80-PIO maakt gebruik van de standaard éénfase Z80 systeemklok.
- **D_0 tot en met D_7.**
  Z80-CPU Databus (bidirectioneel, 3-state).
  Deze bus wordt gebruikt om alle data en commando's tussen de Z80-CPU en de Z80-PIO te transporteren. D_0 is het minst belangrijke bit.
- **IEI**
  Interrupt Enable In (ingang, aktief HOOG).
  Dit signaal wordt gebruikt voor het vormen van een cascadeschakeling waarmee voor elk randapparaat een andere prioriteit mogelijk is: 'priority-interrupt daisy chain'. Een HOOG niveau op deze pen geeft aan dat er geen schakelingen met een hogere prioriteit worden bediend door een interrupt serviceroutine van de CPU.
- **IEO**
  Interrupt Enable Out (uitgang, aktief HOOG).
  Het IEO-signaal is het andere signaal dat nodig is voor de vorming van een prioriteits-cascadeschakeling. Het is alleen HOOG als IEI HOOG is en de CPU

geen interrupt van deze PIO bedient. Dit signaal blokkeert dus dat schakelingen met een lagere prioriteit een interrupt veroorzaken terwijl een schakeling met een hogere prioriteit door de CPU interrupt serviceroutine wordt bediend.

- **$\overline{INT}$**
  Interrupt Request (uitgang, open drain, aktief LAAG).
  Wanneer $\overline{INT}$ aktief is, vraagt de PIO aan de Z80-CPU of een interruptie mag plaatsvinden.
- **$\overline{IORQ}$**
  Input/Output Request (ingang vanuit de Z80-CPU, aktief LAAG).
  $\overline{IORQ}$ wordt samen met B/$\overline{A}$, C/$\overline{D}$, $\overline{CE}$ en $\overline{RD}$ gebruikt om commando's en data tussen de Z80-CPU en de Z80-PIO over te brengen. Wanneer $\overline{CE}$, $\overline{RD}$ en $\overline{IORQ}$ aktief zijn, levert de poort die door B/$\overline{A}$ wordt geadresseerd data aan de CPU (een leesoperatie). Wanneer $\overline{CE}$ en $\overline{IORQ}$ aktief zijn, maar $\overline{RD}$ niet, dan wordt data of besturingsinformatie (gespecificeerd door C/$\overline{D}$) uit de CPU geschreven naar de door B/$\overline{A}$ geadresseerde poort. Tevens wordt, wanneer $\overline{IORQ}$ en $\overline{MI}$ gelijktijdig aktief zijn, door de CPU een interruptie bevestigd. De interrumperende poort plaatst automatisch zijn interrupt-vector op de databus van de CPU als hij de schakeling met de hoogste prioriteit is die om een interruptie vraagt.
- **$\overline{MI}$**
  Machine Cycle (ingang vanuit de CPU, aktief LAAG).
  Dit signaal wordt als synchronisatie-puls gebruikt om sommige interne PIO-handelingen te besturen. Wanneer zowel het $\overline{MI}$ als het $\overline{RD}$ signaal aktief zijn, haalt de Z80-CPU een instruktie op uit het geheugen. Omgekeerd, wanneer zowel $\overline{MI}$ als $\overline{IORQ}$ aktief zijn, bevestigt de CPU een interruptie. Bovendien heeft $\overline{MI}$ nog twee functies binnen de Z80-PIO: het synchroniseert de PIO interruptlogika en wanneer $\overline{MI}$ optreedt zonder aktief $\overline{RD}$ of $\overline{IORQ}$ signaal, wordt de PIO gereset.
- **$\overline{RD}$**
  Read Cycle Status (ingang vanuit de Z80-CPU, aktief LAAG).
  Wanneer $\overline{RD}$ aktief is, of wanneer een I/O-operatie aan de gang is, wordt RD met B/$\overline{A}$, C/$\overline{D}$ $\overline{CE}$ en $\overline{IORQ}$ gebruikt om data van de PIO over te brengen naar de CPU.

Bedrijfsmodes
De poorten van de Z80-PIO zijn programmeerbaar voor werken op vier verschillende manieren: byte output (Mode 0), byte input (Mode 1), byte input/output (Mode 2) en bit input/output (Mode 3).
In Mode 0 kan zowel Poort A als Poort B worden geprogrammeerd als data-uitgang. Beide poorten hebben uitgangsregisters die individueel door de CPU worden geadresseerd. Ten alle tijde kan data naar een van de poorten worden geschreven. Wanneer data naar een poort is geschreven, laat een aktieve Ready uitgang aan het externe apparaat weten dat data op de betreffende poort beschikbaar is voor transport naar de buitenwereld. Na de data-overdracht antwoordt het externe apparaat met een aktief Strobesignaal dat, indien enabled, een interrupt genereert.
In Mode 1 kan zowel Poort A als Poort B als ingang worden geconfigureerd. Elke poort heeft een ingangsregister dat door de CPU geadresseerd kan worden. Wanneer de CPU data van een poort inleest, zet de PIO het Ready-signaal dat door het externe apparaat gedetecteerd kan worden. Hierna zet het externe apparaat data op de I/O-lijnen en 'strobe't de I/O-poort die op zijn beurt data in het Port Input Register latcht, Ready reset en het Interrupt Request triggert, als dat enabled is. De CPU kan de ingangsdata te allen tijde lezen, waardoor Ready weer geset wordt.
Mode 2 is bidirectioneel en maakt gebruik van Poort A plus de handshake signalen van beide poorten. Poort B moet in Mode 3 worden gezet en 'uit' worden gemaskeerd. Poort A wordt gebruikt als data-ingang en als data-uitgang. Behalve het feit dat data alleen

2.5 Type-beschrijving Z80-familie

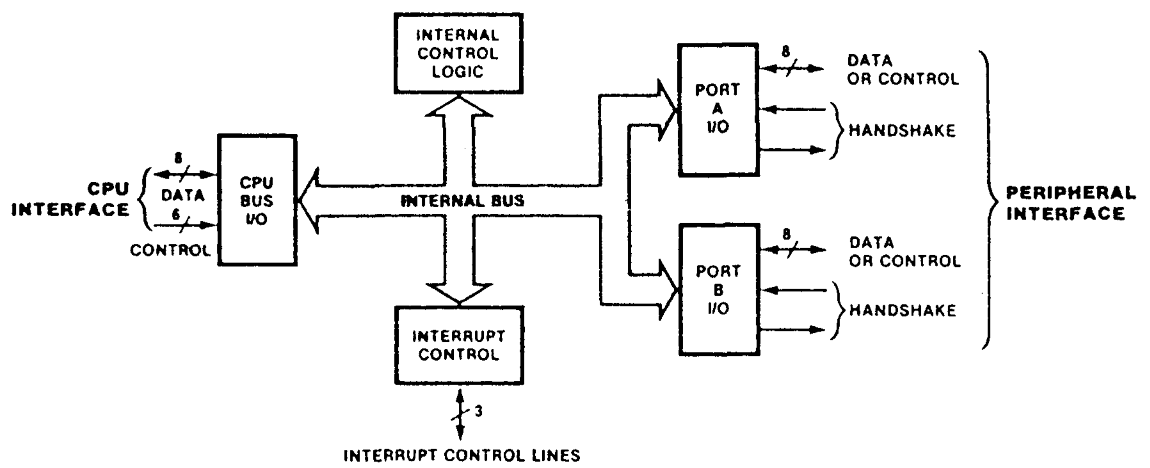
op de Poort A bus mag staan als $\overline{ASTB}$ LAAG is, komt de werking als data-uitgang overeen met Mode 0. De werking als ingang komt overeen met Mode 1, behalve dan dat de data-ingang de handshake signalen en de interrupt (indien enabled) van Poort B gebruikt.
Beide poorten kunnen in Mode 3 worden gebruikt. In deze mode worden de individuele bits benoemd tot ingang of uitgang. Hierdoor kan elke poort beschikken over maximaal acht onafhankelijke, individueel bepaalde bits. In bedrijf worden Ready en Strobe niet gebruikt. In plaats daarvan wordt een interrupt gegenereerd als de toestand van één van de ingangen verandert of als alle ingangen veranderen. De eisen voor het opwekken van een interrupt worden tijdens het programmeren bepaald: het aktieve niveau wordt als HOOG of LAAG gespecificeerd, terwijl de logische conditie afhankelijk wordt gemaakt van één ingang aktief (OR) of alle ingangen aktief (AND). Als de poort bijvoorbeeld wordt geprogrammeerd voor aktief LAGE ingangen en de logische functie AND is, dan moeten alle ingangen van de gespecificeerde poort LAAG gaan om een interrupt te veroorzaken.

De data-uitgangen worden bestuurd door de CPU en kunnen op elk tijdstip worden beschreven of veranderd.

Elk bit kan onafhankellijk van de andere worden gemaskeerd.
De handshake-signalen worden niet gebruikt in Mode 3; Ready wordt LAAG gehouden en Strobe wordt geblokkeerd.
Wanneer de Z80-PIO interrupts worden gebruikt, moet de Interrupt Mode van de Z80-CPU op Mode 2 worden gezet.

Interne struktuur

De interne struktuur van de Z8420 bestaat uit een Z80-CPU businterface, interne besturingslogika, I/O-logika voor de poorten A en B en interrupt control-logika (figuur 9/2.5-3).
De CPU businterface-logika maakt het mogelijk dat de Z80-PIO direkt en zonder externe logika op de Z80-CPU kan worden aangesloten. De interne besturingslogika synchroniseert de databus van de CPU op de periferie-interfaces (Poort A en Poort B).
De beide ingangs-/uitgangspoorten (A en B) zijn virtueel identiek en worden gebruikt voor direkte aansluiting van de periferie-apparatuur.

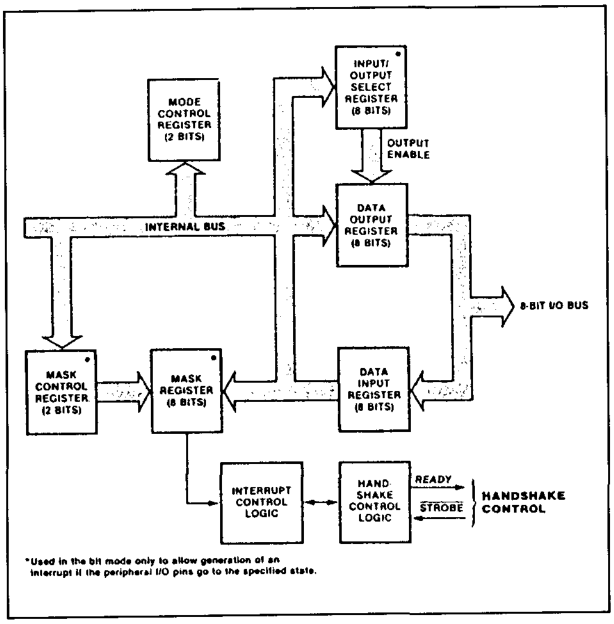


Figuur 9/2.5-3: Vereenvoudigd blokschema.

2.5 Type-beschrijving Z80-familie

Poort logika

Elke poort bevat aparte ingangs- en uitgangsregisters, handshake-besturingslogika en de registers die in figuur 9/2.5-4 te zien zijn. Voor alle data-overdrachten tussen de periferie-schakeling en de CPU wordt gebruik gemaakt van de in- en uitgangsregisters. De bij elke poort behorende handshake-logika regelt de data-transporten door de in- en uitgangsregisters. Het mode-control register (2 bits) bepaalt één van de vier programmeerbare bedrijfsmodes.



Figuur 9/2.5-4: Blokschema met alle registers die voor de I/O van één poort nodig zijn.

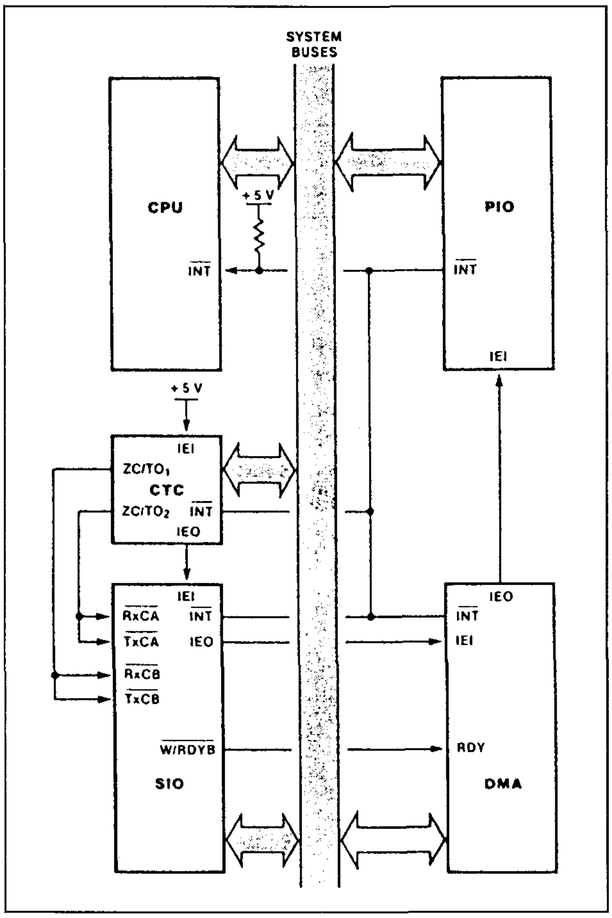
De control-mode (Mode 3) maakt gebruik van de resterende registers. Het input/output-controlregister specificeert welke van de acht databits in de poort uitgangen moeten zijn en geeft deze bits vrij; de overblijvende bits zijn ingangen. Het mask-register en het mask-controlregister regelen de interrupt-condities voor Mode 3. Het maskregister bepaalt welke van de bits in de poort aktief zijn en welke als passief worden gemaskeerd.
Het mask-controlregister specificeert twee condities: ten eerste of de aktieve toestand van het ingangsbit HOOG of LAAG is en ten tweede of een interrupt wordt gegenereerd wanneer één willekeurig ingangsbit aktief is (OR-conditie) of wanneer **alle** niet-gemaskeerde bits aktief zijn (AND-conditie).

Interrupt besturingslogika

Het gedeelte met de interrupt besturingslogika behandelt de volledige CPU interrupt-protocol voor geneste interruptstrukturen. De prioriteit van een randapparaat wordt bepaald door zijn plaats in de interrupt-cascade ('daisy chain configuration'). Elke PIO beschikt over twee lijnen (IEI en IEO) om een dergelijke cascadeschakeling te vormen. Het apparaat dat het dichtst bij de CPU is geplaatst heeft de hoogste prioriteit. Binnen een PIO hebben de interrupts van Poort A een hogere prioriteit dan die van Poort B. In de byte-ingangsmode, byte uitgangsmode of bidirectionele mode kan telkens wanneer de periferie een nieuwe byte-overdracht vraagt, een interrupt worden gegenereerd. In de bit-controlmode is een interrupt mogelijk wanneer de status van de periferie overeenkomt met een geprogrammeerde waarde. De PIO maakt volledige besturing van geneste interrupts mogelijk. Dat wil zeggen dat apparatuur met een lagere prioriteit geen schakelingen met een hogere prioriteit mag interrumperen, wanneer de interrupt-serviceroutines hiervan nog niet door de CPU zijn uitgevoerd. Omgekeerd mag het wel: apparatuur met een hogere prioriteit mag serviceroutines van schakelingen met een lagere prioriteit wel onderbreken.
Wanneer de CPU (in interrupt Mode 2) een interrupt accepteert, moet het interrumperende apparaat een 8-bit interrupt-vector aan de CPU verstrekken. Deze vector vormt een pointer naar een plaats in het geheugen waar het adres van de interrupt-serviceroutine staat. De 8-bit vector van het interrumperende apparaat vormt de minst belangrijke 8 bits van de indirekte pointer, terwijl het I-register in de CPU de meest belangrijke 8 bits van de pointer levert. Elke soort (A en B) heeft een onafhankelijke interrupt-vector. Het minst belangrijke bit van de vector wordt in de PIO automatisch op 0 gezet,

2.5 Type-beschrijving Z80-familie

omdat de pointer voor een compleet 16-bit adres naar twee naast elkaar liggende geheugenplaatsen moet wijzen.
In tegenstelling tot de andere Z80-periferie schakelingen (zie ook figuur 9/2.5-5) geeft de PIO de interrupts niet onmiddellijk na programmering vrij. De PIO wacht totdat $\overline{MI}$ LAAG gaat (dat wil zeggen: gedurende het ophalen van een opcode – 'opcode fetch'). Deze voorwaarde is niet belangrijk voor de Z80-omgeving, maar kan het wel zijn indien een andere CPU wordt toegepast. De PIO decodeert de RETI (RETurn from Interrupt) instruktie direkt vanaf de CPU databus, zodat elke PIO in het systeem te allen tijde weet of hij door de CPU interrupt-serviceroutine wordt bediend. Er is verder geen communicatie met de CPU nodig.



Figuur 9/2.5-5: De PIO in een typische Z80-omgeving.

CPU Bus I/O-logika

De bus-interface logika van de Z80-PIO sluit direkt aan op de Z80-CPU, zodat hiervoor geen externe logika nodig is. Voor grote systemen zouden echter adres-decoders en/of buffers nodig kunnen zijn.

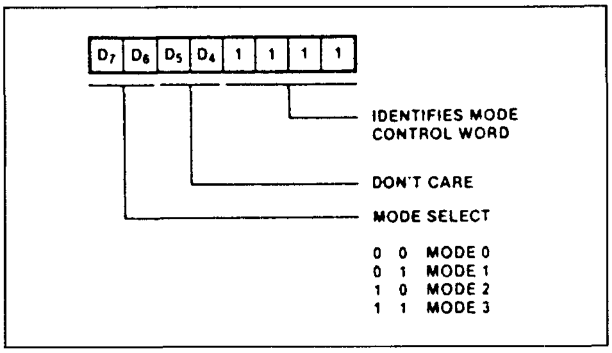
Interne besturingslogika

Deze logika ontvangt tijdens het programmeren de control-woorden voor elke poort en bestuurt op zijn beurt de bedrijfsfuncties van de Z80-PIO. De besturingslogika synchroniseert de poort-handelingen, regelt de poortmode en poort-adressering, kiest de lees/schrijf functie en voorziet de poorten en de interrupt-logika van geschikte commando's. De Z80-PIO ontvangt geen schrijfopdracht van de CPU; in plaats daarvan genereren de $\overline{RD}$, $\overline{CE}$, C/$\overline{D}$ en $\overline{IORQ}$ signalen de schrijfopdracht inwendig.

Programmeren

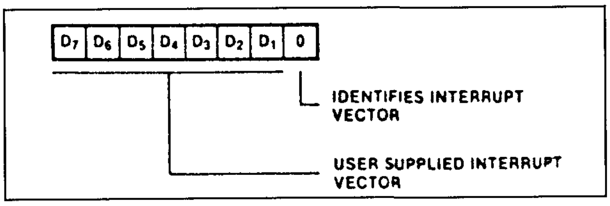
- *Mode 0, 1 of 2 (byte-ingang, -uitgang of bidirectioneel)*

  Voor het programmeren van een poort voor Mode 0,1, of 2 zijn twee woorden per poort nodig. Deze woorden zijn:
  Een **Mode Control Woord** selecteert de bedrijfsmode van de poort (figuur 9/2.5-6). Dit woord kan altijd worden geschreven.
  Een **Interrupt Vector.** De Z80-PIO is speciaal ontworpen om samen met de Z80-CPU in interrupt-mode 2 te worden gebruikt (figuur 9/2.5-7). Wanneer er inter-



Figuur 9/2.5-6: Mode Cotrol-woord.

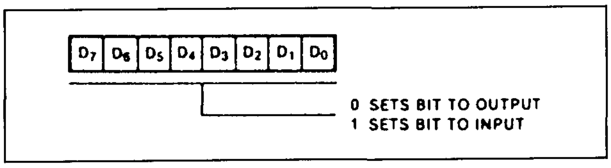
2.5 Type-beschrijving Z80-familie



Figuur 9/2.5-7: Interrupt Vector-woord.

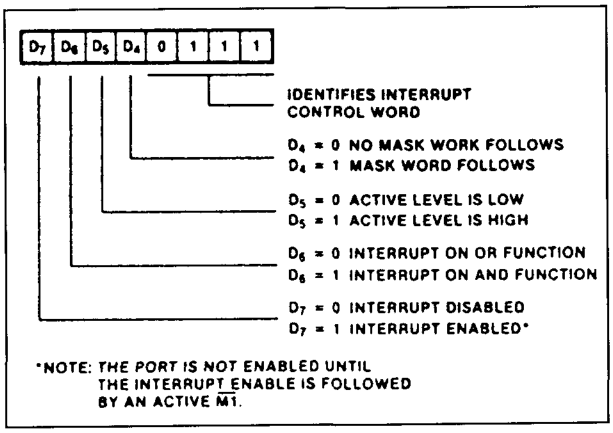
rupts zijn vrijgegeven, moet de PIO een interrupt vector leveren.

- *Mode 3 (bit ingang/uitgang)*
Voor het programmeren van een poort voor Mode 3 zijn een control-woord, een vector (als er interrupts zijn vrijgegeven) en drie extra woorden nodig, die als volgt worden omschreven:
I/O Register Control. Wanneer Mode 3 is gekozen moet het mode control-woord worden gevolgd door nog een control-woord dat het I/O control-register bedient, dat op zijn beurt bepaalt welke poortlijnen ingang zijn en welke uitgang (figuur 9/2.5-8).



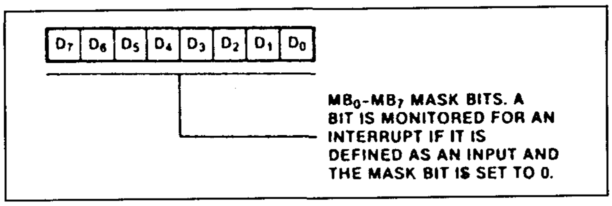
Figuur 9/2.5-8: I/O Register Control-woord.

Interrupt Control-woord. In Mode 3 wordt geen handshake gebruikt. Er worden interrupts gegenereerd als gevolg van een logische functie van de niveaus van de ingangssignalen. Het interrupt control-woord bepaalt de logische voorwaarden en de logische niveaus die voor het opwekken van een interruptie nodig zijn. Er kunnen twee logische voorwaarden of functies worden gebruikt: AND (er wordt een interrupt getriggerd als alle ingangsbits naar het aktieve niveau veranderen) en OR (er wordt een interrupt getriggerd als één willekeurig ingangsbit naar het aktieve niveau verandert). Zoals in figuur 9/2.5-9 te zien is, wordt de logische functie



Figuur 9/2.5-9: Interrupt Control woord.

bepaald door bit D_6. Het aktieve niveau van de ingangsbits kan HOOG of LAAG zijn en wordt bepaald door bit D_5.
Mask Control-woord. Dit woord bedient het mask control-register en maakt het mogelijk om alle niet-gebruikte bits te maskeren. Als er bits moeten worden gemaskeerd, moet bit D_4 worden gezet. Is D_4 gezet, dan dient het volgende woord dat naar de poort wordt geschreven, een mask control-woord te zijn (figuur 9/2.5-10).

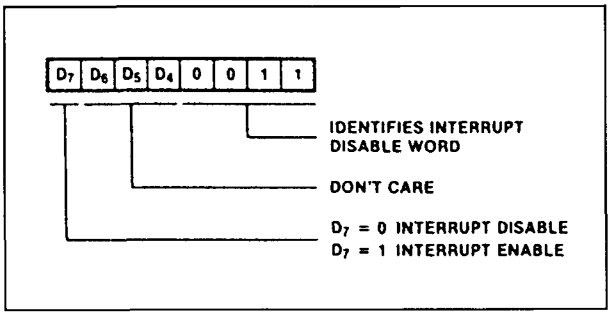


Figuur 9/2.5-10: Mask Control-woord.

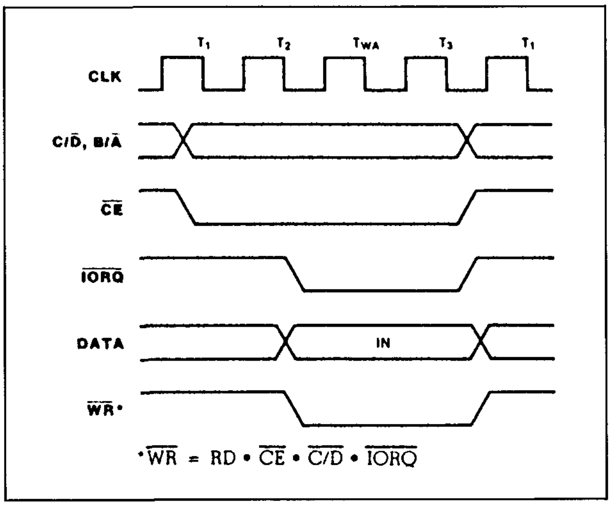
Interrupt Disable. Het al dan niet interrumperen door een poort kan met nog een ander control-woord worden geregeld. Dit interrupt disable-woord kan worden gebruikt zonder dat de rest van het interrupt control-woord moet worden veranderd (figuur 9/2.5-11).

Timing
De volgende tijddiagrammen laten de specifieke timing zien in een Z80-omgeving. Voor nauwkeuriger specificaties wordt verwezen naar het uitgebreide AC tijddiagram.

2.5 Type-beschrijving Z80-familie

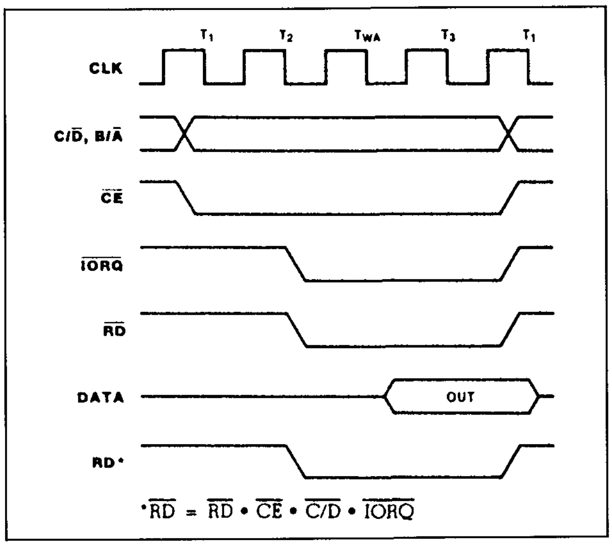


Figuur 9/2.5-11: Interrupt Disable-woord.

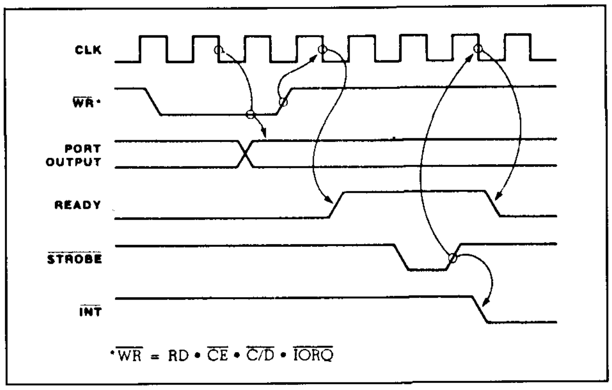


Figuur 9/2.5-12: Timing en golfvormen bij het schrijven.

- *Schrijf-cyclus*
  In figuur 9/2.5-12 is de timing te zien die betrekking heeft op het programmeren van de Z80-PIO of op het schrijven van data naar een van de poorten. Gedurende het schrijven naar de PIO zijn behalve de automatisch tussengevoegde T_{WA} geen Wait states toegestaan. De PIO ontvangt geen echt write-signaal; hij genereert dit zelf intern bij gebrek aan een aktief $\overline{RD}$-signaal.
- *Lees-cyclus*
  Figuur 9/2.5-13 illustreert de timing bij het uitlezen van de data die door een externe schakeling op één van de Z80-PIO poorten is gezet. Er zijn bij het uitlezen van de PIO geen Wait states toegestaan behalve de automatisch tussengevoegde T_{WA}.
- *Uitgangs-mode (Mode 0)*
  Een uitgangs-cyclus (figuur 9/2.5-14) wordt altijd gestart door het uitvoeren van een uitgangs-instruktie door de CPU. De $\overline{WR}$*-puls van de CPU latcht de data van de CPU-bus in het uitgangsregister van de geselecteerde poort. De $\overline{WR}$*-puls zet de Ready-vlag na een neergaande flank van CLK, waarmee wordt aangegeven dat er



Figuur 9/2.5-13: Timing bij het uitlezen.



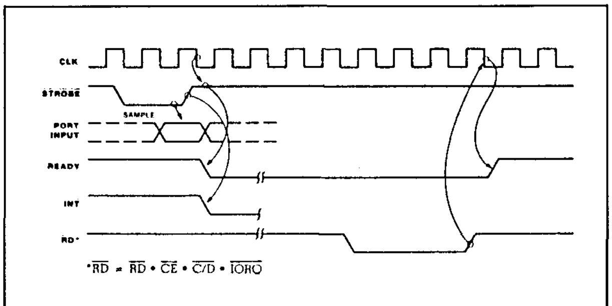
Figuur 9/2.5-14: Mode 0 uitgangs-timing

data beschikbaar is. Ready blijft aktief totdat de positieve flank van de Strobe-lijn is ontvangen, hetgeen wil zeggen dat data door de periferie werd overgenomen. De positieve flank van de Strobe-puls gene-

2.5 Type-beschrijving 80-familie

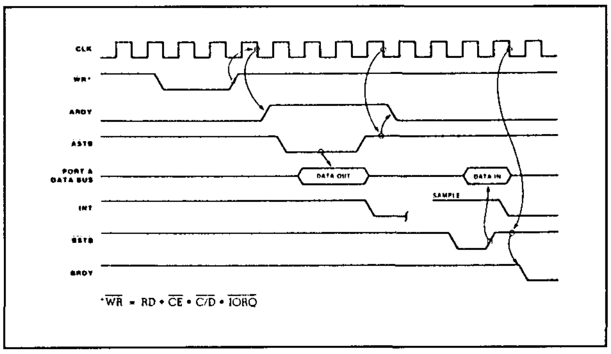
reert een $\overline{INT}$ als de interrupt enable flipflop was gezet en als deze schakeling de hoogste prioriteit heeft.

- *Ingangs-mode (Mode 1)*
  Wanneer $\overline{STROBE}$ LAAG gaat, wordt data in het ingangsregister van de geselecteerde poort geladen (figuur 9/2.5-15). De volgende opgaande flank van Strobe aktiveert INT, als tenminste Interrupt Enable is gezet en dit de schakeling met de hoogste prioriteit is. De volgende dalende flank van CLK brengt Ready weer in een niet-aktieve toestand, waarmee wordt aangegeven dat het ingangsregister vol is en geen nieuwe data kan accepteren voordat de CPU een leescyclus heeft uitgevoerd. Wanneer een lees-operatie is volbracht, wordt Ready na een positieve flank van $\overline{RD}$ op de volgende neergaande flank van CLK gezet. Op dat moment kan nieuwe data in de PIO worden geladen.



Figuur 9/2.5-15: Mode 1 ingangs-timing.

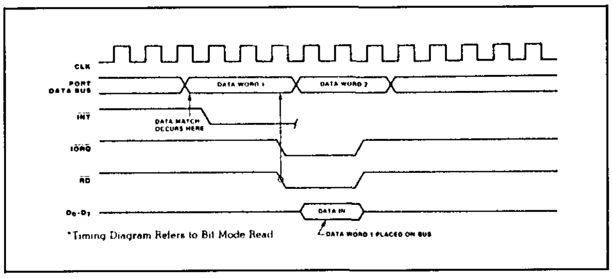
- *Bidirectionele mode (Mode 2)*
  Dit is een combinatie van de Modes 0 en 1, waarbij alle vier handshake-lijnen en de acht in-/uitgangslijnen van Poort A worden gebruikt (zie figuur 9/2.5-16). Poort B moet in de bit mode worden gezet en de ingangen hiervan moeten worden gemaskeerd. De handshake-lijnen van Poort A worden gebruikt voor output control en de lijnen van Poort B voor input control. Wanneer er interrupts optreden wordt tijdens het zenden de vector van poort A gebruikt en tijdens het ontvangen de vector van Poort B.



Figuur 9/2.5-16: Mode 2 bidirectionee timing.

Er mag alleen data op de bus van Poort A komen als $\overline{ASTB}$ LAAG is. De opgaande flank van deze strobe kan worden gebruikt om data in de periferie-schakeling te latchen.

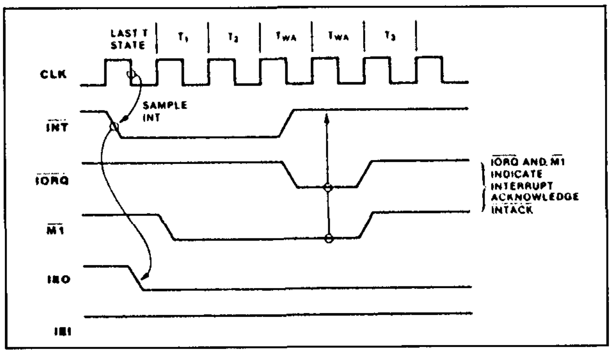
- *Bit-mode (Mode 3)*
  Bij de bit-mode wordt geen gebruik gemaakt van de handshake-signalen en kan te allen tijde een normale schrijf- of leesoperatie op de poort worden uitgevoerd. Wanneer wordt geschreven, wordt data met dezelfde timing als bij de uitgangsmode in de uitgangsregisters gelatcht (figuur 9/2.5-17). Wanneer de PIO wordt uitgelezen, wordt de data die naar de CPU wordt teruggevoerd, samengesteld uit data van het uitgangsregister van die poort data-lijnen die als *uitgang zijn* benoemd en data van het ingangsregister van die poort data-lijnen die als ingang zijn benoemd. Het ingangsregister bevat data die onmiddellijk voor de dalende flank van $\overline{RD}$ aanwezig was. Er wordt een interrupt gegenereerd als de interrupts van de poort zijn vrijgegeven en de data-lijnen



Figuur 9/2.5-17: Mode 3 bit-mode timing.

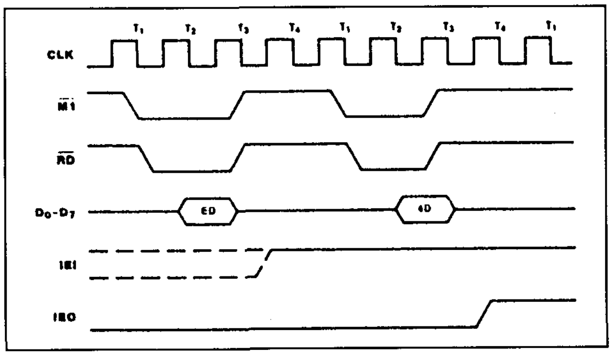
van de poort voldoen aan de logische vergelijking die door de 8-bit mask registers en de 2-bit mask control-registers worden bepaald. Als Poort A echter in de bidirectionele mode werd geprogrammeerd, levert Poort B geen interrupt in de bit-mode en moet daarom worden afgevraagd.

- *Timing bij Interrupt Acknowledge*
  Gedurende de $\overline{\mathrm{M1}}$-tijd worden periferie-controllers belet hun interrupt enable status te veranderen, waardoor het Interrupt Enable-signaal door de cascade-schakeling kan lopen. De periferie-schakeling die gedurende $\overline{\mathrm{INTACK}}$ IEI HOOG heeft en IEO LAAG plaatst in die tijd een voorgeprogrammeerde 8-bit interrupt vector op de databus (figuur 9/2.5-18). IEO wordt LAAG gehouden totdat door de CPU een Return From Interrupt (RETI) instruktie wordt uitgevoerd terwijl IEI HOOG is. De 2-byte RETI-instruktie wordt hiertoe intern door de PIO gedecodeerd.



Figuur 9/2.5-18: Interrupt Acknowledge timing.

- *Return From Interrupt-cyclus*
  Indien een Z80 periferie-schakeling geen interrupt heeft uitstaan en niet wordt bediend, is zijn IEO = IEI. Als zijn interrupt bediend wordt (dat wil zeggen dat hij al een interrupt heeft gegeven en dat een interrupt acknowledge werd ontvangen) is zijn IEO altijd LAAG, waardoor schakelingen met een lagere prioriteit worden belet te interrumperen. Als hij een interrupt heeft uitstaan die nog niet werd bevestigd (acknowledged), is IEO = LAAG tenzij de



Figuur 9/2.5-19: Return From Interrupt timing.

eerste byte van een 2-byte opcode werd gedecodeerd als 'ED' (figuur 9/2.5-19). In dat geval gaat IEO HOOG totdat de volgende byte van de opcode wordt gedecodeerd, waarna IEO weer LAAG gaat. Als de tweede byte van de opcode een '4D' was, was de opcode een RETI-instruktie. Nadat een 'ED' opcode is gedecodeerd is alleen van de periferie-schakeling die heeft geinterrumpeerd en die op dat moment bediend wordt de IEI HOOG en de IEO LAAG. Deze schakeling heeft de hoogste prioriteit in de cascade-schakeling die een interrupt acknowledge heeft ontvangen. Alle andere periferieën hebben IEI = IEO. Als de volgende gedecodeerde byte van de opcode een '4D' is, reset deze periferie-schakeling zijn 'interrupt under service' conditie.

Overige kenmerken

In figuur 9/2.5-20 en de tabellen 9/2.5-1 tot en met 9/2.5-4 zijn de overige elektrische kenmerken en schakeltijden van de Z8420 te zien.

Z80CPIO (Z84C20)

Inleiding

Van de Z80 PIO wordt door Zilog, SGS-Thomson en Toshiba ook een CMOS-versie vervaardigd die uiteraard veel minder stroom verbruikt dan de NMOS-versie.
De aansluitingen van de Z84C20 zijn iden-

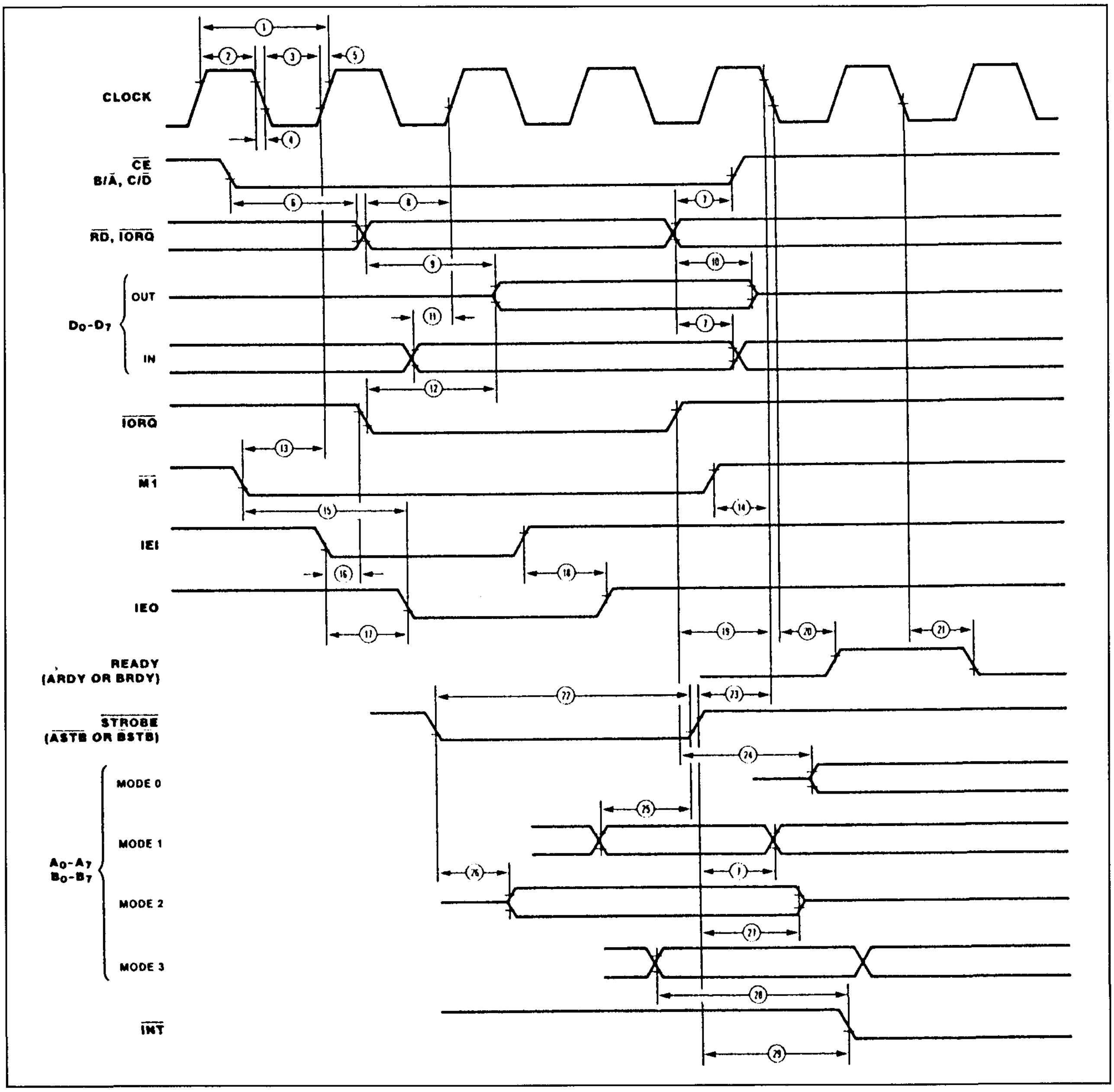
2.5 Type-beschrijving Z80-familie

Number	Symbol	Parameter	Z-80 PIO Min (ns)	Z-80 PIO Max (ns)	Z-80A PIO Min (ns)	Z-80A PIO Max (ns)	Z-80B PIO Min (ns)	Z-80B PIO Max (ns)	Comment
1	TcC	Clock Cycle Time	400	[1]	250	[1]	165	[1]	
2	TwCh	Clock Width (High)	170	2000	105	2000	65	2000	
3	TwCl	Clock Width (Low)	170	2000	105	2000	65	2000	
4	TfC	Clock Fall Time		30		30		20	
5	TrC	Clock Rise Time		30		30		20	
6	TsCS(RI)	$\overline{CE}$, B/$\overline{A}$, C/$\overline{D}$ to $\overline{RD}$, $\overline{IORQ}$ ↓ Setup Time	50		50		50		[6]
7	Th	Any Hold Times for Specified Setup Time	0		0		0	0	
8	TsRI(C)	$\overline{RD}$, $\overline{IORQ}$ to Clock ↑ Setup Time	115		115		70		
9	TdRI(DO)	$\overline{RD}$, $\overline{IORQ}$ ↓ to Data Out Delay		430		380		300	[2]
10	TdRI(DOs)	$\overline{RD}$, $\overline{IORQ}$ ↑ to Data Out Float Delay		160		110		70	
11	TsDI(C)	Data In to Clock ↑ Setup Time	50		50		40		CL = 50 pF
12	TdIO(DOI)	$\overline{IORQ}$ ↓ to Data Out Delay (INTACK Cycle)	340		160		120		[3]
13	TsM1(Cr)	$\overline{M1}$ ↓ to Clock ↑ Setup Time	210		90		70		
14	TsM1(Cf)	$\overline{M1}$ ↑ to Clock ↓ Setup Time ($\overline{M1}$ Cycle)	0		0		0		[8]
15	TdM1(IEO)	$\overline{M1}$ ↓ to IEO ↓ Delay (Interrupt Immediately Preceding $\overline{M1}$ ↓)		300		190		100	[5, 7]
16	TsIEI(IO)	IEI to $\overline{IORQ}$ ↓ Setup Time (INTACK Cycle)	140		140		100		[7]
17	TdIEI(IEOf)	IEI ↓ to IEO ↓ Delay		190		130		120	[5] CL = 50 pF
18	TdIEI(IEOr)	IEI ↑ to IEO ↑ Delay (after ED Decode)		210		160		160	[5]
19	TcIO(C)	$\overline{IORQ}$ ↑ to Clock ↓ Setup Time (To Activate READY on Next Clock Cycle)	220		200		170		
20	TdC(RDYr)	Clock ↓ to READY ↑ Delay	200		190		170		[5] CL = 50 pF
21	TdC(RDYf)	Clock ↓ to READY ↑ Delay	150		140		120		[5]
22	TwSTB	$\overline{STROBE}$ Pulse Width	150		150		120		[4]
23	TsSTB(C)	$\overline{STROBE}$ ↑ to Clock ↓ Setup Time (To Activate READY on Next Clock Cycle)	220		220		150		[5]
24	TdIO(PD)	$\overline{IORQ}$ ↑ to PORT DATA Stable Delay (Mode 0)		200		180		160	[5]
25	TsPD(STB)	PORT DATA to $\overline{STROBE}$ ↑ Setup Time (Mode 1)	260		230		190		
26	TdSTB(PD)	$\overline{STROBE}$ ↓ to PORT DATA Stable (Mode 2)		230		210		180	[5]
27	TdSTB(PDr)	$\overline{STROBE}$ ↑ to PORT DATA Float Delay (Mode 2)		200		180		160	CL = 50 pF
28	TdPD(INT)	PORT DATA Match to $\overline{INT}$ ↓ Delay (Mode 3)		540		490		430	
29	TdSTB(INT)	$\overline{STROBE}$ ↑ to $\overline{INT}$ ↓ Delay		490		440		350	

NOTES:
[1] TcC = TwCh + TwCl + TrC + TfC.
[2] Increase TdRI(DO) by 10 ns for each 50 pF increase in load up to 200 pF max.
[3] Increase TdIO(DOI) by 10 ns for each 50 pF, increase in loading up to 200 pF max.
[4] For Mode 2: TwSTB > TsPD(STB).
[5] Increase these values by 2 ns for each 10 pF increase in loading up to 100 pF max.
[6] TsCS(RI) may be reduced. However, the time subtracted from TsCS(RI) will be added to TdRI(DO).
[7] 2.5 TcC > (N-2)TdIEI(IEOf) + TdM1(IEO) + TsIEI(IO) + TTL Buffer Delay, if any.
[8] $\overline{M1}$ must be active for a minimum of two clock cycles to reset the PIO.

Tabel 9/2.5-1: Schakeltijden van de Z80-PIO.

2.5 Type-beschrijving Z80-familie



Figuur 9/2.5-20: Alle golfvormen en schakeltijden (zie ook tabel 9/2.5-1).

tiek aan die van de Z80-PIO, evenals de interne registers en de manier van programmeren.
Ook de timing van beide uitvoeringen komt overeen, zodat die hier niet vermeld worden.
De Z80C-PIO wordt echter ook in een 44-pens PLCC (plastic leadless chip carrier) en een 44-pens LCCC (keramisch) geleverd.

Voltages on all inputs and outputs with respect to GND	-0.3 V to +7.0 V
Operating Ambient Temperature	As Specified in Ordering Information
Storage Temperature	-65 °C to +150 °C

Tabel 9/2.5-2: Maximaal toegelaten waarden.

2.5 Type-beschrijving Z80-familie

Symbol	Parameter	Min	Max	Unit	Test Condition
V_{ILC}	Clock Input Low Voltage	-0.3	+0.45	V	
V_{IHC}	Clock Input High Voltage	V_{CC}-0.6	+5.5	V	
V_{IL}	Input Low Voltage	-0.3	+0.8	V	
V_{IH}	Input High Voltage	+2.0	+5.5	V	
V_{OL}	Output Low Voltage		+0.4	V	I_{OL} = 2.0 mA
V_{OH}	Output High Voltage	+2.4		V	I_{OH} = -250 μA
I_{LI}	Input Leakage Current	-10.0	+10.0	μA	$0 < V_{IN} < V_{CC}$
I_Z	3-State Output/Data Bus Input Leakage Current	-10.0	+10.0	μA	$0 < V_{IN} < V_{CC}$
I_{CC}	Power Supply Current		100.0	mA	V_{OH} = 1.5V
I_{OHD}	Darlington Drive Current	-1.5	3.8	mA	R_{EXT} = 390 Ω

Tabel 9/2.5-3: Gelijkspanningscondities.

Symbol	Parameter	Min	Max	Unit	Test Condition
C	Clock Capacitance		10	pF	Unmeasured pins returned to ground
C_{IN}	Input Capacitance		5	pF	
C_{OUT}	Output Capacitance		10	pF	

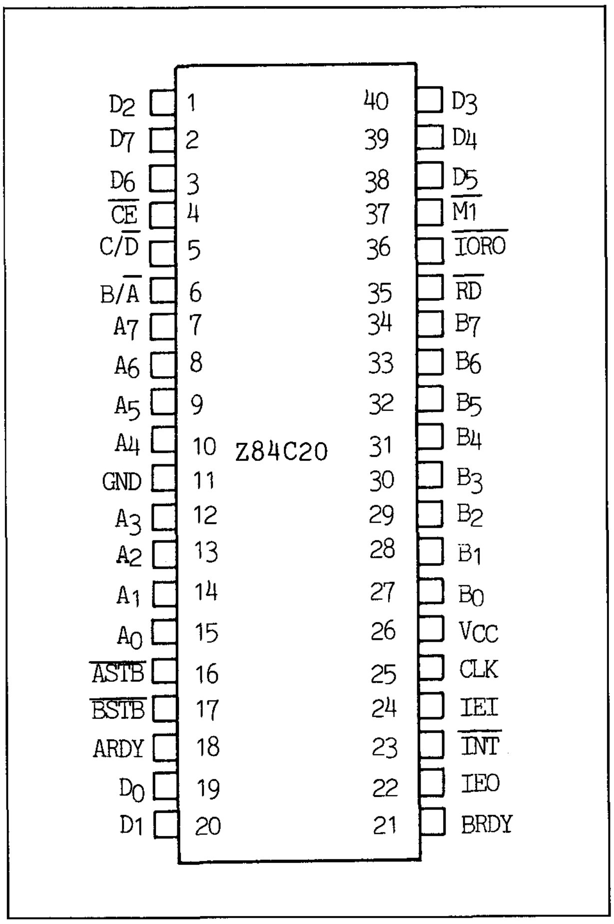
Over specified temperature range; f = 1MHz

Tabel 9/2.5-4: Capaciteiten bij 1 MHz.

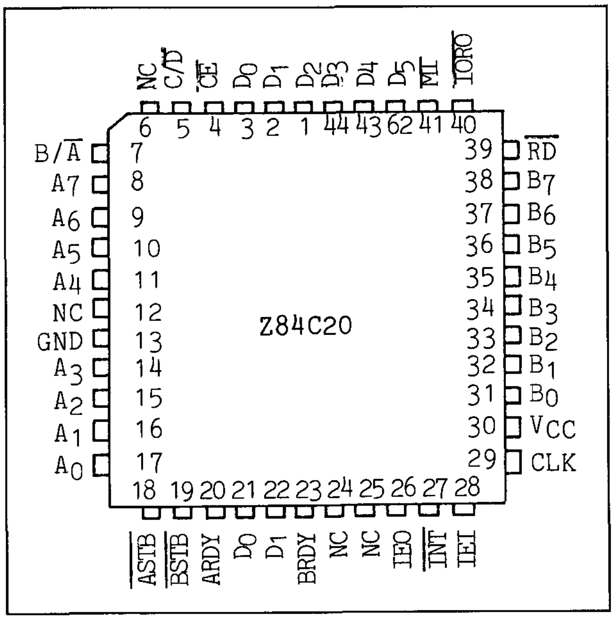
Belangrijkste kenmerken

- bevat twee 8-bit poorten met handshake-signalen
- maakt direkte aansluiting van een Z80 microprocessor op randapparatuur mogelijk
- heeft 4 mogelijke bedrijfsmodes: byte input, byte output, byte bidirectioneel (alleen Poort A) en bit input/output
  heeft enkele 5 V ± 10% voeding nodig
- enkelfase clock
- geringe dissipatie:
  2 mA typical bij 4 MHz
  minder dan 10 μA stand-by
- bedrijfstemperatur −40 °C tot +85 °C
- 40-pens DIL of 44-pens PLCC/LCCC behuizing (figuren 9/2.5-21 en 9/2.5-22)
- leveranciers:
  SGS-Thomson
  Z84C20 (dc tot 6 MHz)
  Toshiba
  TMP Z84C20 (dc tot 4 MHz)
  Zilog
  Z84C2004 (dc tot 4 MHz)
  Z84C2006 (dc tot 6 MHz)
  Z84C2008 (dc tot 8 MHz)
- overige kenmerken: zie Z8400

2.5 Type-beschrijving Z80-familie



Figuur 9/2.5-21: Aansluitingen van de Z80C-PIO in 40-pens DIL-behuizing.



Figuur 9/2.5-22: Aansluitingen van de Z80C-PIO in 44 'pens' PLCC-behuizing.

2.5 Type-beschrijving Z80-familie

9/3

Communicatie-interfaces

Inhoud

9/3.1

Achtergrond-informatie

Inleiding
In dit hoofdstuk worden alle seriële data-interfaces en hulpschakelingen daarvoor behandeld, zoals de
- Programmeerbare Asynchrone Communicatie Interface (PACI);
- Universele (Synchrone/) Asynchrone Receiver/Transmitter (USART/UART);
- Asynchrone Communicatie Interface Adapter (ACIA);
- Baud-rate Generator;
- Manchester Encoder/Decoder;
- Asynchroon Communicatie Element (ACE).

De snelle toename van het aantal seriële data-interfaces laat zien dat aan deze schakelingen een enorme behoefte bestaat. Oorspronkelijk werden ze alleen gebruikt voor het aansturen van Teletypes, terwijl ze tegenwoordig ook allerlei complexe synchrone protocols aankunnen.
Toch blijken veel ontwerpers behoudend te zijn: in de praktijk worden oudere typen UART's zoals de 2017 en 1602 nog steeds volop toegepast. Bovendien wordt van de krachtiger USART's meestal slechts het asynchrone deel gebruikt. Alleen voor toepassingen zoals 'het kantoor van de toekomst' met onderling verbonden terminals en geheugenbanken zal door de hogere data-snelheden worden overgegaan op de synchrone functies van de USART's.
Aan de onderzijde van het seriële I/0-spectrum is het de eenvoud die telt. Zo heeft Mostek bijvoorbeeld een tweedraads seriële poort voor single-chip microcomputers gedefinieerd: de Micro Data Link (MDL).

3.1 Achtergrond-informatie

9/3.2

Type-beschrijving 65xx-familie

6551 Asynchrone Communicatie Interface Adapter - ACIA

Inleiding

Met de 6551 ACIA kunnen gemakkelijk te implementeren (installeren en in gebruik nemen) programma-bestuurde interfaces tussen 8-bit microcomputersystemen en seriële communicatiesystemen en modems worden gebouwd.

De 6551 heeft een interne baud-rate generator waardoor, op een standaard 1,8432 MHz kristal na, geen extra ondersteunende componenten nodig zijn. Als zendsnelheid kan uit 15 mogelijkheden worden geprogrammeerd tussen 50 en 19200 bps (bits per seconde) of 1/16 van de clocksnelheid. De ontvangsnelheid is ook programmeerbaar en kan of gelijk zijn aan de zendsnelheid of 1/16 van de clocksnelheid.

De 6551 heeft programmeerbare woordlengten van 5, 6, 7 of 8 bits met even, oneven of geen pariteit en 1, 1,5 of 2 stopbits.

De 6551 is ontworpen om zoveel mogelijk vanuit de CPU geprogrammeerd te worden, zodat gebruik gemaakt kan worden van eenvoudige hardware. Voor de selectie van bedrijfsmodes, het controleren van data parameters en het bepalen van de bedrijfstoestand staan drie aparte registers ter beschikking:

- In het **Command Register** worden pariteit, ontvanger echo-mode, zender interrupt control, de toestand van de $\overline{RTS}$-lijn, ontvanger interrupt control en de toestand van de $\overline{DTR}$-lijn geregeld.
- Het **Control Register** regelt het aantal stopbits, de woordlengte, de clock-oorsprong van de ontvanger en de baudrate.
- Het **Status Register** geeft de toestanden weer van de $\overline{IRQ}$-, $\overline{DSR}$- en $\overline{DCD}$-lijnen, de dataregisters aan zend- en ontvangkant en overrun, framing en pariteit foutcondities.

De Zend en Ontvang Data Registers wordend gebruikt voor de tijdelijke opslag van data.

Kenmerken van de 6551

- verkrijgbaar in NMOS en CMOS (C-typen);
- compatibel met 8-bit microprocessoren;
- full duplex met gebufferde ontvanger en zender;
- data set/modem control functies;
- interne baudrate generator met 15 programmeerbare snelheden (50 tot 19200 bps);
- programmeerbare in-/extern gestuurde ontvangsnelheid;
- programmeerbare woordlengten, aantal stopbits en opwekking en detectie van pariteitsbit;
- detectie van valse start-bit;
- programmeerbare interrupt control;
- programma reset;
- door programma instelbare seriële echomode;
- twee chip selects;
- clockfrequenties: 1MHz (type 1), 2MHz (type A of 2), 3MHz (GTE-type 3) of 4MHz (GTE-type 4);
- enkele +5V, ±5 % voeding;

3.2 Type-beschrijving 65xx-familie

- volledig TTL-compatibel;
- behuizing 28 pens DIL, P = kunststof, C = keramisch (zie figuur 9/3.2-1);
- fabrikanten onder andere:
  Rockwell: R6551, R6551A, R65C51/-1/-2;
  GTE: G65C51/-1/-2/-3/-4;
  Synertek: SY6551;
  AMI: S6551, S6551A, S65C51.

Functionele beschrijving

Aan de hand van het blokschema van figuur 9/3.2-2 worden alle functionele elementen beschreven.

Data Bus Buffers

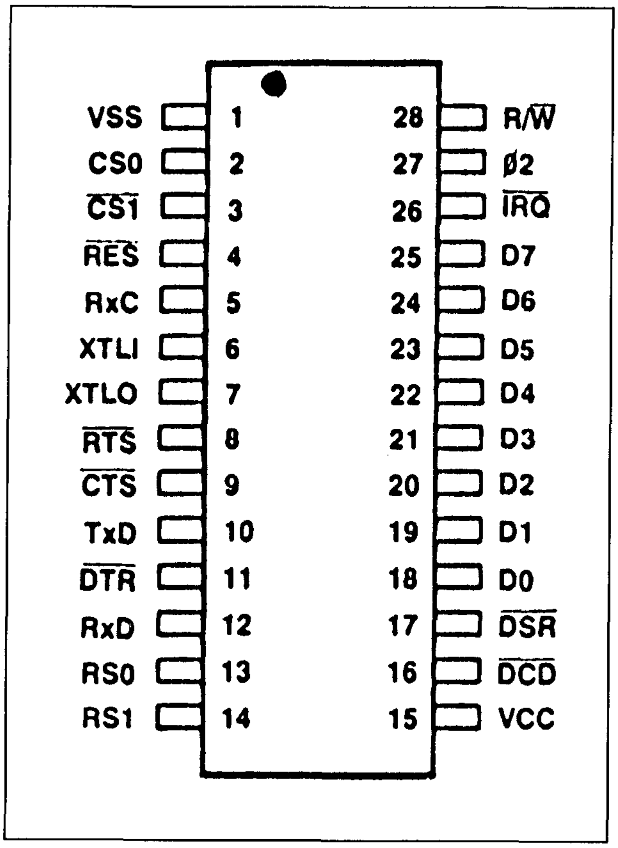
Via de databus-buffer worden de datalijnen van het systeem met de interne databus verbonden. De databus-buffer is bidirectioneel: wanneer de R/$\overline{W}$-lijn LAAG is en de chip geselecteerd, wordt data van de systeemlijnen via de databus-buffer op de interne databus van de ACIA gebracht. Is de chip geselecteerd, terwijl de R/$\overline{W}$-lijn HOOG is, dan gaat het data-transport in omgekeerde richting.

Interrupt Logic

De interruptie-logica zorgt ervoor dat de $\overline{IRQ}$-lijn naar de microprocessor LAAG gaat, wanneer één van de vier volgende omstandigheden optreden die attentie van de CPU noodzakelijk maken. Dan worden bit 7 plus één van de bits 3 t/m 6 in het Status Register geset, wanneer dit enabled is. Bit 6 heeft betrekking op de Data Set Ready ($\overline{DSR}$)-logica en bit 5 op de Data Carrier Detect ($\overline{DCD}$)-logica. De bits 3 en 4 hebben betrekking op de Receiver Data Register Full, respectievelijk de Transmitter Data Register Empty condities.

I/O Control

Met de in-/uitvoer logica worden interne registers geselecteerd voordat data-overdracht op de interne databus plaats vindt, plus de richting ervan.
De registers worden gekozen door de Register Select (RS0, RS1) en Read/Write



Figuur 9/3.2-1: Aansluitingen van de 6551.

(R/$\overline{W}$)-lijnen, zoals in tabel 9/3.2-1 te zien is.

Timing & Control

De timing- en besturingslogica regelt de timing van data-overdrachten op de interne databus en de registers, de databus-buffer en de microprocessor databus en de hardware resetmogelijkheden.
De timing is gebaseerd op de Φ2 clock-

RS1	RS0	Register Operation: R/$\overline{W}$ = Low	Register Operation: R/$\overline{W}$ = High
L	L	Write Transmit Data Register	Read Receiver Data Register
L	H	Programmed Reset (Data is "Don't Care")	Read Status Register
H	L	Write Command Register	Read Command Register
H	H	Write Control Register	Read Control Register

Tabel 9/3.2-1: ACIA Register Selectie.

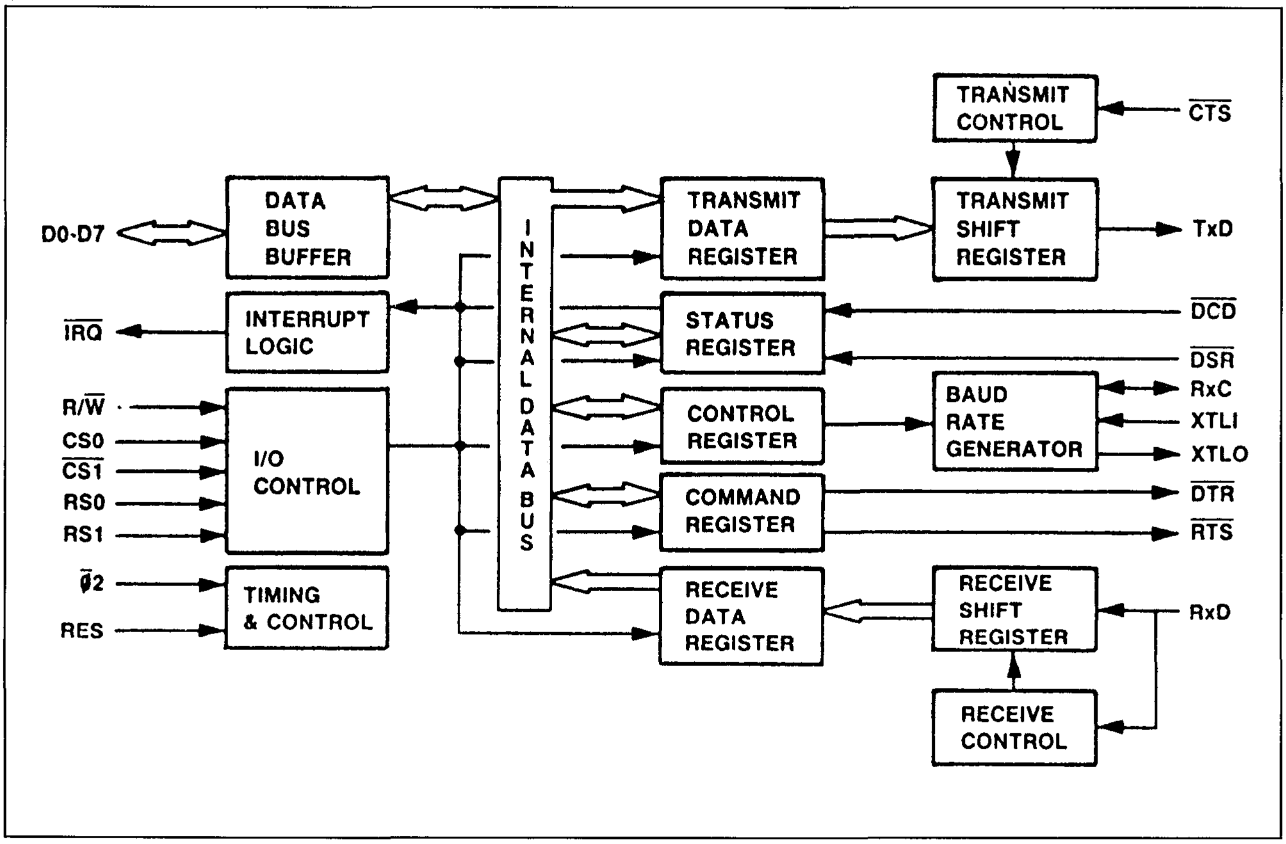
ingang. Dataoverdrachten van of naar de microcomputer vinden plaats gedurende de tijd dat Φ2 HOOG is.
Alle registers worden geïnitialiseerd door de timing en besturingslogica als de Reset ($\overline{RES}$)-lijn LAAG gaat.

Transmitter & Receiver Data Registers

Deze registers worden gebruikt om data tijdelijk op te slaan voor de zend- en ontvangschakelingen van de ACIA. Zowel de zender als de ontvanger worden geselecteerd wanneer RSO = RS1 = LAAG. DE R/$\overline{W}$-lijn bepaalt dan wie de interne databus gebruikt. In het Transmitter Data Register kan alleen worden geschreven, terwijl het Receive Data Register alleen kan worden uitgelezen.
Bit 0 is het eerste bit dat uit het Transmit Data Register wordt weggezonden (eerst het onbelangrijkste bit – LSB), gevolgd door telkens een hogere orde bit. Ongebruikte bits in dit register zijn 'don't care'.
Het Receiver Data Register bergt het eerst ontvangen bit op in bit 0 (het LSB eerst). Ongebruikte hogere orde bits zijn '0'. Pariteitsbits worden na de pariteitscontrole verwijderd en dus niet opgeslagen in het Receiver Data Register.

Status Register

Het Status Register laat de interruptie condities en de toestanden van andere statuslijnen zien (figuur 9/3.2-3). Omstandigheden die een interrupt kunnen veroorzaken zijn Data Set Ready, Data Carrier Detect, Transmitter Data Register Empty en Receiver Data Register Full, die achtereenvolgens door de bits 6 t/m 3 worden aangegeven. Is een van deze bits geset, dan is tevens de Inter-



Figuur 9/3.2-2: Interne structuur (blokschema) van de 6551.

3.2 Type-beschrijving 65xx-familie

7	6	5	4	3	2	1	0
IRQ	$\overline{\text{DSR}}$	$\overline{\text{DCD}}$	TDRE	RDRE	OVRN	FE	PE

Bit 7 **Interrupt (IRQ)**
0 No interrupt
1 Interrupt has occurred

Bit 6 **Data Set Ready ($\overline{\text{DSR}}$)**
0 $\overline{\text{DSR}}$ low (ready)
1 $\overline{\text{DSR}}$ high (not ready)

Bit 5 **Data Carrier Detect ($\overline{\text{DCD}}$)**
0 $\overline{\text{DCD}}$ low (detected)
1 $\overline{\text{DCD}}$ high (not detected)

Bit 4 **Transmitter Data Register Empty**
0 Not empty
1 Empty

Bit 3 **Receiver Data Register Full**
0 Not full
1 Full

Bit 2 **Overrun***
0 No overrun
1 Overrun has occurred

Bit 1 **Framing Error***
0 No framing error
1 Framing error detected

Bit 0 **Parity Error***
0 No parity error
1 Parity error detected

*No interrupt occurs for these conditions

Reset Initialization

7	6	5	4	3	2	1	0	
0	—	—	1	0	0	0	0	**Hardware reset**
—	—	—	—	—	0	—	—	**Program reset**

Figuur 9/3.2-3: Status Register

ruptie indicator IRQ (bit 7) geset. Overrun, Framing Error en Parity Error worden ook gerapporteerd (respectievelijk bit 2, 1 en 0).

Parity Error (bit 0), Framing Error (bit 1) en Overrun (bit 2)

Door geen van deze bits wordt de processor geïnterrumpeerd. Gewoonlijk worden ze gecontroleerd tegen de tijd dat het Receiver Data Register wordt gelezen, zodat de geldigheid van de data kan worden geverifieerd. Deze bits zijn zelf-clearend, hetgeen wil zeggen dat ze automatisch LAAG worden nadat het Receiver Data Register is gelezen.

Receiver Data Register Full (bit 3)

Dit bit wordt HOOG wanneer de ACIA data overbrengt van het Receiver Shift Register naar het Receiver Data Register. Wanneer de processor het Receiver Data Register uitleest wordt het weer LAAG.

Transmitter Data Register Empty (bit 4)

Dit bit wordt HOOG wanneer data wordt overgebracht van het Transmitter Data Register naar het Transmitter Shift Register en weer LAAG zodra de processor nieuwe data in het Transmitter Data Register schrijft.

Data Carrier Detect (bit 5) en Data Set Ready (bit 6)

Deze bits komen overeen met de niveaus van de $\overline{\text{DCD}}$ en $\overline{\text{DSR}}$ ingangen van de ACIA: een 0 geeft aan dat er een LAAG niveau is (true) en een 1 dat er een HOOG niveau is (false). Wanneer een van deze ingangen van toestand wisselt, zal de processor onmiddellijk geïnterrumpeerd worden (IRQ), tenzij bit 1 (IRD) van het Command Register HOOG is gezet om $\overline{\text{IRQ}}$ te blokkeren. Wanneer de interruptie optreedt geven de statusbits onmiddellijk na de toestandsverandering de niveaus van de ingangen weer. Latere niveauveranderingen hebben geen invloed op de statusbits totdat het Status Register door de processor wordt afgevraagd. Op dat moment zal direct een nieuwe interruptie optreden, waarbij de statusbits overeenkomen met de nieuwe ingangsniveaus. Deze bits worden niet automatisch gecleared (of gereset) door een interne handeling.

3.2 Type-beschrijving 65xx-familie

Interrupt (bit 7)

Dit bit wordt HOOG telkens wanneer een interrupt conditie optreedt en wordt weer LAAG als het Status Register wordt gelezen.

Control Register

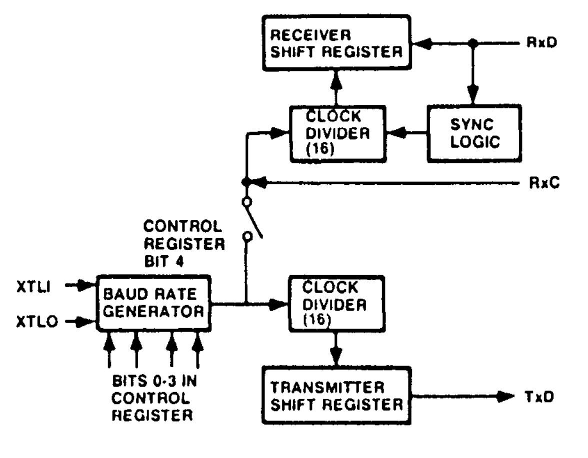
Met behulp van dit register kunnen de gewenste overdrachtssnelheid (baudrate), frequentiebron, woordlengte en aantal stopbits worden ingesteld (figuur 9/3.2-4).

Baud Rate (bits 0, 1, 2, 3)

Met deze bits wordt de transmissie-snelheid ingesteld. Deze kan 1/16 van de clockfrequentie bedragen of één van de 15 andere snelheden die worden gecontroleerd door de interne baudrate generator.
Indien de ontvanger op dezelfde baudrate werkt als de zender, wordt RxC een uitgang die kan worden gebruikt om andere schakelingen op de ACIA te synchroniseren. In figuur 9/3.2-5 is de onderlinge verbinding van zender en ontvanger te zien.

Receiver Clock Source (bit 4)

Dit bit bepaalt welke clock de ontvanger gebruikt. Is het LAAG dan werkt de ontvanger op een snelheid van 1/16 van de externe



Figuur 9/3.2-5: Clock-verbindingen van ontvanger en zender.

7	6	5	4	3	2	1	0
SBN	WL		RCS	SBR			
	WL1	WL0		SBR3	SBR2	SBR1	SBR0

Bit 7	Stop Bit Number (SBN)
0	1 Stop bit
1	2 Stop bits
1	1½ Stop bits For WL = 5 and no parity
1	1 Stop bit For WL = 8 and parity

Bits 6-5		Word Length (WL)
6	5	No. Bits
0	0	8
0	1	7
1	0	6
1	1	5

Bit 4	Receiver Clock Source (RCS)
0	External receiver clock
1	Baud rate

Bits 3-0				Selected Baud Rate (SBR)
3	2	1	0	Baud
0	0	0	0	16x External Clock
0	0	0	1	50
0	0	1	0	75
0	0	1	1	109.92
0	1	0	0	134.58
0	1	0	1	150
0	1	1	0	300
0	1	1	1	600
1	0	0	0	1200
1	0	0	1	1800
1	0	1	0	2400
1	0	1	1	3600
1	1	0	0	4800
1	1	0	1	7200
1	1	1	0	9600
1	1	1	1	19,200

Reset Initialization

7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	Hardware reset ($\overline{RES}$)
-	-	-	-	-	-	-	-	Program reset

Figuur 9/3.2-4: Control Register

clock. Is het HOOG dan werkt de ontvanger op dezelfde snelheid als de zender.

Woordlengte (bits 5 en 6)

Deze bits bepalen met welke woordlengte wordt gewerkt (5, 6, 7 of 8 bits).

Aantal Stop Bits (bit 7)

Met dit bit kan het aantal stopbits worden ingesteld. LAAG komt altijd overeen met één stopbit. HOOG betekent 1½ stopbits bij een woordlengte van 5 en geen pariteit, 1 stopbit bij een woordlengte van 8 met pariteit of 2 stopbits bij alle andere samenstellingen.

Command Register

Met het Command Register worden specifieke modes en functies ingesteld (figuur 9/3.2-6).

Data Terminal Ready (bit 0)

Door dit bit worden alle geselecteerde interrupties vrijgegeven en wordt de toestand van de Data Terminal Ready ($\overline{DTR}$)-lijn bestuurd. LAAG geeft aan dat het microcomputersysteem niet klaar is, door de $\overline{DTR}$-lijn HOOG te zetten. Met hoog vindt het omgekeerde plaats: het microcomputersysteem is klaar en de $\overline{DTR}$-lijn is LAAG. Met $\overline{DTR}$ worden ook de zender en ontvanger gesperd of vrijgegeven.

Receiver Interrupt Control (bit 1)

Wanneer dit bit HOOG is, kan de ontvanger geen interrupt genereren. De ontvanger-interrupt wordt vrijgegeven wanneer dit bit LAAG staat en bit 0 HOOG is.

Transmitter Interrupt Control (bits 2 en 3)

Deze bits regelen de toestand van de Ready To Send ($\overline{RTS}$)-lijn en de zender-interrupt.

Receiver Echo Mode (bit 4)

De echo-mode van de ontvanger wordt met dit bit aan- en afgezet. Wanneer bit 4 HOOG is, staat de ACIA in de echo-mode en moeten de bits 2 en 3 LAAG zijn. De zender stuurt dan elk ontvangen bericht terug, waarbij een vertraging van de helft van een bittijd optreedt.

7	6	5	4	3	2	1	0
PMC		PME	REM	TIC		IRD	DTR
PMC1	PMC0			TIC1	TIC0		

Bits 7-6 Parity Mode Control (PMC)

7	6	
0	0	Odd parity transmitted/received
0	1	Even parity transmitted/received
1	0	Mark parity bit transmitted Parity check disabled
1	1	Space parity bit transmitted Parity check disabled

Bit 5 Parity Mode Enabled (PME)

0	Parity mode disabled No parity bit generated Parity check disabled
1	Parity mode enabled

Bit 4 Receiver Echo Mode (REM)

0	Receiver normal mode
1	Receiver echo mode bits 2 and 3 Must be zero for receiver echo mode, $\overline{RTS}$ will be low.

Bits 3-2 Transmitter Interrupt Control (TIC)

3	2	
0	0	$\overline{RTS}$ = High, transmitter disabled
0	1	$\overline{RTS}$ = Low, transmit interrupt enabled
1	0	$\overline{RTS}$ = Low, transmit interrupt disabled
1	1	$\overline{RTS}$ = Low, transmit interrupt disabled transmit break on TxD

Bit 1 Receiver Interrupt Request Disabled (IRD)

0	$\overline{IRQ}$ enabled (receiver)
1	$\overline{IRQ}$ disabled (receiver)

Bit 0 Data Terminal Ready (DTR)

0	Data terminal not ready ($\overline{DTR}$ high)*
1	Data terminal ready ($\overline{DTR}$ low)

NOTE

*The transmitter is disabled immediately. The receiver is disabled but will first complete receiving a byte in process of being received.

Reset Initialization

7	6	5	4	3	2	1	0	
0	0	0	0	0	0	0	0	**Hardware reset ($\overline{RES}$)**
–	–	–	0	0	0	0	0	**Program reset**

Figuur 9/3.2-6: Command Register.

3.2 Type-beschrijving 65xx-familie

Parity Mode Enable (bit 5)

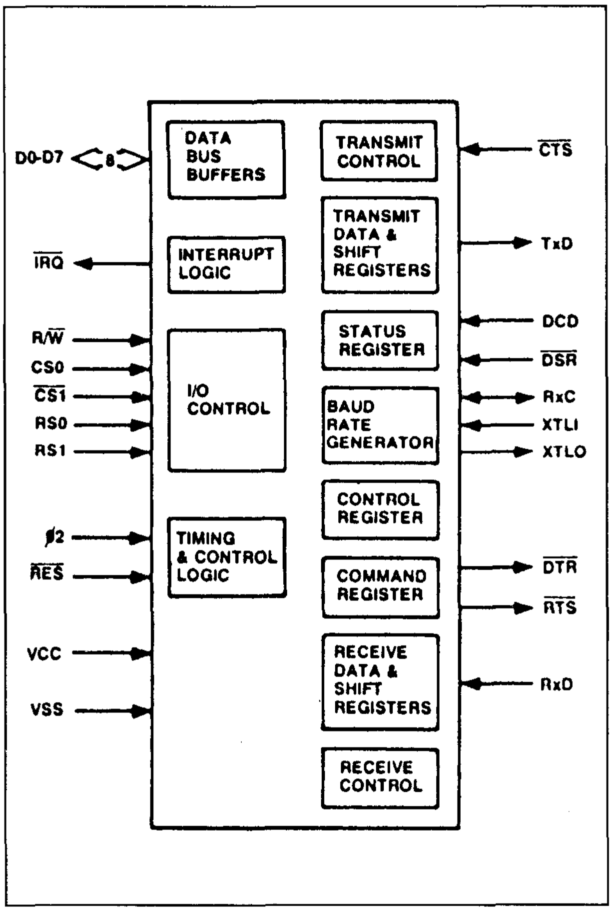
Dit bit geeft de pariteitscontrole vrij. Is het LAAG dan wekt de zender geen pariteitsbit op en wordt door de ontvanger niet naar de pariteit gekeken. Een HOOG bit staat opwekken en checken van pariteitsbits toe.

Parity Mode Control (bits 6 en 7)

Deze bits bepalen het type pariteit dat wordt opgewekt door de zender (even, oneven, mark of space) en het type pariteit waarop wordt gecontroleerd door de ontvanger (even, oneven of geen).

Interface signalen

In figuur 9/3.2-7 zijn de interface signalen te zien die naar de microprocessor en de modem gaan.



Figuur 9/3.2-7: ACIA Interface-signalen.

Interface signalen voor de (micro) processor

Reset ($\overline{RES}$)

Tijdens het initialiseren van het systeem wordt een hardware reset veroorzaakt door de $\overline{RES}$-ingang LAAG te maken. Hierdoor worden het Command Register en het Control Register gecleared (alle bits LAAG). Het Status Register wordt ook gecleared, op de indicaties van Data Select Ready en Data Carrier Detect na, die extern worden bestuurd door de $\overline{DSR}$- en $\overline{DCD}$-lijnen en het Transmitter Empty bit dat juist HOOG wordt. Om de reset werkelijk plaats te doen vinden moet $\overline{RES}$ gedurende een Φ2 clockcyclus LAAG gehouden worden.

Input clock (Φ2)

De input clock is de Φ2 systeemklok waarmee alle dataoverdrachten tussen de microprocessor en de ACIA plaatsvinden.

Read/Write (R/$\overline{W}$)

Het R/$\overline{W}$-signaal wordt door de microprocessor opgewekt en geeft de richting van de data-overdrachten aan. Wanneer de R/$\overline{W}$-pen HOOG is, leest de processor de data die afkomstig is van de ACIA; is de R/$\overline{W}$-pen LAAG dan kan in de ACIA worden geschreven.

Interrupt Request ($\overline{IRQ}$)

De $\overline{IRQ}$-pen is een interruptie uitgang van de interruptie logica. Het is een open-drain uitgang, waardoor meerdere schakelingen op de gemeenschapelijke $\overline{IRQ}$-lijn kunnen worden aangesloten. De $\overline{IRQ}$-lijn die normaal HOOG is, gaat LAAG als een interrupt optreedt.

Data Bus (D0 – D7)

Het data-transport tussen de processor en de ACIA vindt plaats via de acht bidirectionele datalijnen (D0 t/m D7). Deze lijnen zijn normaal hoog-impedant, op de Read-cyclussen na wanneer de ACIA geselecteerd is.

Chip Selects (CS0, $\overline{\text{CS1}}$)
De twee chip select ingangen zijn normaal verbonden met de adreslijnen van de processor (direct of via decoders). De ACIA is geselecteerd wanneer CS0 = HOOG is en $\overline{\text{CS1}}$ = LAAG. Is de ACIA geselecteerd, dan worden de interne registers geadresseerd met de register select-lijnen (RS0 en RS1).

Register Selects (RS0, RS1)
De beide register selectlijnen worden normaal met de adreslijnen van de processor verbonden, zodat de processor toegang heeft tot de verschillende ACIA registers. In tabel 9/3.2-1 is de adres-codering van de interne registers te zien.

Alleen in de Command en Control registers kan zowel gelezen als geschreven worden. De geprogrammeerde Reset handeling veroorzaakt geen enkele data-overdracht, maar wordt gebruikt om de bits 4 t/m 0 in het Command Register en bit 2 in het Status Register LAAG te maken. Het Control Register blijft onveranderd door een geprogrammeerde Reset. Let op dat de geprogrammeerde Reset iets verschilt van de hardware reset ($\overline{\text{RES}}$); zie ook de beschrijving van registers.

ACIA/Modem interface

Kristal Pennen (XTLI, XTLO)
Deze pennen worden gewoonlijk direct op het externe kristal (1,8432 MHz) aangesloten voor het verkrijgen van de verschillende transmissie-snelheden (baud rates). In plaats daarvan kan ook een extern opgewekte clock op de XTLI-pen worden aangesloten, waarbij de XTLO-pen niet wordt gebruikt. XTLI is de ingangspen voor de transmit clock.

Transmit Data (TxD)
De TxD uitgangslijn verstuurt seriële non-return-to-zero (NRZ) data naar de modem. Hierbij wordt het minst belangrijke bit (LSB) het eerst verzonden met een transmissie-snelheid die werd ingesteld in het Control Register.

Receive Data (RxD)
Seriële NRZ data van de modem naar de ACIA komt binnen op de RxD ingang (hierbij ook weer het LSB als eerste). De snelheid van het datatransport wordt ook bij het ontvangen bepaald door het Control Register.

Receive Clock (RxC)
De RxC is een bidirectionele pen die of de 16x clock-ingang of de 16X clock-uitgang van de ontvanger is. De laatstgenoemde mode treedt op indien de interne baudrate generator wordt ingesteld op de clock van de ontvanger.

Request to Send ($\overline{\text{RTS}}$)
De RTS uitgangspen bestuurt de modem vanuit de processor. De toestand van de $\overline{\text{RTS}}$-pen wordt bepaald door de inhoud van het Command Register.

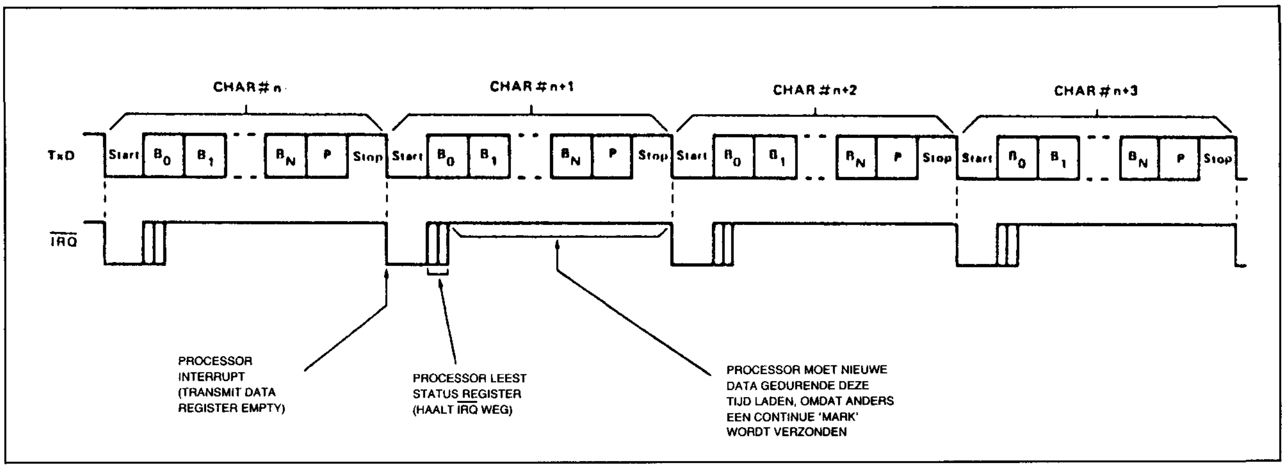
Clear to Send ($\overline{\text{CTS}}$)
De werking van de zender wordt geregeld door de $\overline{\text{CTS}}$ ingangspen. De zender wordt vrijgegeven door $\overline{\text{CTS}}$ LAAG te maken en automatisch gesperd met een HOOG niveau.

Data Terminal Ready ($\overline{\text{DTR}}$)
Deze uitgangspen geeft de status van de ACIA door aan de modem. Een LAAG op $\overline{\text{DTR}}$ betekent dat de ACIA vrijgegeven is, zodat een HOOG overeenkomt met de gesperde toestand. Deze pen wordt door de processor bestuurd door middel van bit 0 van het Command Register.

Data Set Ready ($\overline{\text{DSR}}$)
De $\overline{\text{DSR}}$ ingangspen geeft de status van de modem door aan de ACIA. Een LAAG komt overeen met de 'ready' toestand, terwijl HOOG 'niet-ready' betekent.

Data Carrier Detect ($\overline{\text{DCD}}$)
De $\overline{\text{DCD}}$ ingangspen licht de ACIA in over de toestand van de carrier-detect uitgang (draaggolf detectie) van de modem. Een LAAG geeft aan dat het draaggolf-signaal

3.2 Type-beschrijving 65xx-familie



Figuur 9/3.2-8: Continue data-verzending.

van de modem aanwezig is en een HOOG dat het er niet is.

Werking van zender en ontvanger

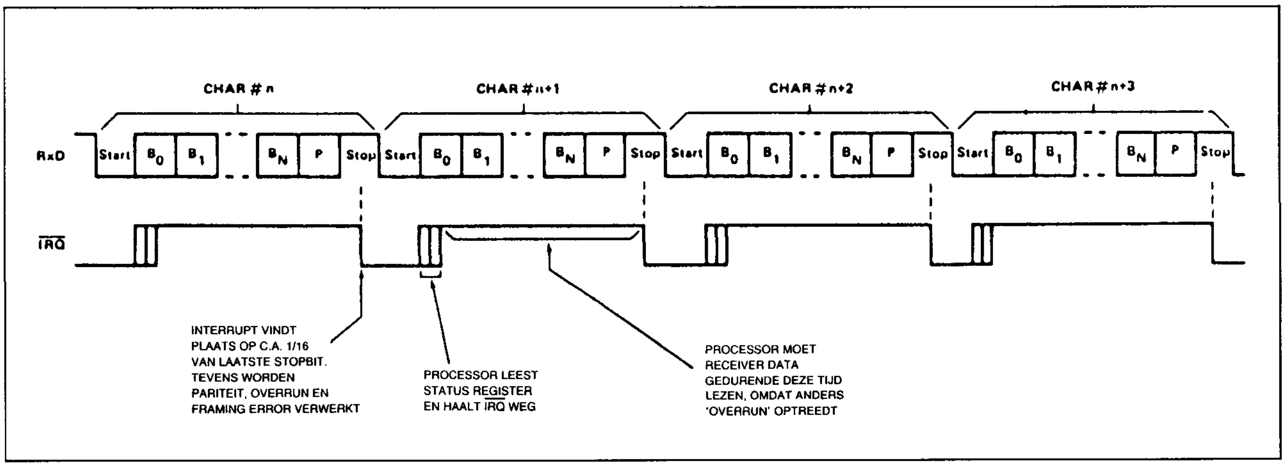
Continue Data Transmissie

In de normale bedrijfstoestand signaleert de interrupt request uitgang ($\overline{IRQ}$) wanneer de ACIA klaar is om het volgende datawoord te versturen. Deze interruptie treedt op bij het begin van het startbit. Wanneer de processor het Status Register van de ACIA inleest, wordt de interrupt gecleared.

De processor moet dan zien dat het Transmit Data Register klaar is om geladen te worden en laadt het met het volgende datawoord. Dit moet gebeuren voor het einde van het stopbit, omdat anders een continue 'Mark' wordt uitgezonden. In figuur 9/3.2-8 is de timing van continu versturen van data te zien.

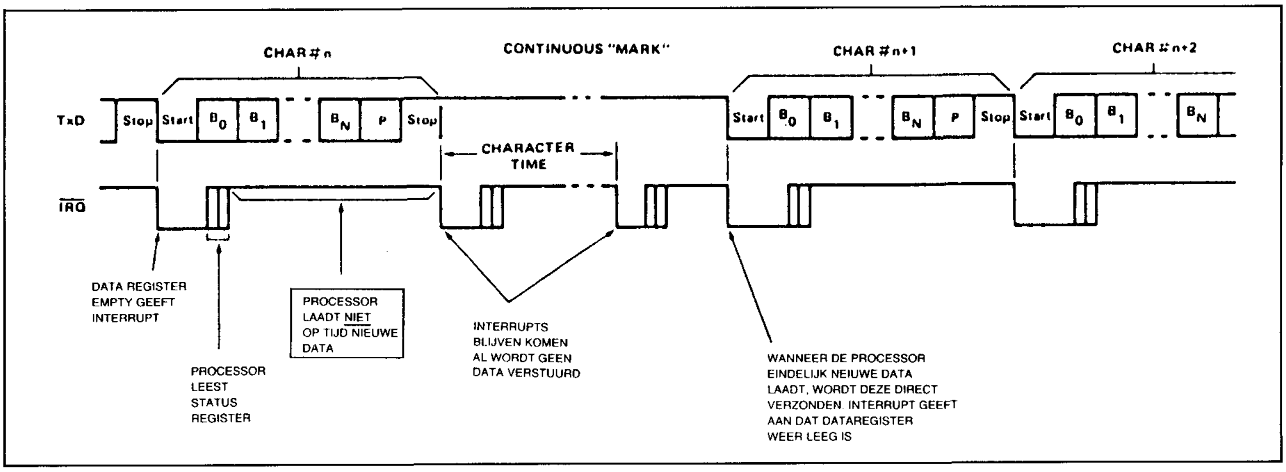
Continue Data Receive

Net als bij het continu versturen van data wordt in deze mode $\overline{IRQ}$ geset op het moment dat de ACIA een volledig datawoord heeft ontvangen. Dit gebeurt op ongeveer 9/16 van het stopbit. De processor moet het Status Register en het datawoord lezen vóór de volgende interruptie, omdat anders de Overrun conditie optreedt. Een en ander is in figuur 9/3.2-9 te zien.



Figuur 9/3.2-9: Continue data-ontvangst.

3.2 Type-beschrijving 65xx-familie



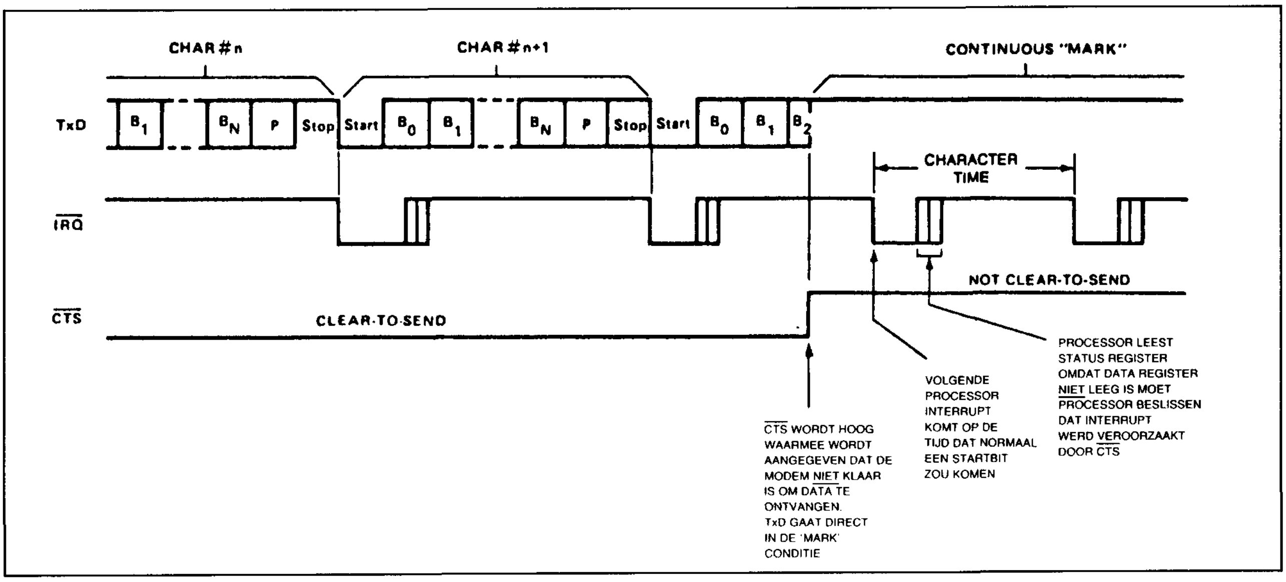
Figuur 9/3.2-10: Zend-dataregister niet geladen door processor.

Transmit Data Register niet geladen door de processor

Wanneer de processor niet in staat is om het Transmit Data Register in de aangegeven tijd te laden, gaat de TxD-lijn in de 'Mark' conditie totdat er data wordt geladen. De $\overline{IRQ}$ interrupties blijven met dezelfde frequentie optreden als daarvoor, terwijl geen data wordt uitgezonden. Als de processor op een gegeven moment nieuwe data laadt, verschijnt onmiddellijk een starbit en wordt de verzending van het datawoord gestart, waarbij een nieuwe interruptie wordt ingeleid om een volgend datawoord op te vragen. Deze bedrijfsmode is te zien in figuur 9/3.2-10.

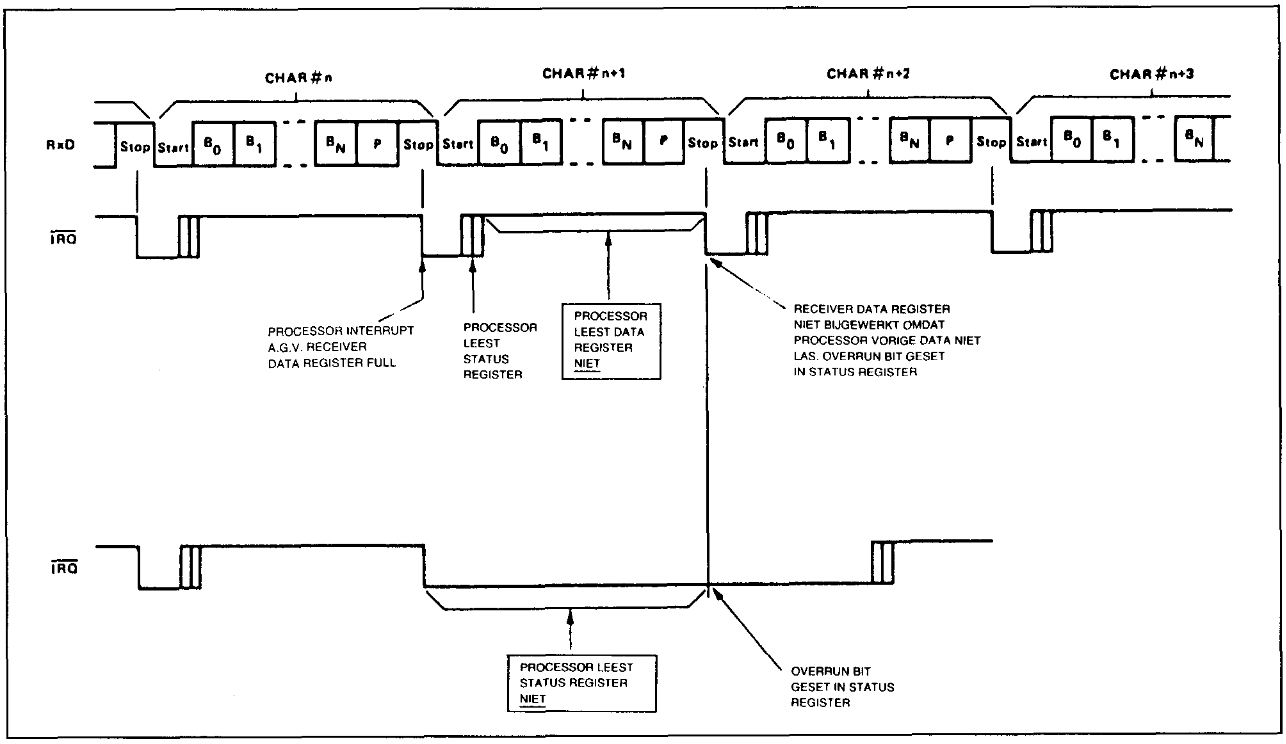
Het effect van $\overline{CTS}$ op de zender

$\overline{CTS}$ is het Clear-to-Send signaal dat door de modem wordt opgewekt. Het is normaal LAAG (true), maar mag HOOG gaan wanneer er iets mis is met de modem. Wanneer dit gebeurt gaat de TxD-lijn onmiddellijk in de 'mark' toestand. De interrupts blijven met dezelfde frequentie komen, maar het Status Register geeft niet aan dat het Data Register leeg (empty) is. Aangezien $\overline{CTS}$ geen status-



Figuur 9/3.2-11: De invloed van $\overline{CTS}$ op de zender.

3.2 Type-beschrijving 65xx-familie



Figuur 9/3.2-12: Het effect van Overrun op de ontvanger.

bit heeft, moet de processor zelf afleiden dat $\overline{CTS}$ in de false (HOOG) toestand is gekomen. $\overline{CTS}$ is uitsluitend een besturingslijn voor het zenden en heeft geen invloed op het ontvangen door de ACIA. In figuur 9/3.2-11 is de timing voor deze handelingen te zien.

Het effect van Overrun op de ontvanger

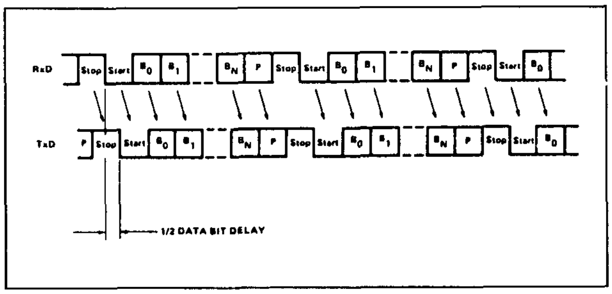
Indien de processor het Receiver Data Register niet in de aangegeven tijd uitleest, wordt bij de volgende interruptie het nieuwe datawoord niet doorgegeven aan het Receiver Data Register. In plaats daarvan wordt het Overrun statusbit geset. Het Data Register zal zodoende het laatst ontvangen geldige datawoord bevatten en alle volgende data raakt verloren. In figuur 9/3.2-12 is de timing hiervan te zien.

Echo Mode Timing

In de echo-mode zendt de TxD-lijn de data op de RxD-lijn nog een keer uit, met een vertraging van 1/2 bittijd. Dit is te zien in figuur 9/3.2-13.

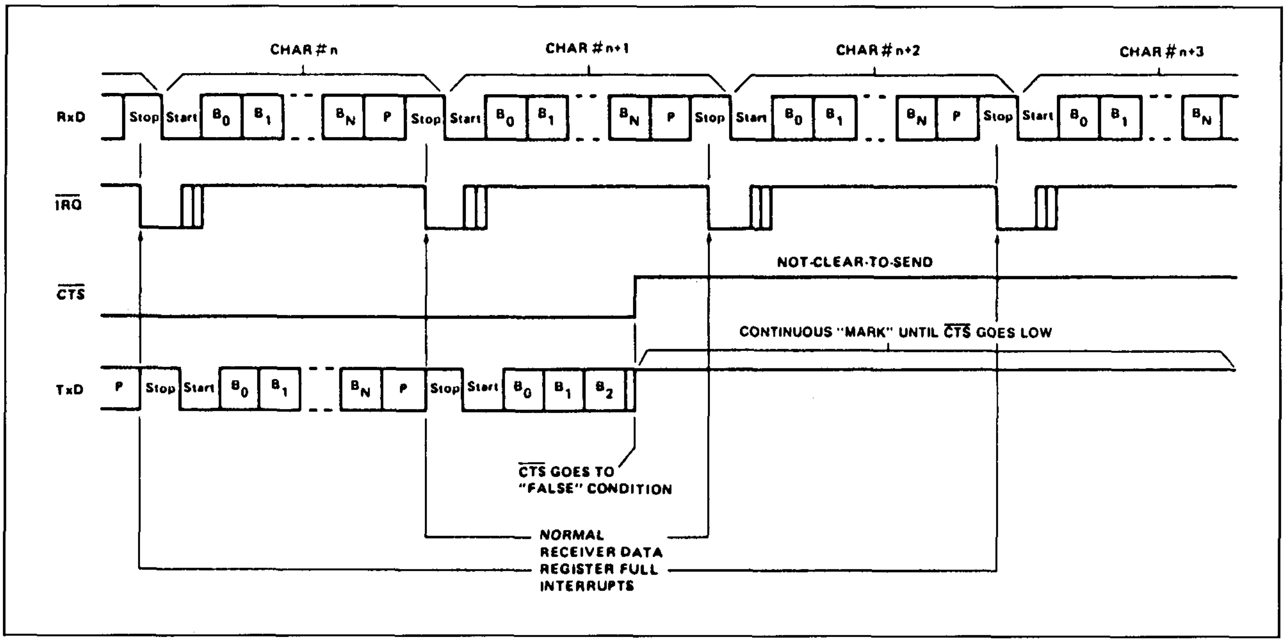
Het effect van $\overline{CTS}$ op de Echo Mode werking

In de echo-mode wordt de verwerking van de ontvanger *niet* beïnvloed door $\overline{CTS}$. De zender wordt echter wel beïnvloed als $\overline{CTS}$ HOOG gaat: de TxD-lijn gaat onmiddellijk in de continue 'Mark' conditie. In dit geval geeft het Status Register echter aan (als reactie op een $\overline{IRQ}$) dat het Receiver Data Register vol is. De processor heeft dus geen enkele mogelijkheid om te weten dat de zender is gestopt met het geven van echo's. In figuur 9/3.2-14 is de samenhang tussen een en ander te zien.



Figuur 9/3.2-13: Echo-mode timing.

3.2 Type-beschrijving 65xx-familie



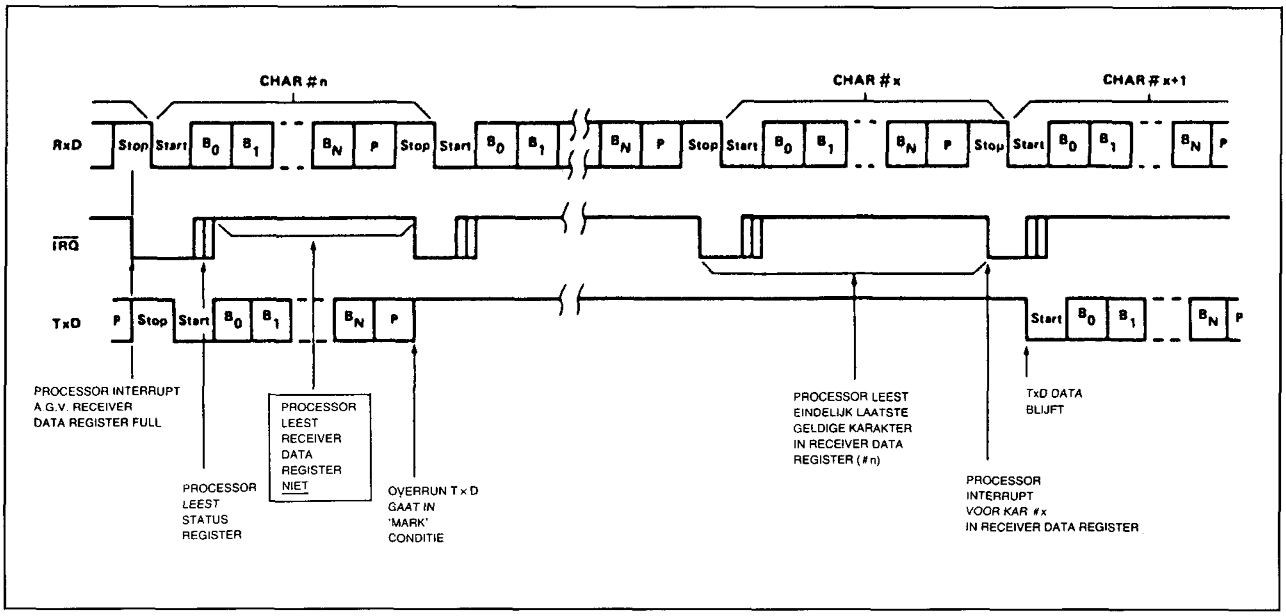
Figuur 9/3.2-14: De invloed van $\overline{CTS}$ op de echo-mode.

Overrun in de Echo Mode

Indien een Overrun optreedt in de echo-mode, wordt de ontvanger op dezelfde manier beïnvloed als bij een Overrun in de Receiver Mode. Voor de uitgezonden data gaat de TxD-lijn, wanneer overrun optreedt, naar de 'Mark' conditie tot het eerste startbit na dat het Receiver Data Register is gelezen door de processor, zoals in figuur 9/3.2-15 te zien is.

Framing Error

Een Framing Error (kaderfout) wordt veroorzaakt door de afwezigheid van stopbit(s) bij



Figuur 9/3.2-15: Overrun in de echo-mode.

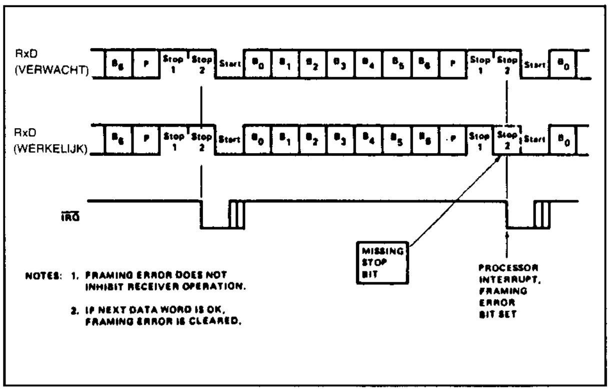
de ontvangen data. Deze fout wordt aangegeven doordat bit 4 tegelijk met het Receiver Data Register Full-bit (beide in het Status Register) worden geset. Als reactie op het $\overline{IRQ}$ dat door RDRF wordt gegenereerd, kan de Framing Error dus in het Status Register worden gevonden. Achtereenvolgende datawoorden worden ieder apart getest op Framing Errors, zodat het statusbit altijd betrekking heeft op het laatst ontvangen dataword (zie figuur 9/3.2-16).

Effect van $\overline{DCD}$ op de ontvanger

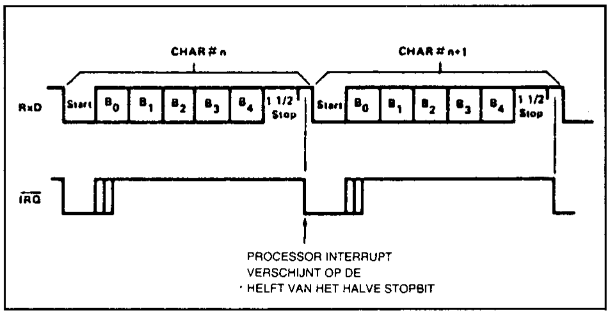
DCD is een uitgangssignaal van de modem, waarmee de status van het draaggolf-detectie circuit in de modem wordt weergegeven. Deze lijn wordt HOOG wanneer de draaggolf verdwijnt. Gewoonlijk zal de modem enige tijd nadat dit gebeurt stoppen met het verzenden van data. De ACIA geeft een $\overline{IRQ}$ wanneer $\overline{DCD}$ van toestand verandert en laat deze conditie zien via bit 5 in het Status Register. Wanneer een dergelijke toestandsverandering eenmaal optreedt, zullen volgende veranderingen geen interrupties of veranderingen in het Status Register meer veroorzaken, totdat de eerste interruptie behandeld is. Wanneer het Status Register door de processor wordt gelezen, checkt de ACIA automatisch het niveau van de $\overline{DCD}$-lijn. Is die in de tussentijd veranderd, dan zal opnieuw een $\overline{IRQ}$ verschijnen (zie figuur 9/3.2-17).

Timing op 1,5 stopbits

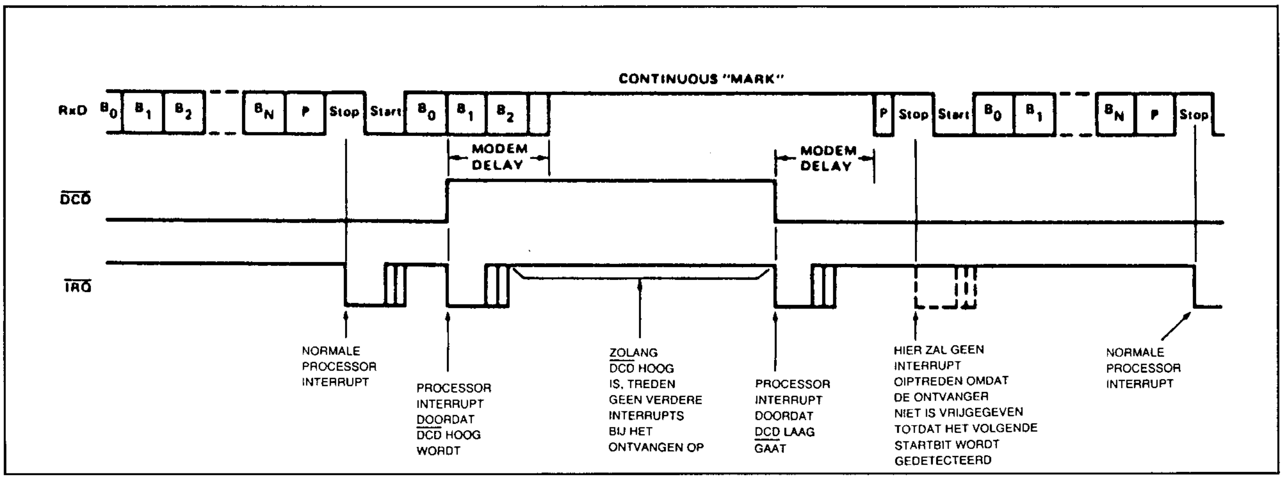
Het is mogelijk om 1,5 stopbits te selecteren, maar dan alleen bij 5-bit datawoorden zonder pariteitsbit. In figuur 9/3.2-18 wordt $\overline{IRQ}$ voor Receiver Data Register Full gegenereerd op de helft van het laatste halve stopbit.



Figuur 9/3.2-16: Framing Error (kaderfout).

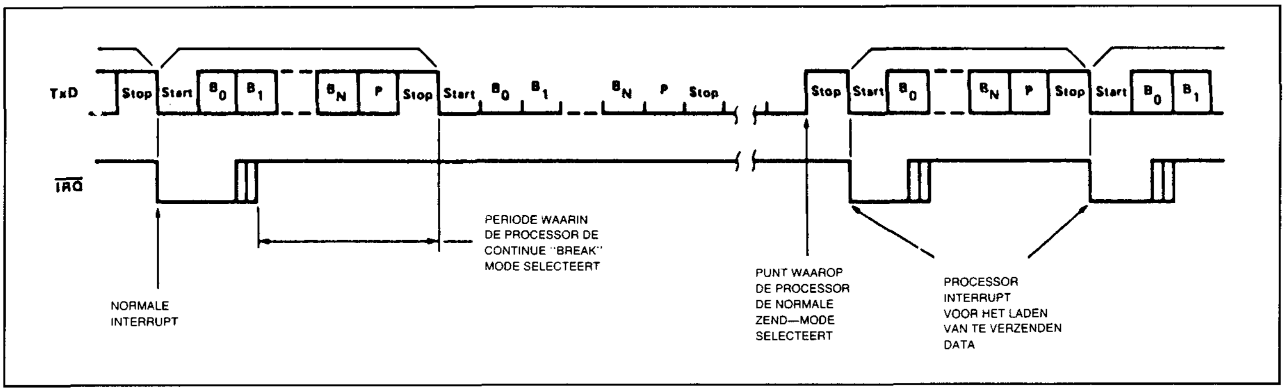


Figuur 9/3.2-18: Timing met 1 1/2 stopbits.



Figuur 9/3.2-17: De invloed van $\overline{DCD}$ op de ontvanger.

3.2 Type-beschrijving 65xx-familie



Figuur 9/3.2-19: Zenden van continu 'break'.

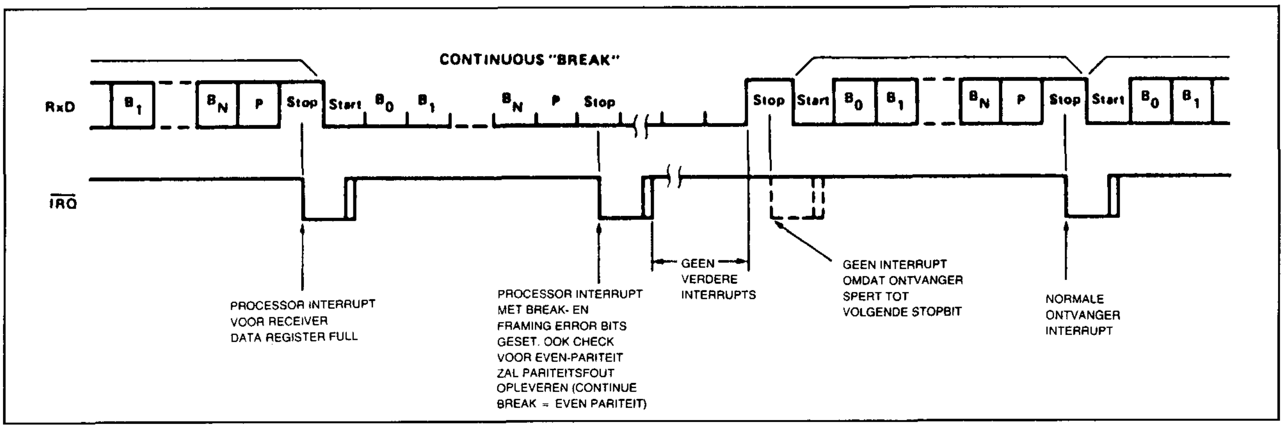
Verzenden van continue 'Break'
Deze mode wordt gekozen via het Command Register van de ACIA en maakt dat de zender voortdurend 'Break'-karakters verzendt. Dit begint met het volgende karakter dat wordt uitgezonden. Zelfs wanneer de processor de zend-mode in het Command Register snel herprogrammeert, wordt minstens één volledig 'Break'-karakter verzonden. Nadat het Command Register weer in de normale zend-mode is teruggeprogrammeerd, wordt onmiddellijk een stopbit gegenereerd en begint het zenden weer. In figuur 9/3.2-19 is de timing hiervan te zien.

Opmerking
Indien, terwijl in de continue 'Break' zendmode wordt gewerkt, de $\overline{CTS}$ HOOG wordt, zal de TxD worden overgenomen door $\overline{CTS}$, zodat vanaf het volgende karakter de continue 'Mark' conditie geldt.

Ontvangen van continue 'Break'
Voor het geval dat de modem voortdurend 'Break'-karakters verzendt, zal de ACIA ophouden met ontvangen. Het ontvangen zal alleen weer beginnen nadat door de ACIA een stopbit wordt waargenomen. In figuur 9/3.2-20 is de timing hiervan te zien.

Werken met het Status Register

Om de speciale functies van de verschillende statusbits zo goed mogelijk te kunnen benutten, dienen zij in de aanbevolen volgorde te worden getest. Wanneer een interrupt optreedt moet de ACIA als volgt worden behandeld.



Figuur 9/3.2-20: Ontvangen van continu 'break'.

1. Lees het Status Register.
   Hierdoor wordt automatisch bit 7 ($\overline{IRQ}$) gecleared. Latere overgangen op $\overline{DSR}$ en $\overline{DCD}$ zullen opnieuw een interrupt veroorzaken.

2. Check $\overline{IRQ}$ (bit 7) in de van het Status Register afkomstige data.
   Is dit LAAG, dan werd de interrupt niet veroorzaakt door de ACIA.

3. Check $\overline{DCD}$ en $\overline{DSR}$.
   Deze moeten worden vergeleken met hun vorige toestanden, die de processor dus moet hebben bewaard. Indien beide LAAG zijn (modem 'on-line') en onveranderd, moeten de resterende bits worden gechecked.

4. Check RDRF (bit 3).
   Kijk of het Receiver Data Register vol is.

5. Check pariteit, overrun en framing error (bits 0, 1 en 2) als het Receiver Data Register vol is.

6. Check TDRE (bit 4).
   Kijk of het Transmitter Data Register leeg is.

7. Indien geen enkele van de bovenstaande condities is opgetreden, moet $\overline{CTS}$ in de HOOG (false) toestand zijn gegaan.

Resetten van het programma

Wanneer de processor een schrijfhandeling naar de ACIA uitvoert met RS0 = LAAG en RS1 = HOOG, treedt er een Program Reset op. Deze programma reset gaat iets anders dan met de Hardware Reset ($\overline{RES}$-pen) en wordt als volgt beschreven.

1. De interne registers worden niet volledig leeggemaakt. Check de formaten van de registers om te zien welke invloed een programma reset heeft op de interne registers.

2. De $\overline{DTR}$-lijn gaat onmiddellijk HOOG.

3. Receiver en transmitter interrupts worden onmiddellijk gesperd. Indien $\overline{IRQ}$ LAAG is als de reset optreedt, blijft hij LAAG tot aan de behandeling ervan, tenzij de interrupt werd veroorzaakt door een $\overline{DCD}$ of $\overline{DSR}$ transitie.

4. $\overline{DCD}$ en $\overline{DSR}$ interrupts worden onmiddellijk gesperd.
   Wanneer $\overline{IRQ}$ LAAG is en veroorzaakt werd door $\overline{DCD}$ of $\overline{DSR}$ gaat hij weer HOOG. De $\overline{DCD}$ en $\overline{DSR}$ statusbits zullen daarna de ingangslijnen volgen terwijl geen interrupts optreden.

5. Indien Overrun HOOG was, wordt deze weer LAAG.

Diversen

1. Indien de Echo Mode werd geselecteerd, gaat $\overline{RTS}$ LAAG.

2. Als bit 0 van het Command Register ($\overline{DTR}$) LAAG is, dan:
   a. worden alle interrupts gesperd, ook die die door $\overline{DCD}$ en $\overline{DSR}$ veranderingen werden veroorzaakt;
   b. wordt de zender onmiddellijk gesperd;
   c. wordt de ontvanger gesperd; is hij echter bezig, dan wordt het karakter eerst afgemaakt.

3. Wanneer de som van alle 1 bits van een datawoord (met inbegrip van het pariteitsbit) oneven is, is er sprake van oneven partiteit.

4. In de ontvang-mode gaat het ontvangen pariteitsbit niet in het Receiver Data Register, maar genereert indien nodig een pariteitsfout voor het Status Register.
5. Zender en ontvanger mogen tegelijkertijd volledig in bedrijf zijn. Dit is de 'full-duplex' mode.

6. Wanneer de RxD-lijn per ongeluk LAAG gaat en direct na een stopbit weer HOOG, interpreteert de ACIA dit niet als een startbit maar wordt weer half in het bit naar de lijn gekeken om te bepalen of het een echt of een vals startbit is. Bij een vals startbit begint de ACIA niet met het ontvangen van data; alleen een echt startbit brengt de ontvangst op gang.

7. Voorzorgsmaatregelen bij gebruik van de kristaloscillator schakeling:
   a. het externe kristal moet een 'serie'-mode type zijn;
   b. de XTLI-ingang mag worden gebruikt als externe clock-ingang. De niet-gebruikte pen XTLO moet open blijven en mag nergens anders voor worden gebruikt.

8. Hoewel $\overline{DCD}$ en $\overline{DSR}$ overgangen direct processor interrupts veroorzaken, hebben zij geen invloed op de werking van de zender. De data blijven uitgezonden worden, tenzij de zender door de processor wordt afgezet. Aangezien deze ingangen hoog-impedant zijn, mogen zij in niet-verbonden toestand niet zweven. Zij moeten aan GND of aan Vcc liggen.

Het genereren van niet-standaard Baud Rates

Met de bits 0 t/m 3 van het Control Register kan de interne teller/deler worden ingesteld op het gewenste getal waardoor de kristalfrequentie (1,8432 MHz) wordt gedeeld, zie tabel 9/3.2-2.
Wanneer een ander kristal wordt gebruikt, worden andere baudrates opgewekt:

$$\text{Baud Rate} = \frac{\text{kristal frequentie}}{\text{deler}}$$

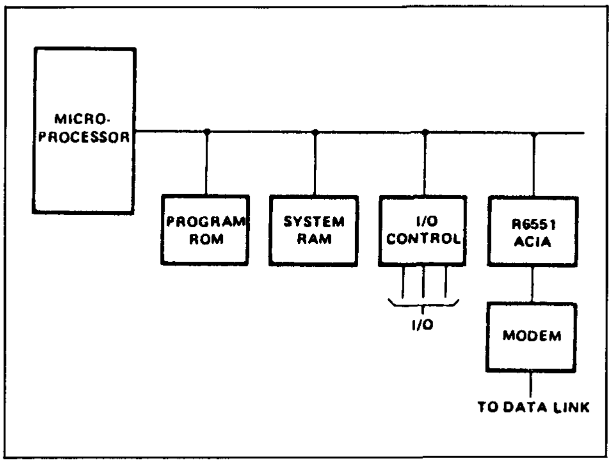
Het is bovendien mogelijk de ACIA aan te sturen met een 'off-chip' oscillator, waardoor nog weer andere baudrates kunnen ontstaan. In dit geval is pen 6 (XTLI) de clock-ingang en blijft pen 7 (XTLO) open.

Diagnostische kringloop bedrijfsmodes

In figuur 9/3.2-21 is een vereenvoudigd blokschema te zien van een systeem dat een ACIA bevat. Het kan wenselijk zijn in het systeem een mogelijkheid voor 'kringloop' testen aan te brengen. Dit kan op twee manieren gebeuren.

1. Lokale kringloop
   Kringloop vanuit het gezichtspunt van de processor. In dit geval moeten de modem en de data verbinding worden losgemaakt en moet de zender van de ACIA met zijn eigen ontvanger worden verbonden zodat de processor diagnostische tests op het systeem kan uitvoeren met uitzondering van het eigenlijke datakanaal.
2. Kringloop op afstand
   Kringloop vanuit het gezichtspunt van de data verbinding en de modem. Hierbij wordt de processor zelf losgemaakt en worden alle ontvangen data direct weer verzonden, zodat het systeem aan de andere kant van de data verbinding onafhankelijk van het lokale systeem kan werken.

De ACIA bevat geen bedrijfsmodes voor automatische kringloop, maar deze kunnen door toevoeging van een kleine externe schakeling worden ingevoerd, zoals in figuur



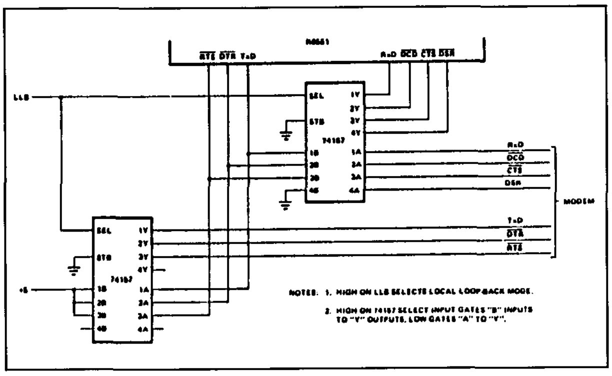
Figuur 9/3.2-21: Vereenvoudigd systeem.

3.2 Type-beschrijving 65xx-familie

9/3.2-22 te zien is. De LLB-lijn is het positief-waar signaal waardoor de kringloop werking mogelijk wordt.

Bij LLB = HOOG gebeurt het volgende:

1. de uitgangen TxD, $\overline{DTR}$ en $\overline{RTS}$ (naar de modem) worden geblokkeerd (disabled);
2. de ingangen RxD, $\overline{DCD}$, $\overline{CTS}$ en $\overline{DSR}$ (van de modem) worden geblokkeerd;
3. de uitgangen van de zender worden met de overeenkomstige ingangen van de ontvanger verbonden (dus TxD aan RxD, $\overline{DTR}$ aan $\overline{DCD}$ en $\overline{RTS}$ aan $\overline{CTS}$).



Figuur 9/3.2-22: Voor kringloop benodigde extra schakelingen.

Control Register Bits 3	2	1	0	Divisor Selected For The Internal Counter	Baud Rate Generated With 1.8432 MHz Crtstal	Baud Rate Generated With a Crystal of Frequency (F)
0	0	0	0	No Divisor Selected	16 × External Clock at Pin RxC	16 × External Clock at Pin RxC
0	0	0	1	36,864	$\frac{1.8432 \times 10^6}{36,864} = 50$	$\frac{F}{36,864}$
0	0	1	0	24,576	$\frac{1.8432 \times 10^6}{24,576} = 75$	$\frac{F}{24,576}$
0	0	1	1	16,769	$\frac{1.8432 \times 10^6}{16,769} = 109.92$	$\frac{F}{16,769}$
0	1	0	0	13,704	$\frac{1.8432 \times 10^6}{13,704} = 134.51$	$\frac{F}{13,704}$
0	1	0	1	12,288	$\frac{1.8432 \times 10^6}{12,288} = 150$	$\frac{F}{12,288}$
0	1	1	0	6,144	$\frac{1.8432 \times 10^6}{6,144} = 300$	$\frac{F}{6,144}$
0	1	1	1	3,072	$\frac{1.8432 \times 10^6}{3,072} = 600$	$\frac{F}{3,072}$
1	0	0	0	1,536	$\frac{1.8432 \times 10^6}{1,536} = 1,200$	$\frac{F}{1,536}$
1	0	0	1	1,024	$\frac{1.8432 \times 10^6}{1,024} = 1,800$	$\frac{F}{1,024}$
1	0	1	0	768	$\frac{1.8432 \times 10^6}{768} = 2,400$	$\frac{F}{768}$
1	0	1	1	512	$\frac{1.8432 \times 10^6}{512} = 3,600$	$\frac{F}{512}$
1	1	0	0	384	$\frac{1.8432 \times 10^6}{384} = 4,800$	$\frac{F}{384}$
1	1	0	1	256	$\frac{1.8432 \times 10^6}{256} = 7,200$	$\frac{F}{256}$
1	1	1	0	192	$\frac{1.8432 \times 10^6}{192} = 9,600$	$\frac{F}{192}$
1	1	1	1	96	$\frac{1.8432 \times 10^6}{96} = 19,200$	$\frac{F}{96}$

Tabel 9/3.2-2: Instelling van de Baudrates.

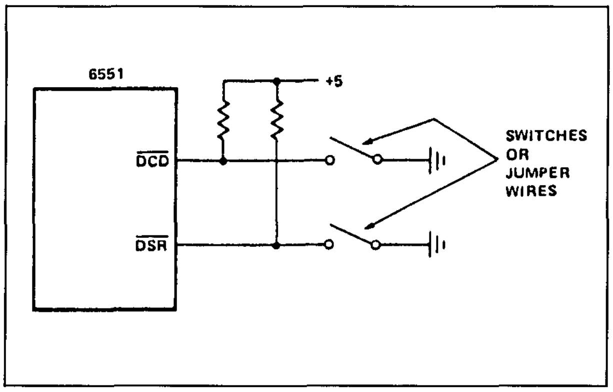
LLB kan op een peripheral control-pen (bijvoorbeeld van een 6520 PIA of een 6522 VIA) worden aangesloten om de lokale kringloop operatie door de processor te kunnen besturen. Op deze wijze is de processor in staat om de schakeling diagnostisch te testen.
Voor kringloop op afstand is deze schakeling niet nodig, zodat LLB dan LAAG moet zijn.
De processor moet echter het volgende selecteren:

1. in het Control Register moet bit 4 HOOG zijn, zodat de zend-clock gelijk is aan de ontvang-clock;
2. in het Command Register moet bit 4 HOOG zijn voor selectie van de echo mode;
3. in het Command Register moet bit 3 HOOG zijn en bit 2 LAAG om de $\overline{IRQ}$ interrupt naar de zender te blokkeren;
4. bit 1 in het Command Register moet LAAG zijn om de $\overline{IRQ}$ interrupt naar de ontvanger te blokkeren.

Op deze wijze zendt het systeem de ontvangen data weer uit, zonder dat het lokale systeem wordt beïnvloed.

DCD en DSR als geschakelde ingangen
De 6551 heeft verschillende besturingspennen voor speciale functies, waaronder de signaal-ingangen $\overline{DCD}$ en $\overline{DSR}$. Behalve voor de normale functies kunnen deze pennen ook worden gebruikt als schakeldetector, dat wil zeggen dat ze de stand van schakelaars of jumpers kunnen detecteren.
Een belangrijke eis bij het gebruik van $\overline{DCD}$ en $\overline{DSR}$ als leesingang is, dat de toestand ervan niet mag veranderen als het systeem in bedrijf is. Gebeurt dat toch en is de ACIA vrijgegeven, dan zullen er direct processor interrupts optreden, zodat de normale werking wordt onderbroken. Zijn deze pennen echter aangesloten op schakelaars of jumpers die tijdens bedrijf niet van stand veranderen, dan kunnen ze door de processor in de gaten worden gehouden, zodat zij voor het selecteren van speciale bedrijfsmodes gebruikt kunnen worden.

De aansluitingen van $\overline{DCD}$ en $\overline{DSR}$ zijn zeer eenvoudig, zoals in figuur 9/3.2-23 te zien is. Omdat $\overline{DCD}$ en $\overline{DSR}$ hoog-impedante ingangen zijn, moeten optrekweerstanden worden gebruikt.



Figuur 9/3.2-23: Aansluitingen van $\overline{DCD}$ en $\overline{DSR}$ bij schakeldetectie.

Om de toestand van de ingangen te detecteren, zijn de volgende handelingen nodig:

1. blokkeer de ACIA door bit 0 van het Command Register LAAG te maken;
2. lees het Status Register van de ACIA. De bits 5 en 6 zullen respectievelijk de toestand van $\overline{DCD}$ en $\overline{DSR}$ aangeven. Een '0' is een LAAG niveau en een '1' is HOOG.

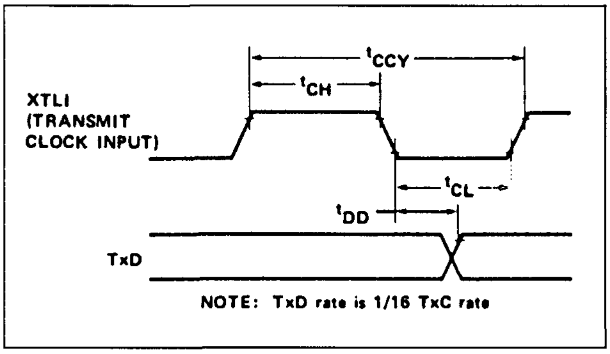
Zolang de ACIA geblokkeerd is, zal het Status Register de toestand van de ingangen weergeven en zullen er geen interrupts optreden.

Timing diagrammen voor zenden en ontvangen
De timing diagrammen voor zenden met externe clock, ontvangen met externe clock en $\overline{IRQ}$ opwekking zijn te zien in de figuren 9/3.2-24, 25 en 26. De bijbehorende kenmerken staan vermeld in tabel 9/3.2-3.

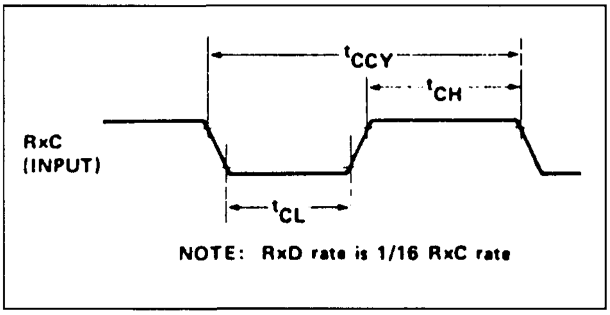
Overige elektrische en timing-kenmerken

Deze worden vermeld in de figuren 9/3.2-27 en 28 en de bijbehorende tabellen 9/3.2-4, 5 en 6.

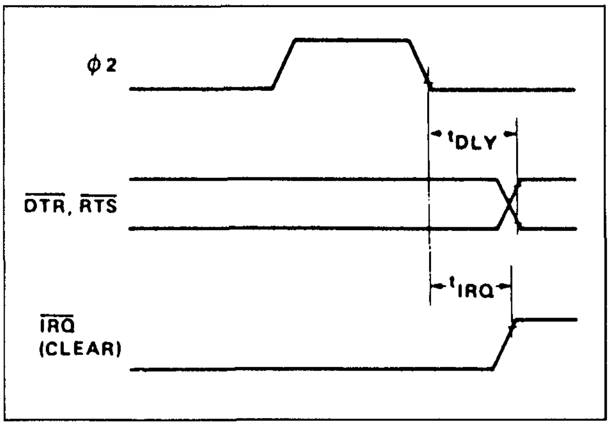
3.2 Type-beschrijving 65xx-familie



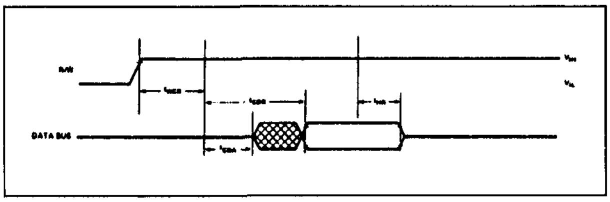
Figuur 9/3.2-24: Zend-timing met externe clock.



Figuur 9/3.2-25: Ontvang-timing met externe clock.



Figuur 9/3.2-26: Interrupt- en uitgangstiming.

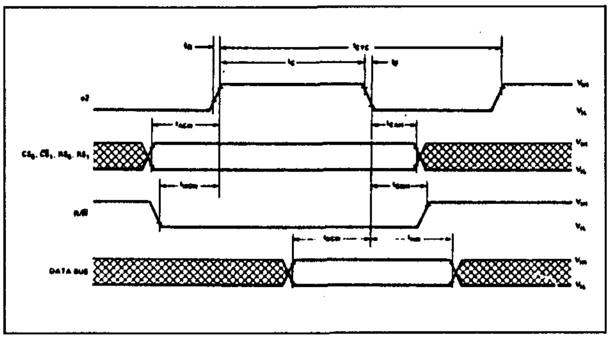


Figuur 9/3.2-28: Lees-timing.

Characteristic	Symbol	1 MHz		2 MHz		Unit
		Min	Max	Min	Max	
Transmit/Receive Clock Rate	t_{CCY}	400*	—	400*	—	ns
Transmit/Receive Clock High Time	t_{CH}	175	—	175	—	ns
Transmit/Receive Clock Low Time	t_{CL}	175	—	175	—	ns
XTLI to TxD Propagation Delay	t_{DD}	—	500	—	500	ns
RTS Propagation Delay	t_{DLY}	—	500	—	500	ns
$\overline{IRQ}$ Propagation Delay (Clear)	t_{IRQ}	—	500	—	500	ns
Load Capacitance $\overline{DTR}$, RTS	C_L	—	130	—	130	pF
Load Capacitance TxD		—	30	—	30	pF

Notes:
(t_R, t_F = 10 to 30 ns)
*The baud rate with external clocking is: Baud Rate = $\frac{1}{16 \times t_{CCY}}$

Tabel 9/3.2-3: Kenmerken van zender/ontvanger.



Figuur 9/3.2-27: Schrijf-timing.

ABSOLUTE MAXIMUM RATINGS

Parameter	Symbol	Value	Unit
Supply Voltage	V_{CC}	−0.3 to +7.0	Vdc
Input Voltage	V_{IN}	−0.3 to V_{CC}	Vdc
Output Voltage	V_{OUT}	−0.3 to V_{CC}	Vdc
Operating Temperature	T_A	0 to +70	°C
Storage Temperature	T_{STG}	−55 to +150	°C

OPERATING CONDITIONS

Parameter	Symbol	Value
Supply Voltage	V_{CC}	5V ±5%
Temperature Range Commercial	T_A	0° to 70°C
Temperature Range Industrial		−40°C to +85°C

Tabel 9/3.2-5: Elektrische kenmerken van de 6551 ACIA.

3.2 Type-beschrijving 65xx-familie

AC CHARACTERISTICS

(V_{CC} = 5.0V ± 5%, V_{SS} = 0, T_A = T_L to T_H, unless otherwise noted)

Parameter	Symbol	1 MHz		2 MHz		Unit
		Min	Max	Min	Max	
Cycle Time	t_{CYC}	1.0	40	0.5	40	µs
Ø2 Pulse Width	t_C	400	—	200	—	ns
Address Set-Up Time	t_{ACW}	120	—	70	—	ns
Address Hold Time	t_{CAH}	0	—	0	—	ns
R/W̄ Set-Up Time	t_{WCW}	120	—	70	—	ns
R/W̄ Hold Time	t_{CWH}	0	—	0	—	ns
Data Bus Set-Up Time	t_{DCW}	150	—	60	—	ns
Data Bus Hold Time	t_{HW}	20	—	20	—	ns
Read Access Time (Valid Data)	t_{CDR}	—	200	—	150	ns
Read Hold Time	t_{HR}	20	—	20	—	ns
Bus Active Time (Invalid Data)	t_{CDA}	40	—	40	—	ns

Notes: 1. V_{CC} = 5.0V ±5%.
2. T_A = T_L to T_H.
3. t_R and t_F = 10 to 30 ns.
4. D0-D7 load capacitance = 130 pF.

Tabel 9/3.2-4: Bus Timing karakteristieken.

DC CHARACTERISTICS

(V_{CC} = 5.0V ± 5%, V_{SS} = 0, T_A = T_L to T_H, unless otherwise noted)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Input High Voltage Except XTLI and XTLO XTLI and XTLO	V_{IH}	 2.0 2.4	 — —	 V_{CC} V_{CC}	V	
Input Low Voltage Except XTLI and XTLO XTLI and XTLO	V_{IL}	 V_{SS} V_{SS}	 — —	 0.8 0.4	V	
Input Leakage Current Ø2, R/W̄, R̄ĒS̄, CS0, CS1, RS0, RS1, C̄T̄S̄, RxD, D̄C̄D̄, D̄S̄R̄	I_{IN}	—	—	2.5	µA	V_{IN} = 0V to 5.25V V_{CC} = 0V
Input Leakage Current for High Impedance (Three State Off) D0–D7	I_{TSI}	—	±2	±10.0	µA	V_{IN} = 0.4V to 2.4V V_{CC} = 5.25V
Output High Voltage D0-D7, TxD, RxC, R̄T̄S̄, D̄T̄R̄	V_{OH}	2.4	—	—	V	I_{LOAD} = −100 µA V_{CC} = 4.75V
Output Low Voltage D0-D7, TxD, RxC, R̄T̄S̄, D̄T̄R̄, ĪR̄Q̄	V_{OL}	—	—	0.4	V	V_{CC} = 4.75V I_{LOAD} = 1.6 mA
Output High Current (Sourcing) D0-D7, TxD, RxC, R̄T̄S̄, D̄T̄R̄	I_{OH}	−100	—	—	µA	V_{OH} = 2.4V
Output Low Current (Sinking) D0-D7, TxD, RxC, R̄T̄S̄, D̄T̄R̄, ĪR̄Q̄	I_{OL}	1.6	—	—	mA	V_{OL} = 0.4V
Output Leakage Current (off state) ĪR̄Q̄	I_{OFF}	—	—	10.0	µA	V_{OUT} = 5V
Clock Capacitance (Ø2)	C_{CLK}	—	—	20	pF	V_{CC} = 5V V_{IN} = 0V f = 1 MHz T_A = 25°C
Input Capacitance except Ø2	C_{IN}	—	—	10	pF	
Output Capacitance	C_{OUT}	—	—	10	pF	
Power Dissipation	P_D	—	170	300	mW	T_A = 25°C

Tabel 9/3.2-6: Elektrische karakteristieken.

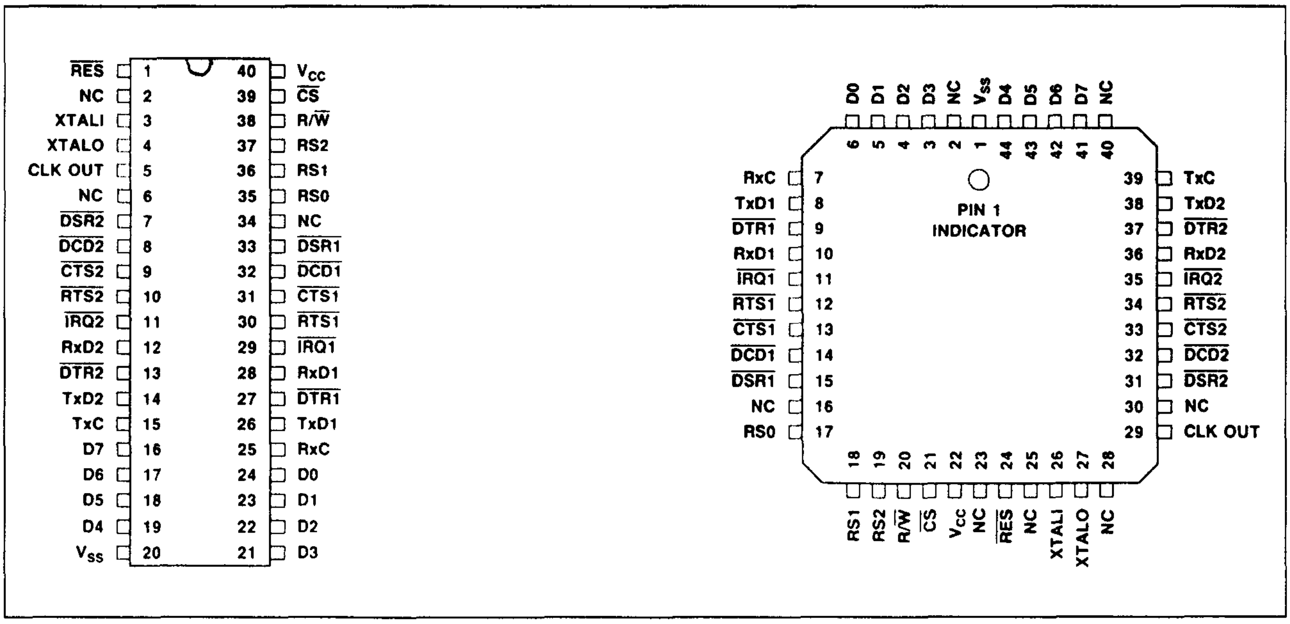
65C52 Dubbele Asynchrone Communicatie Interface Adapter - DACIA

Inleiding

Met de 65C52 dubbele ACIA kan op eenvoudige wijze een tweekanaals programmabestuurde interface tussen een 8 bit microcomputer en een serieel communicatiesysteem of modem worden gebouwd. De 65C52 heeft een inwendige baud-rate generator. Hierdoor zijn, behalve een kristal, verder geen ondersteunende componenten nodig. De snelheid van de zender kan uit 15 mogelijkheden worden geprogrammeerd van 50 tot 38.400 baud (bits per seconde) of als 1/16 van de clocksnelheid.

De snelheid van de ontvanger is ook programmeerbaar en kan gelijk zijn aan die van de zender of 1/16 van de clocksnelheid. De DACIA heeft programmeerbare woordlengten van 5, 6, 7 of 8 bits met even, oneven of geen pariteit en 1 of 2 stopbits. De DACIA is ontworpen voor maximale besturing vanuit de CPU zodat volstaan kan worden met eenvoudige hardware. Door de aanwezigheid van dubbele sets registers kan elk kanaal apart worden bestuurd en gecontroleerd. Tevens beschikt de DACIA over een unieke programmeerbare automatische adresherkenningsmode voor gebruik in meerpunts omgevingen.

- Door middel van het Control Register en het Status Register kan de CPU gemakkelijk de bedrijfsmodes van de 65C52 kiezen en de toestand daarvan bepalen.
- De Interrupt Enable Registers (IER) en Interrupt Status Registers (ISR) helpen de CPU bij het instellen en controleren van de interrupt-mogelijkheden van de DACIA.
- Het Control en Format Register (CFR) maakt keuze van de baud-rates, woordlengten, pariteit en stopbits mogelijk en regelt tevens de DTR en RTS uitgangssignalen.
- Het Status Register (SR) verschaft de CPU informatie over de toestand van de modem-besturingslijnen, framing fouten, zender "underrun" en break-condities.



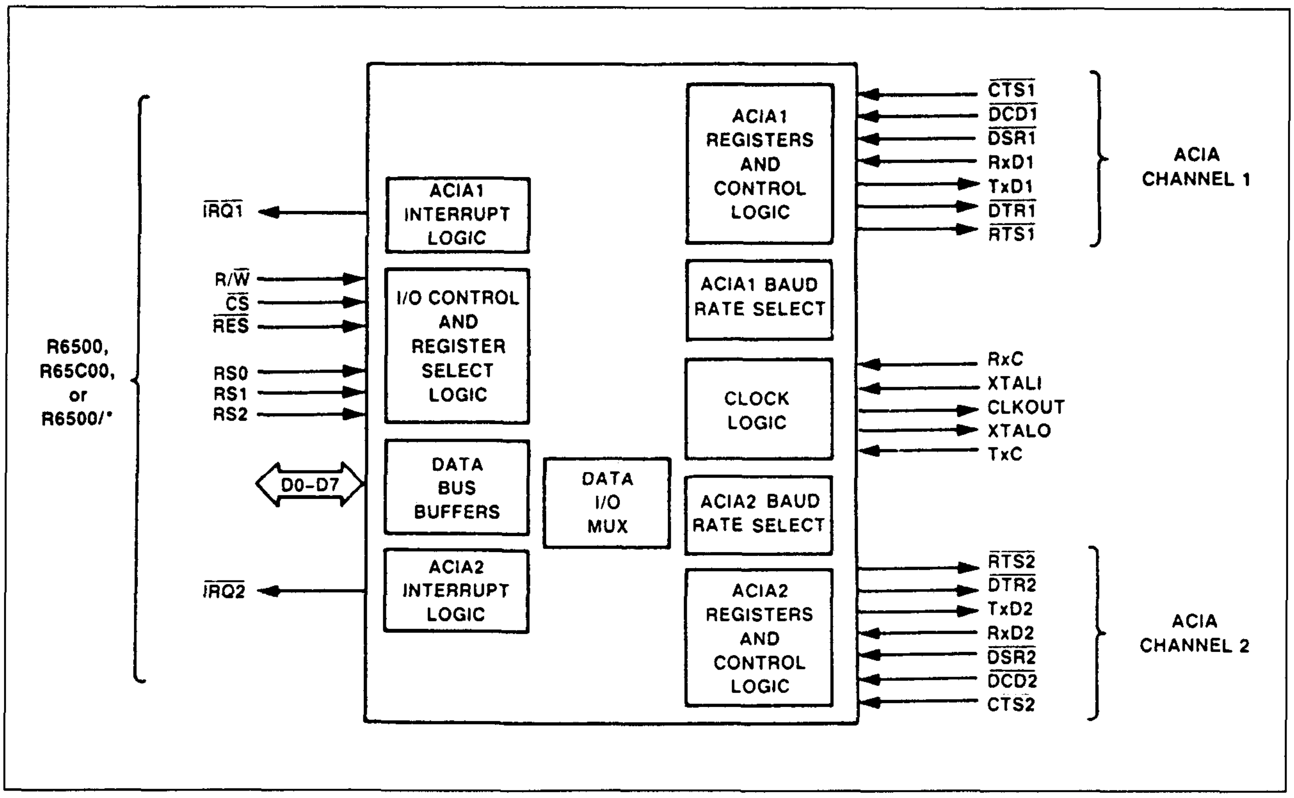
Figuur 9/3.2-29: Aansluitingen van de 65C52 (40-pens DIL en 44-pens PLCC).

3.2 Type-beschrijving 65xx-familie

- De Compare Data Registers (CDR) houden de data-waarde vast om te worden gebruikt in de vergelijk (compare) mode en het Transmit Break Register (TBR) bestuurt een Transmit Break en verzorgt de herkenning van pariteit/adres voor de automatische adresmode.
- Het Transmitter Data Register en Receiver Data Register worden gebruikt voor tijdelijke opslag van data aan in- en uitgang.

Kenmerken van de 65C52

- twee onafhankelijke full duplex kanalen met gebufferde ontvangers en zenders;
- low power CMOS-technologie
- data set/modem control functies
- interne baud-rate generator met 15 programmeerbare snelheden (50 tot 38.400 bps)
- programmeerbare in-/extern gestuurde ontvangsnelheid
- programmeerbare woordlengten, aantal stopbits en opwekking en detectie van het pariteitsbit
- programmeerbare interrupt control
- edge-detectie voor $\overline{DCD}$, $\overline{DSR}$, $\overline{DTR}$, $\overline{RTS}$ en $\overline{CTS}$
- met programma instelbare seriële echo-mode voor lek kanaal
- automatische adres-herkenningsmode voor multidrop bedrijf
- werkt op 1, 2, 3 of 4 MHz host bus
- enkele 5 V +/-5 % voeding
- volledig TTL- en CMOS-compatibele in- en uitgangen
- 40-pens plastic of ceramische DIP of 44-pens plastic leaded chip carrier (PLCC) (zie figuur 9/3.2-29)
- fabrikant
  Rockwell R65C52-1/2/3/4 (1, 2, 3, 4 MHz).



Figuur 9/3.2-30: Vereenvoudigd blokschema van de 65C52 met de interface signalen naar processor en beide kanalen.

3.2 Type-beschrijving 65xx-familie

HEX ADDR	REGISTER SELECT LINES			CONTROL AND FORMAT REGISTER BITS		REG ABBR	REGISTER ACCESS	
	RS2	RS1	RS0	CFR-7	CFR-6		WRITE	READ
00	L	L	L	–	–	IER1 ISR1	INTERRUPT ENABLE REGISTER 1	INTERRUPT STATUS REGISTER 1
01	L	L	H	0	–	CFR1 SR1	CONTROL REGISTER 1	STATUS REGISTER 1
				1	–	CFR1	FORMAT REGISTER 1	INVALID
02	L	H	L	–	0	CDR1	COMPARE DATA REGISTER 1	INVALID
				–	1	TBR1	TRANSMIT BREAK REGISTER 1	INVALID
03	L	H	H	–	–	TDR1 RDR1	TRANSMIT DATA REGISTER 1	RECEIVE DATA REGISTER 1
04	H	L	L	–	–	IER2 ISR2	INTERRUPT ENABLE REGISTER 2	INTERRUPT STATUS REGISTER 2
05	H	L	H	0	–	CFR2 SR2	CONTROL REGISTER 2	STATUS REGISTER 2
				1	–	CFR2	FORMAT REGISTER 2	INVALID
06	H	H	L	–	0	CDR2	COMPARE DATA REGISTER 2	INVALID
				–	1	TBR2	TRANSMIT BREAK REGISTER 2	INVALID
07	H	H	H	–	–	TDR2 RDR2	TRANSMIT DATA REGISTER 2	RECEIVE DATA REGISTER 2

Tabel 9/3.2-7: DACIA register-selectie.

Interface signalen

Inleiding

In figuur 9/3.2-30 zijn de interface signalen samengevat, waarvan in het kort de functies worden besproken.

Data Bus (D0 - D7)

Data-transport van en naar de processor vindt plaats via deze acht bidirectionele datalijnen. D0 tot en met D7 zijn normaal hoog-impedant, behalve tijdens de Read-cyclus wanneer de DACIA is geselecteerd.

Register Selects (RS0, RS1, RS2)

De drie register selectlijnen worden normaal verbonden met de adreslijnen van de processor om deze in staat te stellen de verschillende interne registers van de DACIA te selecteren. In tabel 9/3.2-7 wordt de codering van de interne registers getoond en staan de afkortingen (ABBR) die in deze beschrijving worden gebruikt.

Read/Write ($R/\overline{W}$)

Het $R/\overline{W}$-signaal wordt door de processor opgewekt en regelt de richting van het datatransport. Een leescyclus wordt aangegeven door de $R/\overline{W}$-lijn HOOG te maken, terwijl in de DACIA wordt geschreven als $R/\overline{W}$ LAAG is.

Chip Select ($\overline{CS}$)

De chip select-ingang wordt normaal verbonden met één van de adreslijnen van de processor (direct of via een decoder). Op de dalende flank van $\overline{CS}$ worden adres en $R/\overline{W}$-signaal in interne latches opgeslagen, terwijl de informatie op de databus-ingangen op de stijgende flank van $\overline{CS}$ wordt gelatched.

Reset ($\overline{RES}$)

Tijdens de initialisatie van het systeem treedt door het LAAG maken van de $\overline{RES}$-ingang een reset op. Gedurende deze tijd worden de IER's op $80 gezet, gaan de $\overline{DTR}$- en $\overline{RTS}$-lijnen HOOG, wordt het RDR register

leeg gemaakt, wordt het TBR op $0F gezet, wordt de compare-mode afgeschakeld en worden de CTS, DCD en DSR vlaggen gecleared. Verder worden geen bits beïnvloed.

Transmit Data (TxD1, TxD2)
De TxD-uitgangen sturen seriële non-return-to-zero (NRZ) data naar de datacommunicatie schakelingen (DCE, bijvoorbeeld modems). De data wordt met het minst belangrijke bit voorop (LSB) overgebracht met een snelheid die wordt bepaald door de baud-rate generator.

Receive Data (RxD1, RxD2)
De DACIA ontvangt seriële NRZ data via de RxD-ingangen (ook met het LSB voorop). De snelheid van de ontvanger wordt bepaald door de baud-rate generator.

Clear to Send (CTS1, CTS2)
De CTS besturingslijnen maken "handshaking" door de zender mogelijk. Als CTS = LAAG wordt de data continu verstuurd. Is CTS = HOOG dan wordt het Transmit Data Register "leeg" bit in het ISR niet gezet. Het woord dat zich op dat moment in het Transmit Schuifregister bevindt wordt dan normaal verzonden.
Door een aktieve verandering op de CTS-lijnen wordt het CTS-bit in het bijbehorende ISR gezet. Het CTS statusbit in het CSR geeft de huidige toestand aan (HOOG of LAAG) van CTS.

Data Carrier Detect (DCD1, DCD2)
Deze twee lijnen kunnen als ingangen voor algemene doeleinden worden gebruikt. Door een aktieve verandering wordt het DCD-bit in het ISR gezet. Het DCD-bit in het CSR geeft de huidige toestand van de DCD-lijn weer.

Data Set Ready (DSR1, DSR2)
Ook deze lijnen kunnen als ingangen voor algemene doeleinden worden gebruikt. Een aktieve verandering maakt dat het DSR-bit in het ISR wordt gezet. Het DSR-bit in het CSR geeft de huidige toestand van de DCD-lijn weer.

Request to Send (RTS1, RTS2)
Deze beide lijnen kunnen als algemene uitgangen worden gebruikt. Na resetten worden ze HOOG. Hun toestand kan worden geprogrammeerd door de bijbehorende bits in het CFR HOOG of LAAG te zetten. De status van de RTS-lijn wordt weergegeven door het RTS-bit in het CSR.

Data Terminal Ready (DTR1, DTR2)
Deze twee lijnen kunnen worden gebruikt als uitgangen voor algemene toepassing. Na resetten zijn ze HOOG. De toestand ervan kan worden geprogrammeerd door de bijbehorende bits in het CFR HOOG of LAAG te zetten.
De toestand van de DTR-lijn wordt weergegeven door het DTR-bit in het CSR.

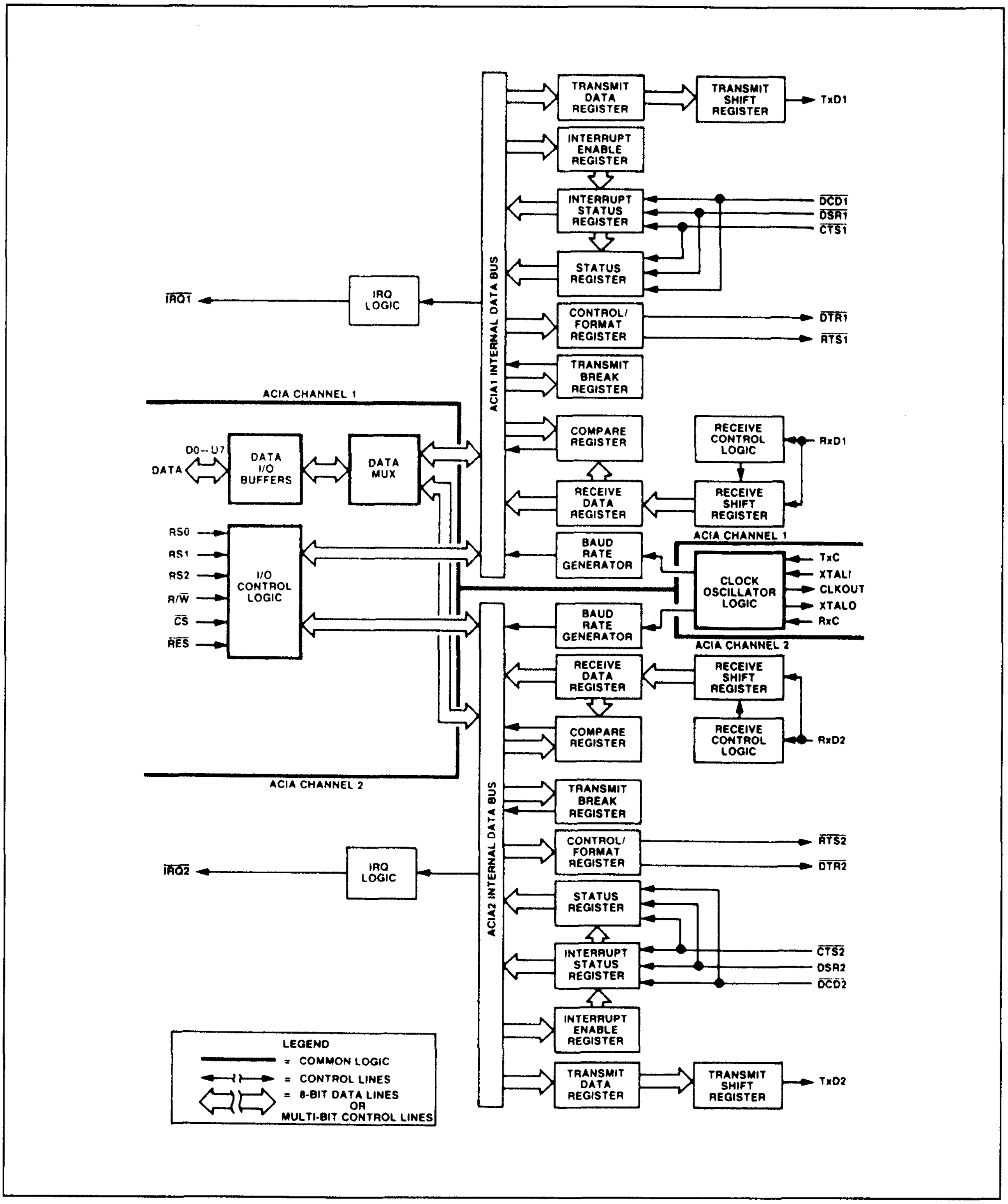
Interrupt Request (IRQ1, IRQ2)
De IRQ-lijnen zijn open-drain uitgangen van de interrupt-besturingslogika. IRQ1 heeft betrekking op ACIA1 en IRQ2 op ACIA2. Deze lijnen zijn normaal HOOG, maar gaan LAAG als één van de vlaggen in het ISR is gezet mits het overeenkomstige enable-bit in het IER gezet was.

Functionele beschrijving

Blokschema
Figuur 9/3.2-31 geeft het blokschema van de DACIA die bestaat uit twee asynchrone communicatie-interfaces met gemeenschappelijke microprocessor-interface besturingslogika en databus-buffers. Aan de hand van dit blokschema worden de functionele elementen van de DACIA beschreven.

Interrupt Logic
De interruptie-logika zorgt ervoor dat de IRQ-lijnen (IRQ1 of IRQ2) LAAG gaan als er condities optreden die de aandacht van de CPU vereisen.

3.2 Type-beschrijving 65xx-familie



Figuur 9/3.2-31: Blokschema van de 65C52 DACIA.

Er zijn twee registers (het Interrupt Enable Register en het Interrupt Status Register) betrokken bij het afhandelen van interrupties. Om een interruptie te veroorzaken moeten de overeenkomstige bits in beide registers zijn gezet.

Data Bus Buffer

De databus-buffer is een bidirectionele interface tussen de datalijnen van het systeem en de interne databus. Als R/$\overline{W}$ en $\overline{CS}$ LAAG zijn schrijft de databus-buffer data uit de interne databus naar de datalijnen van het systeem. Maar als R/$\overline{W}$ HOOG en $\overline{CS}$ LAAG is wordt data uit de systeem databus naar de DACIA gestuurd, hetgeen samengevat is in tabel 9/3.2-8.

Control Signals R/$\overline{W}$	$\overline{CS}$	Data Bus Buffer State
L	L	Write Mode — Tri-State
H	L	Read Mode — Output Data

Tabel 9/3.2-8: Toestanden van de Data Bus Buffer.

Transmit & Receive Data Registers

Deze registers worden gebruikt voor tijdelijke opslag van data voor de zend- en ontvangschakelingen van de DACIA.

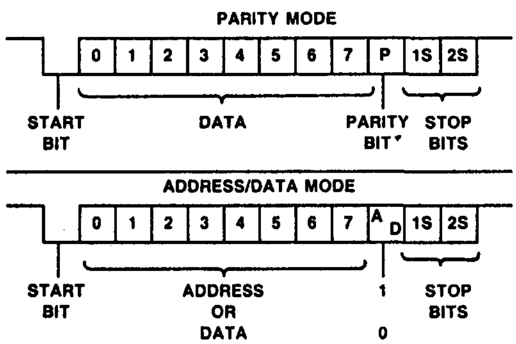
Het Transmit Data Register heeft de volgende kenmerken:

- bit 0 is het eerste bit dat wordt verzonden;
- niet-gebruikte databits zijn de meest-significante bits en "don't care" bij het zenden;
- write-only register.

Het Receive Data Register wordt als volgt gekarakteriseerd:

- bit 0 wordt het eerst ontvangen;
- niet-gebruikte databits zijn de meest-significante bits en 0 voor de ontvanger;
- pariteitsbits worden niet opgeslagen in het ontvang data-register, deze worden na gebruik voor externe pariteitscontrole weggehaald, pariteit en alle niet-gebruikte bits zijn 0;
- read-only register.

In figuur 9/3.2-32 is een voorbeeld gegeven van een enkel verzonden of ontvangen woord in de pariteitsmode. In dit voorbeeld bestaat het woord uit 8 databits met pariteit en twee stopbits. Tevens is een enkel verzonden of ontvangen karakter in de Address/Data mode te zien. In dit geval is het adres- of data-woord 8 bit, er is geen pariteitsbit en er zijn twee stopbits. Het tiende bit (= normaal het pariteitsbit) is een adres/data indicator. Als dit 1 is, betekent dit dat de 8 bit een adres zijn; is het 0 dan zijn de 8 bit data.



Figuur 9/3.2-32: Data-woord bij verzenden of ontvangen in de pariteitsmode of in de adres/data-mode.

Clock-schakeling

De interne clock-oscillator levert de tijdbasis voor de baud-rate generator. De oscillator kan worden aangestuurd door een kristal of een externe clock. Ook kan de oscillator worden gesperd, waarbij de tijdbasis voor de baud-rate generator wordt opgewekt door de Receiver External Clock (RxC) en de Transmitter External Clock (TxC). De drie mogelijke clock-configuraties worden voorgesteld in figuur 9/3.2-33.

3.2 Type-beschrijving 65xx-familie

Crystal (XTALI, XTALO)

Deze pennen worden meestal verbonden met een extern 3,6864 MHz kristal dat dient als tijdbasis voor de baud-rate generator. Als alternatief mag op de XTALI-pen ook een extern opgewekt clocksignaal worden gezet, maar dan moet XTALO open blijven.

Receiver Clock (RxC)

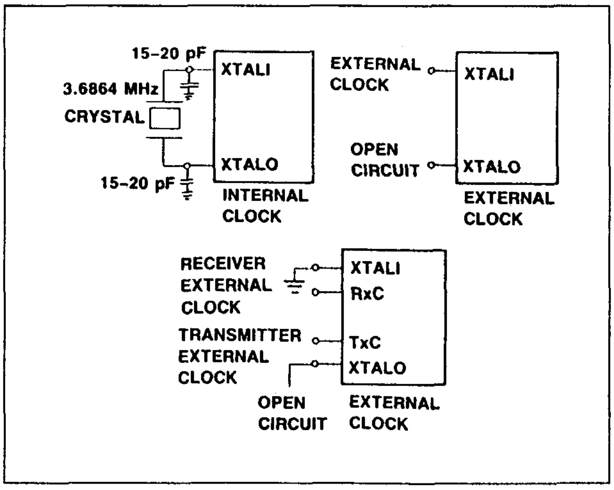
De RxC-pen is de 16x clock-ingang van de ontvanger wanneer de baud-rate generator is geprogrammeerd voor externe clock. De timing-voorwaarden zijn samengevat in figuur 9/3.2-49.

Transmitter Clock (TxC)

Deze pen is de 16x clock-ingang voor de zender als de baud-rate generator is geprogrammeerd voor externe clock.
De timing-voorwaarden zijn samengevat in figuur 9/3.2-50.
Let op: Wanneer RxC en TxC als externe clock-ingang voor beide ACIA-kanalen worden gebruikt, moet XTALI aan aarde (V_{SS}) worden gelegd, terwijl XTALO open (zwevend) moet blijven.

Clock Out (CLK OUT)

Deze uitgang levert een gebufferd uitgangssignaal van de 3,6864 MHz kristal-oscillator. Dit signaal kan bijvoorbeeld worden gebruikt om de XTALI-ingang van andere ACIA's aan te sturen. CLK OUT is in fase met XTALI.



Figuur 9/3.2-33: De opwekking van clocksignalen.

7	6	5	4	3	2	1	0
0	TBR/CDR	NO. STOP BITS	ECHO	BAUD RATE SELECTION			

Bit 7	**Control or Format Register**
0	Control Register
Bit 6	**TBR/CDR**
1	Access the Transmit Break Register (TBR)
0	Access the Compare Data Register (CDR)
Bit 5	**Number of Stop Bits Per Character**
1	Two stop bits
0	One stop bit
Bit 4	**Echo Selection (ECHO)**
1	Echo activated
0	Echo deactivated

Bits 3-0 — **Baud Rate Selection**

3	2	1	0	Baud Rate
0	0	0	0	50
0	0	0	1	109.2
0	0	1	0	134.58
0	0	1	1	150
0	1	0	0	300
0	1	0	1	600
0	1	1	0	1200
0	1	1	1	1800
1	0	0	0	2400
1	0	0	1	3600
1	0	1	0	4800
1	0	1	1	7200
1	1	0	0	9600
1	1	0	1	19200
1	1	1	0	38400
1	1	1	1	External TxC and RxC Clocks

Figuur 9/3.2-34: Control register (CFR geadresseerd met bit 7 = 0).

Control/Format Register (CFR)

Het Control & Format Register (CFR) is een register met een dubbele functie, waarin alleen geschreven kan worden ("write-only"). Met het CFR kunnen woordlengte, baudrate, control-lijn uitgangen, pariteit, echo mode en compare/TBR-toegang worden ingesteld. Wanneer in het CFR wordt geschreven met bit 7 = 0, dan werkt CFR als besturingsregister (Control Register, zie figuur

3.2 Type-beschrijving 65xx-familie

9/3.2-34). Wordt in het CFR geschreven, terwijl bit 7 = 1 is, dan werkt dit als Format-register (figuur 9/3.2-35).

Interrupt Enable Register (IER)

Het Interrupt Enable Register is een "write-only" register waarmee elk van de mogelijke IRQ-bronnen kan worden vrijgegeven (enabled) of gesperd (disabled) zonder dat de andere interrupt-enable bits in dit register worden beïnvloed. IRQ-bronnen worden naar keuze vrijgegeven door de overeenkomstige bits = 1 te maken en ze in het IER te schrijven met bit 7 = 1. IRQ-bronnen worden gesperd door alle gewenste bits = 1 te maken en die in het IER te schrijven, terwijl bit 7 = 0 is. Alle bits (behalve bit 7) waarnaar een 0 wordt geschreven, blijven onveranderd.
Door bijvoorbeeld $7F (hexadecimaal 7F = 0111 1111) in het IER te schrijven worden alle IRQ-bron bits gesperd, terwijl ze door het schrijven van $FF allemaal worden vrijgegeven.
Ook door een hardware reset ($\overline{RES}$) worden alle IRQ-bron bits gesperd. De toegekende bit-functies van het IER zijn samengevat in figuur 9/3.2-36.

Interrupt Status Register (ISR)

Het Interrupt Status Register is een "read-only" register, waarin de huidige toestand van de interne IRQ-bronnen van elke ACIA wordt weergegeven. Telkens als de betreffende IRQ-condities in de DACIA optreden kunnen de overeenkomstige bits 6 tot en met 0 van het ISR = 1 worden. Bit 7 geeft aan of één van de IRQ-bron status-bits in het ISR is gezet (zie figuur 9/3.2-37).

Control Status Register (CSR)

Het Control Status Register is een "read-only" register dat informatie verschaft over de I/O-status en fout-condities. Het CSR wordt normaal uitgelezen nadat een IRQ is opgetreden om te kunnen onderzoeken wat de oorzaak van de interruptie was (zie figuur 9/3.2-38).

7	6 5	4 3	2	1	0
1	NUMBER OF DATA BITS	PARITY SELECTION	PARITY ENABLE	$\overline{DTR}$ CONTROL	$\overline{RTS}$ CONTROL

Bit 7	**Control or Format Register**
1	Format Register
Bits 6-5	**Number of Data Bits Per Character**
6 5	**No. Bits**
0 0	5
0 1	6
1 0	7
1 1	8
Bits 4-3	**Parity Mode Selection**
4 3	**Selects**
0 0	Odd Parity
0 1	Even Parity
1 0	Mark Parity
1 1	Space Parity
Bit 2	**Parity Enable**
1	Parity as specified by bits 4-3
0	No Parity
Bit 1	**$\overline{DTR}$ Control**
1	$\overline{DTR}$ high
0	$\overline{DTR}$ low
Bit 0	**$\overline{RTS}$ Control**
1	$\overline{RTS}$ high
0	$\overline{RTS}$ low

Figuur 9/3.2-35: Format register (CFR geadresseerd met bit 7 = 1).

7	6	5	4	3	2	1	0
CLEAR/ SET BITS	TDR EMPTY IE	$\overline{CTS}$ IE	$\overline{DCD}$ IE	$\overline{DSR}$ IE	PARITY ERROR IE	FRM OVR BRK CPR IE	RDR FULL IE

Figuur 9/3.2-36: Positie en functie van de IRQ-bits in het IER.

7	6	5	4	3	2	1	0
ANY BIT SET	TDR EMPTY	$\overline{CTS}$ TRANS	$\overline{DCD}$ TRANS	$\overline{DSR}$ TRANS	PARITY ERROR	FRM OVR BRK CPR	RDR FULL

Bit 7 — **Any Bit Set**
- 1 — Any bit (6 through 0) has been set to a 1
- 0 — No bits have been set to a 1

Bit 6 — **Transmit Data Register Empty (TDR EMPTY)**
- 1 — Transmit Data Register has been transferred to the shift register
- 0 — New data has been written to the Transmit Data Register

Bit 5 — **Transition On $\overline{CTS}$ Line ($\overline{CTS}$ TRANS)**
- 1 — A positive or negative transition has occurred on $\overline{CTS}$
- 0 — No transition has occurred on $\overline{CTS}$, or ISR has been Read

Bit 4 — **Transition On $\overline{DCD}$ Line ($\overline{DCD}$ TRANS)**
- 1 — A positive or negative transition has occurred on $\overline{DCD}$
- 0 — No transition has occurred on $\overline{DCD}$, or ISR has been Read

Bit 3 — **Transition On $\overline{DSR}$ Line ($\overline{DSR}$ TRANS)**
- 1 — A positive or negative transition has occurred on $\overline{DSR}$
- 0 — No transition has occurred on $\overline{DSR}$, or ISR has been Read

Bit 2 — **Parity Error**
- 1 — A parity error has occurred in received data
- 0 — No parity error has occurred, or the Receive Data Register (RDR) has been Read

Bit 1 — **Frame Error, Overrun or Break (FRM, OVR, BRK, CPR)**
- 1 — A framing error, receive overrun, or receive break has occurred, or in Compare Mode
- 0 — No error, overrun, break has occurred, RDR has been Read, or not in Compare Mode

Bit 0 — **Receive Data Register Full (RDR FULL)**
- 1 — Shift register data has been transferred to Receive Data Register
- 0 — Receive Data Register has been Read

Figuur 9/3.2-37: Het Interrupt Status Register (ISR) van de 65C52.

Transmit Break Register (TBR)

De DACIA heeft twee Transmit Break Registers ("write-only"), waarvan per register slechts twee bits worden gebruikt. Eén tijdens de ontvang-mode om een Transmit Break te kunnen veroorzaken en één voor het herkennen van pariteit of adres. Door in bit 1 van het TBR een 1 te schrijven wordt door de hiermee verbonden ACIA een continue break uitgezonden. Wanneer in bit 0 een 1 wordt geschreven, gaat de waarde van de pariteit naar het Parity Error bit (bit 2 in het ISR), terwijl een 0 in bit 0 de normale pariteitsfout-herkenning inschakelt. Als de DACIA een $\overline{RES}$ ontvangt, worden beide bits op 0 gezet (zie figuur 9/3.2-39).

7	6	5	4	3	2	1	0
FRAMING ERROR	TRANS UNDR	$\overline{CTS}$ STATUS	$\overline{DCD}$ STATUS	$\overline{DSR}$ STATUS	REC BREAK	$\overline{DTR}$ STATUS	$\overline{RTS}$ STATUS

Bit 7 — **Framing Error**
- 1 — A framing error occurred in receive data
- 0 — No framing error occurred, or the RDR was Read

Bit 6 — **Transmitter Underrun (TRANS UNDR)**
- 1 — Transmit shift register is empty and TDRE bits in IER and ISR are set
- 0 — A write to the TDR has occurred

Bit 5 — **$\overline{CTS}$ Status**
- 1 — A low-to-high transition occurred on $\overline{CTS}$ line
- 0 — A high-to-low transition occurred on $\overline{CTS}$ line

Bit 4 — **$\overline{DCD}$ Status**
- 1 — A low-to-high transition occurred on $\overline{DCD}$ line
- 0 — A high-to-low transition occurred on $\overline{DCD}$ line

Bit 3 — **$\overline{DSR}$ Status**
- 1 — A low-to-high transition occurred on $\overline{DSR}$ line
- 0 — A high-to-low transition occurred on $\overline{DSR}$ line

Bit 2 — **REC Break**
- 1 — A Receive Break has occurred
- 0 — No Receive Break occurred, or RDR was read

Bit 1 — **$\overline{DTR}$ Status**
- 1 — A low-to-high transition occurred on $\overline{DTR}$ line
- 0 — A high-to-low transition occurred on $\overline{DTR}$ line

Bit 0 — **$\overline{RTS}$ Status**
- 1 — A low-to-high transition occurred on $\overline{RTS}$ line
- 0 — A high-to-low transition occurred on $\overline{RTS}$ line

Figuur 9/3.2-38: Het Control Status Register (CSR).

3.2 Type-beschrijving 65xx-familie

7	6	5	4	3	2	1	0
NOT USED						TRANS BRK	PAR/ ADDR

Bits 7-2 **Not used (don't care)**

Bit 1 **Transmit Break (TRANS BRK)**
1 Transmit continuous Break until disabled
0 Resume normal transmission

Bit 0 **Parity/Address Recognition (PAR ADDR)**
1 Send value of parity to ISR bit 2
0 Return to normal Parity Error recognition mode

Figuur 9/3.2-39: Gebruik van het Transmit Break Register (TBR).

Compare Data Register (CDR)

Het Compare Data Register is een "write-only" register dat kan worden bereikt wanneer bit 6 in het CFR = 0 is. De DACIA wordt in de vergelijk mode (compare) gezet door een waarde in het CDR te schrijven. In deze mode wordt het zetten van het RDRF-bit gesperd, terwijl het FRM/OVR/BRK/CPR-bit (bit 1 van het ISR) wordt gezet totdat een karakter wordt ontvangen dat overeenkomt met de waarde in het CDR. Daarna wordt het volgende karakter ontvangen en wordt het RDRF-bit gezet. De ontvanger werkt dan normaal totdat het CDR opnieuw is geladen.

Samenvatting van de registers

In tabel 9/3.2-9 zijn de op de DACIA betrekking hebbende control en status registers te zien. Elke ACIA heeft zijn eigen set van deze 7 registers.

Bedrijfsmodes

Inleiding

In het volgende worden tien bedrijfsmodes (of -condities) van de DACIA beschreven.

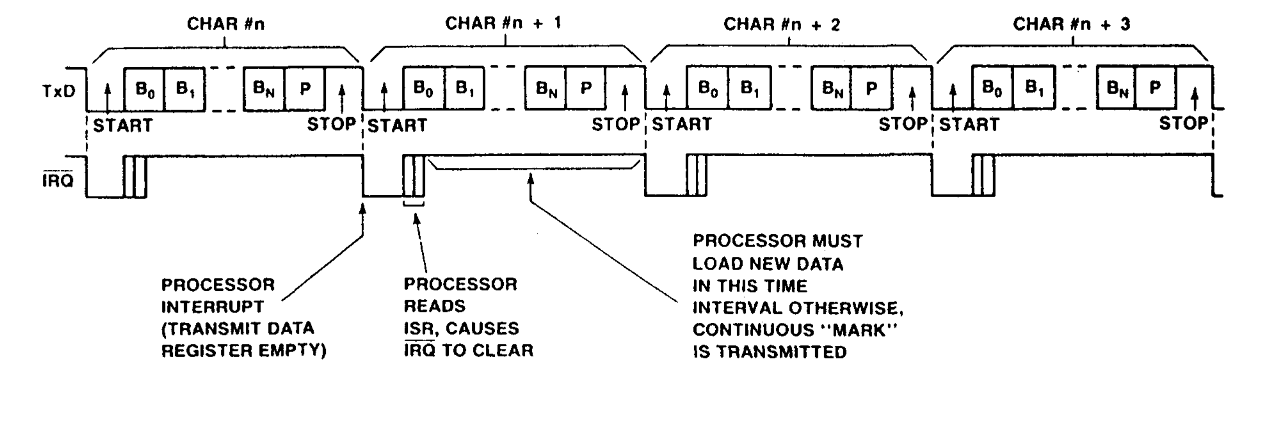
Ononderbroken data verzenden

In de normale bedrijfsmode signaleert het TDRE-bit in het ISR aan de CPU dat de ACIA klaar staat om het volgende datawoord te accepteren. Wanneer het overeenkomstige TDRE-IRQ enable-bit in het IER is gezet treedt een $\overline{IRQ}$ op. Het TDRE-bit wordt bij het begin van het startbit gezet.

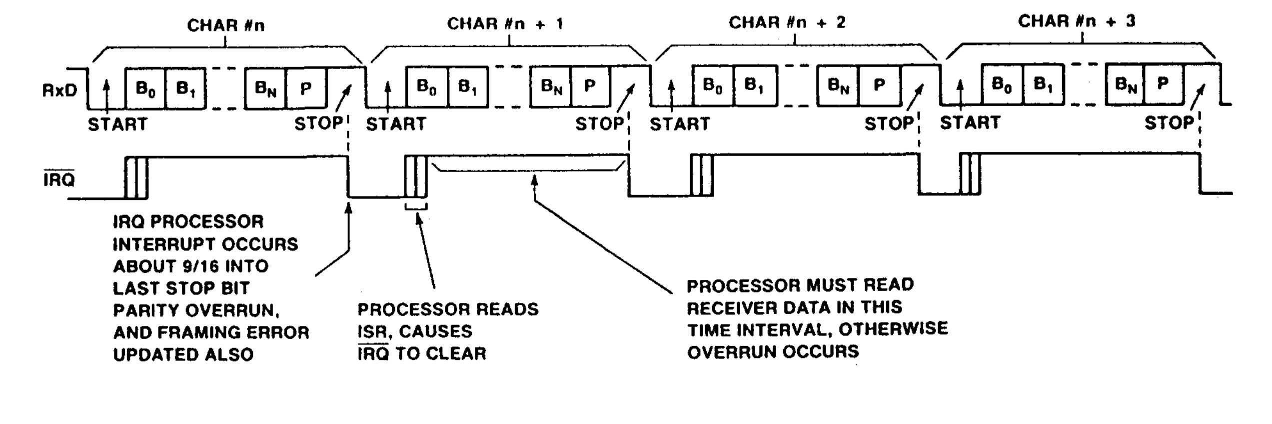
REGISTER BIT NUMBERS								REGISTER	$\overline{RES}$
7	6	5	4	3	2	1	0		
CLEAR/SET BITS	TDR EMPTY IE	$\overline{CTS}$ IE	$\overline{DCD}$ IE	$\overline{DSR}$ IE	PARITY ERROR IE	FRM, OVR BRK, CPR IE	RDR FULL IE	INTERRUPT ENABLE REGISTERS	$80
ANY BIT SET	TDR EMPTY	$\overline{CTS}$ TRANS	$\overline{DCD}$ TRANS	$\overline{DSR}$ TRANS	PARITY ERROR	FRM, OVR BRK, CPR	RDR FULL	INTERRUPT STATUS REGISTERS	—
FRAMING ERROR	TRANS UNDR	$\overline{CTS}$ STATUS	$\overline{DCD}$ STATUS	$\overline{DSR}$ STATUS	REC BREAK	$\overline{DTR}$ STATUS	$\overline{RTS}$ STATUS	STATUS REGISTERS	—
0	TBR/ CDR	NO. STOP BITS	ECHO	BAUD RATE SELECTION				CONTROL REGISTERS AND FORMAT REGISTERS	—
1	NUMBER OF DATA BITS		PARITY SELECTION		PARITY ENABLE	$\overline{DTR}$ CONTROL	$\overline{RTS}$ CONTROL		
NOT USED						TRANS BRK	PAR/ ADDR	TRANSMIT BREAK REGISTERS	$00
COMPARE BITS (ADDRESS RECOGNITION)								COMPARE DATA REGISTERS	—

Tabel 9/3.2-9: Samenvatting van de Control en Status Registers.

3.2 Type-beschrijving 65xx-familie



Figuur 9/3.2-40: Ononderbroken data verzenden (Continuous Data Transmit).



Figuur 9/3.2-41: Ononderbroken data ontvangen (Continuous Data Receive).

Als de CPU een woord in het TDR schrijft wordt het TDRE-bit gecleared. Om continu zenden in stand te houden moet het TDR worden geladen voordat de stopbit(s) zijn verzonden. In figuur 9/3.2-40 wordt het verband getoond tussen $\overline{IRQ}$ en TxD in de ononderbroken data zend-mode (Continuous Data Transmit).

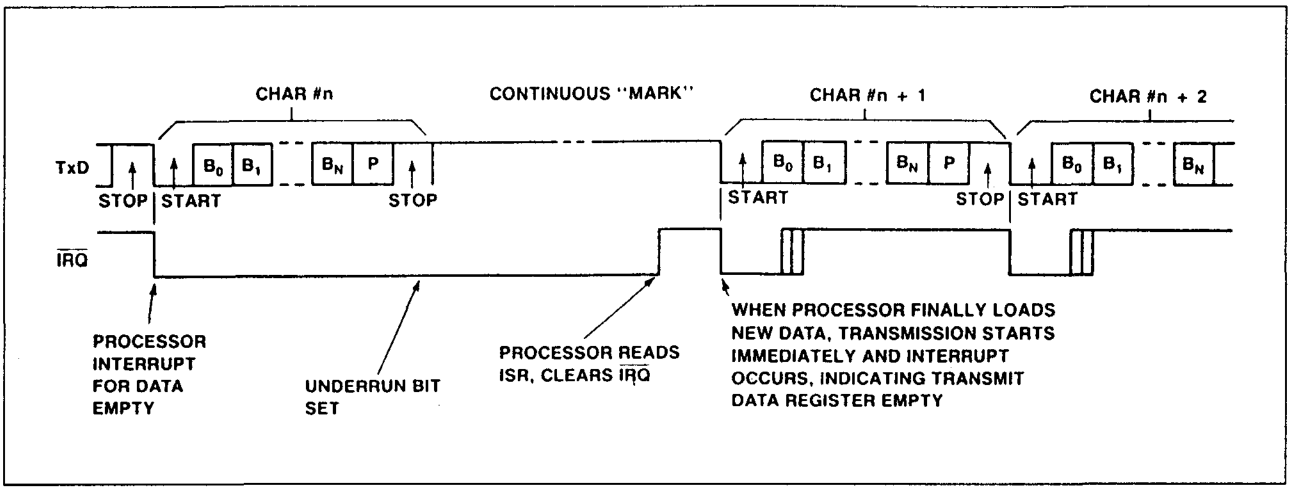
Ononderbroken data ontvangen

In de normale ontvang-mode wordt het RDRF-bit in het ISR gezet wanneer de ACIA een volledig datawoord heeft ontvangen. Dit gebeurt op ongeveer het 9/16 deel van het stopbit. De processor moet het RDR uitlezen vóór het volgende stopbit, omdat anders een "overrun" fout optreedt. In figuur 9/3.2-41 is de relatie tussen $\overline{IRQ}$ en RxD in de continue data ontvang-mode getekend (Continuous Data Receive).

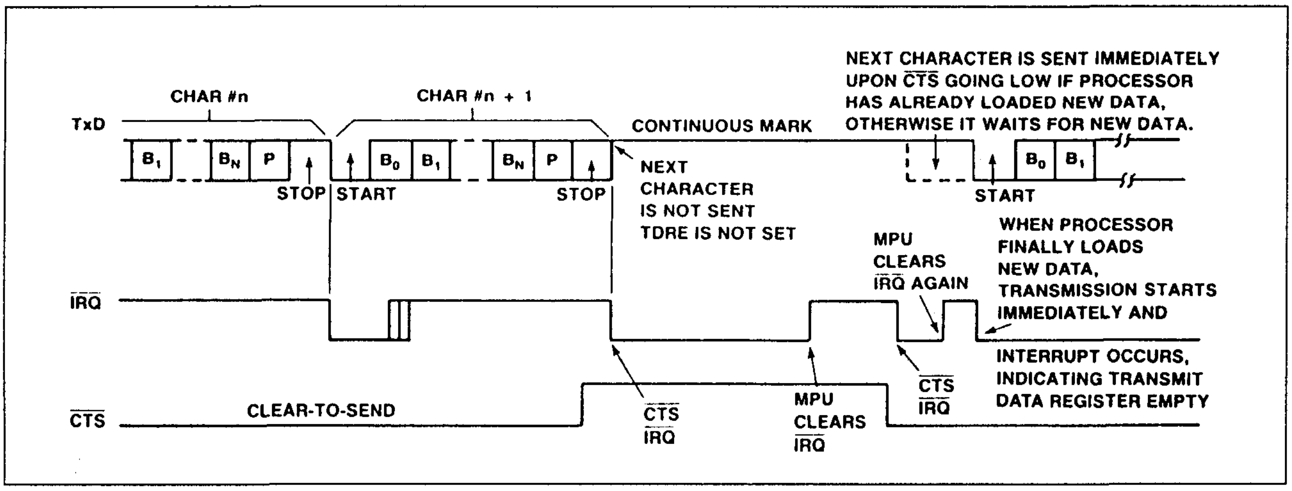
Underrun conditie bij het zenden

Als de CPU niet in staat is het TDR te laden voordat het laatste stopbit wordt verzonden, gaat de TxD-lijn in de MARK-conditie en wordt de underrun-flag gezet. Deze toestand blijft gehandhaafd totdat in het TDR een nieuw woord is geladen. Figuur 9/3.2-42 laat de samenhang zien van $\overline{IRQ}$ en TxD voor de zend underrun conditie (Transmit Underrun).

3.2 Type-beschrijving 65xx-familie



Figuur 9/3.2-42: Wanneer de CPU niet op tijd nieuwe data in het TDR zet treedt de Transmit Underrun Conditie op.



Figuur 9/3.2-43: De effecten van $\overline{CTS}$ op de zender.

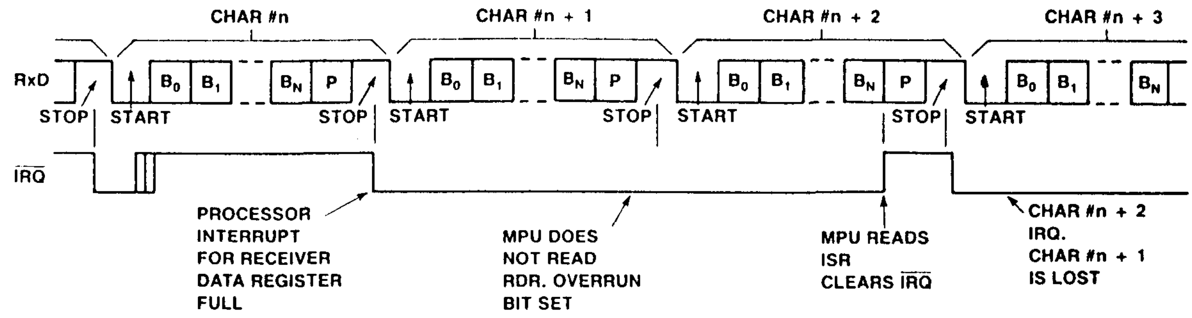
Effecten van $\overline{CTS}$ op de zender

De $\overline{CTS}$-besturingslijn regelt de verzending van data of het "handshaken" van data naar een "busy" apparaat, bijvoorbeeld een printer. Als de $\overline{CTS}$-lijn LAAG is, werkt de zender normaal. Door een verandering op deze lijn wordt het $\overline{CTS}$-bit in het ISR gezet. Door een HOOG-toestand wordt voorkomen dat het TDRE-bit in het ISR wordt gezet. Het woord dat op dat moment in het schuifregister zit wordt nog verzonden, maar een eventueel in het TDR aanwezig woord wordt vastgehouden totdat $\overline{CTS}$ LAAG gaat. Op de HOOG-naar-LAAG overgang wordt het $\overline{CTS}$-bit in het ISR weer gezet. In figuur 9/3.2-43 is de relatie tussen $\overline{IRQ}$, TxD en $\overline{CTS}$ gegeven in verband met de invloed van $\overline{CTS}$ op de zender.

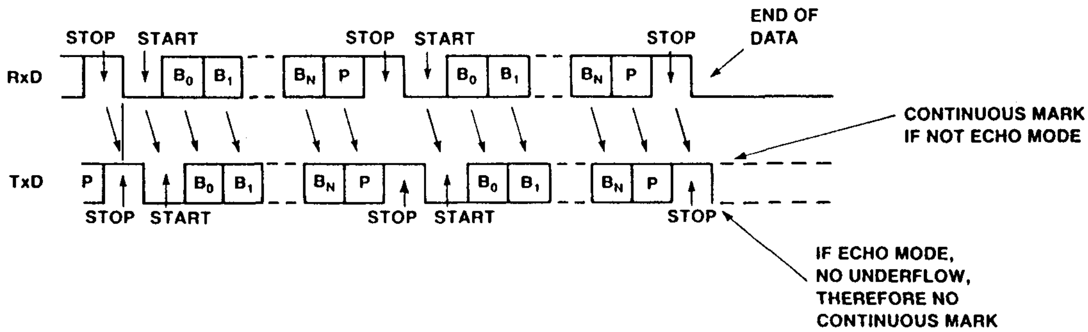
Effecten van Overrun op de ontvanger

Als de processor het RDR niet uitleest voordat het stopbit van het volgende woord komt, treedt een "overrun" fout op. In het ISR wordt het overrun-bit gezet en het nieuwe datawoord wordt niet naar het RDR overgebracht. Het RDR bevat het laatste (niet door de CPU gelezen) woord en daarna volgende data gaat verloren.

3.2 Type-beschrijving 65xx-familie



Figuur 9/3.2-44: Effecten van overrun op de ontvanger.



Figuur 9/3.2-45: De timing van de Echo Mode.

De ontvanger gaat weer normaal werken als het RDR is uitgelezen.
Figuur 9/3.2-44 toont het verband tussen IRQ en RxD voor de effecten van overrun op de ontvanger.

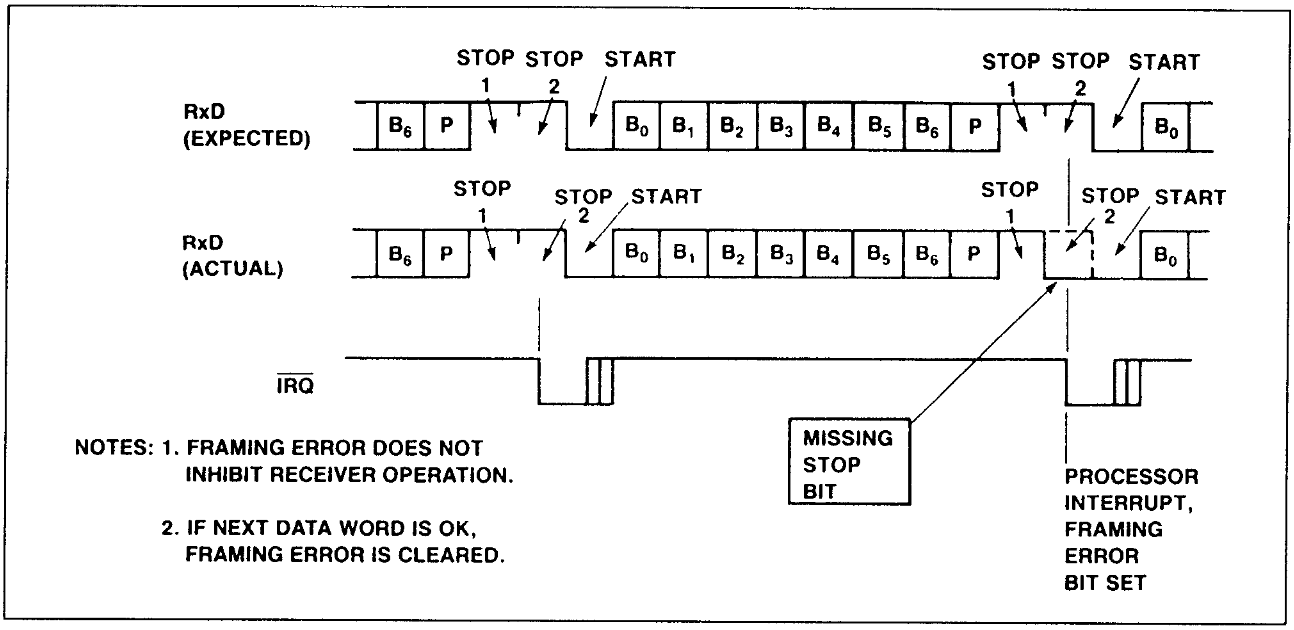
Echo-mode timing

In de Echo-mode zendt de TxD-lijn de op de RxD-lijn ontvangen data opnieuw uit, met een 1/2 bittijd vertraging.
Voordat de echo-mode met verzenden begint, moet een interne underrun-conditie optreden. In de gewone zend-mode zou, als TDRE optreedt (om het einde van data te signaleren), een underflow-flag worden gezet en een continue MARK worden verzonden.
Als Echo is geïnitialiseerd wordt de underflow-flag niet gezet bij het einde van de data en wordt geen continue MARK verzonden.
Figuur 9/3.2-45 laat de relatie van RxD en TxD zien voor de echo-mode.

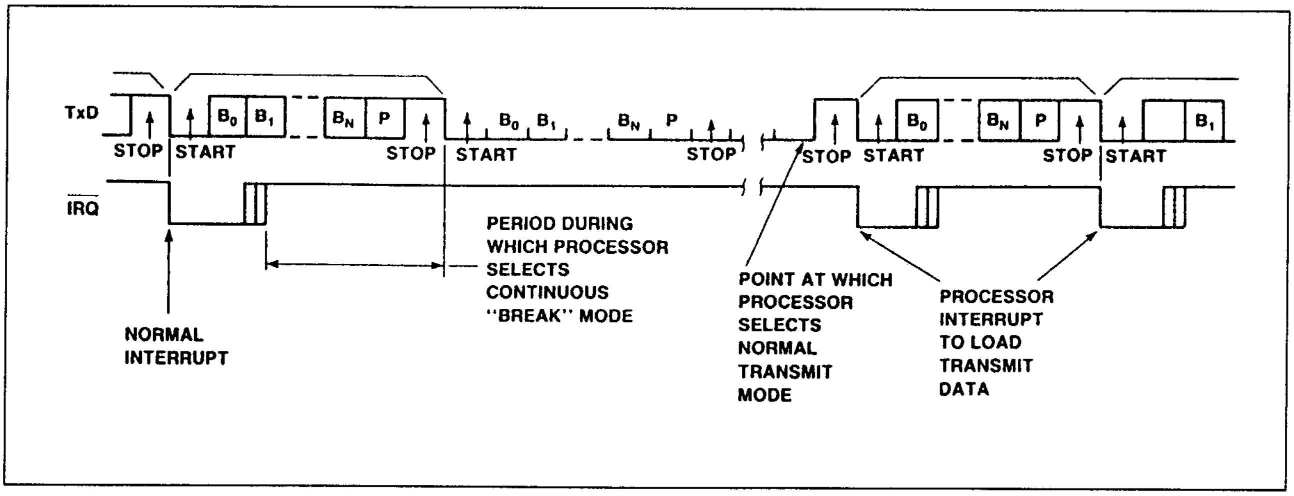
Frame-fout

Wanneer bij ontvangen data de stopbit(s) ontbreken treedt een frame-fout (framing error) op. Het framing error-bit wordt gezet wanneer het RDRF-bit is gezet.

3.2 Type-beschrijving 65xx-familie



Figuur 9/3.2-46: Bij afwezigheid van stopbit(s) in een ontvangen woord ontstaat een frame-fout.



Figuur 9/3.2-47: Het verzenden van een break-karakter.

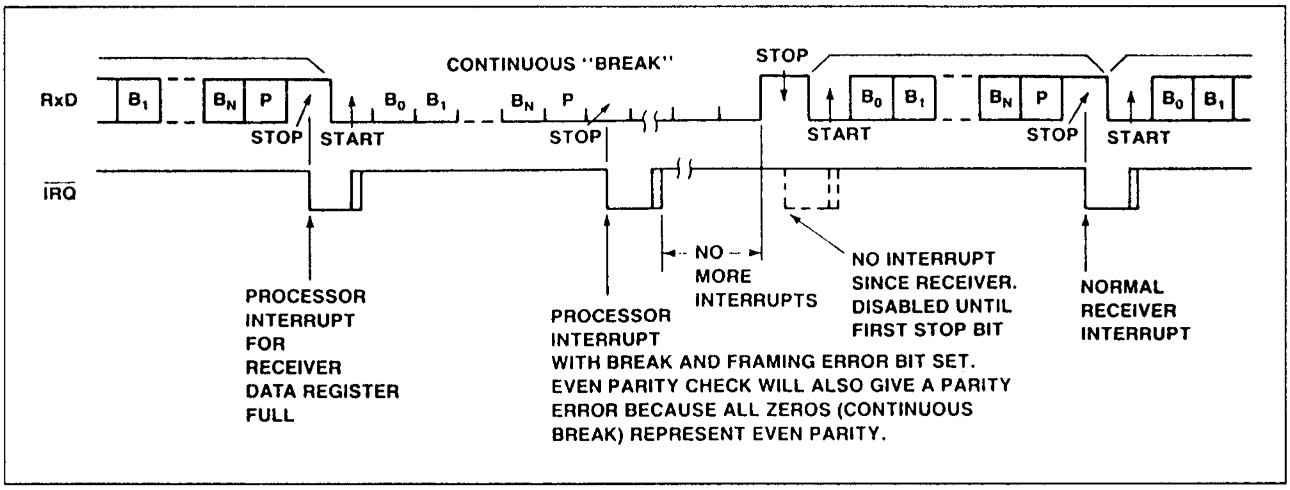
Opeenvolgende datawoorden worden apart getest, zodat het status-bit altijd de toestand van het laatst ontvangen woord weergeeft. Figuur 9/3.2-46 geeft het verband tussen $\overline{IRQ}$ en RxD wanneer een frame-fout optreedt.

Verzenden van een Break-karakter

Door $00 in het IER op te slaan kan een Break karakter worden verzonden. Aangezien de Break onmiddellijk verschijnt als de "nul" in het IER is gezet, bestaat er gevaar voor verminking van een karakter dat op dat moment wordt verzonden. Het break-niveau duurt totdat een andere waarde dan $00 in het IER wordt geschreven. Op dat moment wordt een stopbit uitgezonden. Onafhankelijk van de tijdsduur tussen begin en einde van het break-karakter, wordt het in elk geval gedurende één volledige woordtijd verzonden.

In figuur 9/3.2-47 wordt het verband getoond tussen $\overline{IRQ}$ en TxD bij verzenden van een break-karakter.

3.2 Type-beschrijving 65xx-familie



Figuur 9/3.2-48: Het ontvangen van een break-karakter.

Ontvangen van een Break-karakter

In het geval dat de ontvanger een Break-karakter ontvangt, wordt het break-bit gezet. De ontvanger zet het RDRF-bit niet en blijft in deze toestand totdat een stopbit wordt ontvangen. Vanaf dat moment wordt het volgende karakter normaal ontvangen. Het verband tussen $\overline{IRQ}$ en RxD bij het ontvangen van een break-karakter is geschetst in figuur 9/3.2-48.

Automatische adresherkenning

De DACIA biedt een unieke oplossing voor het standaard probleem dat optreedt bij UART's in meerpuntsverbindingen en communicatie interface-controllers. De slaaf-CPU moet hierbij voortdurend worden geïnterrumpeerd om karakters die vanuit het communicatienet binnenkomen te analyseren om te bepalen of een adreswoord wordt aangeboden en, indien dat zo is, of dat adres overeenkomt met het adres van de slaaf-UART.

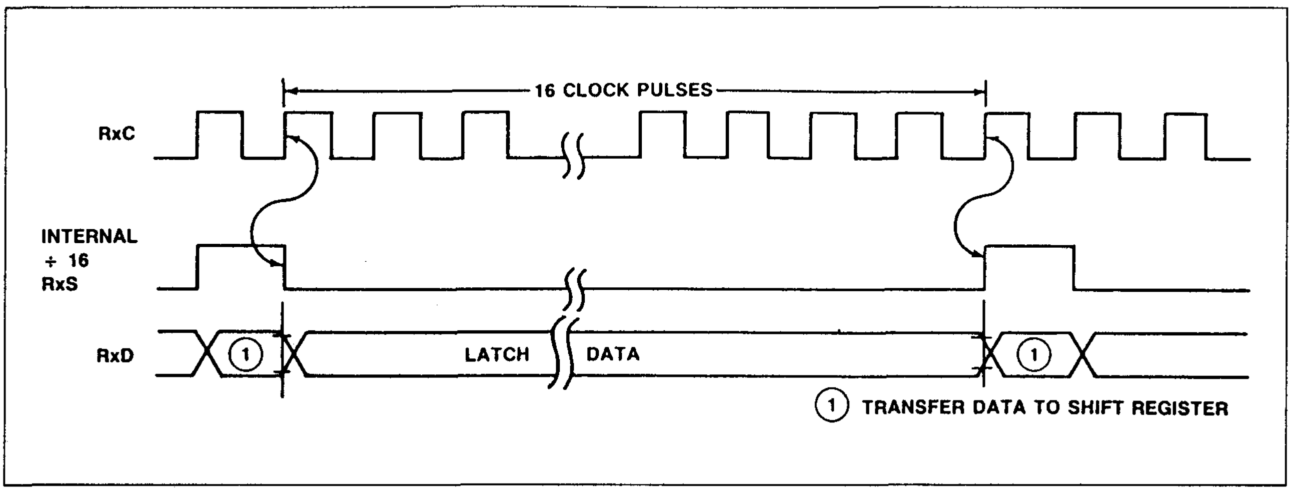
Dit onderbreken van de CPU kan in zeer grote meerpuntsverbindingen ontoelaatbaar worden, omdat elke slaaf zijn eigen CPU moet "wakker maken" voor elk karakter dat door de master naar het netwerk wordt gestuurd. Het eindresultaat is, dat alle CPU's van het communicatienet bijna alleen maar bezig zijn met adres-herkenning. Om dit probleem van constante interruptie te vermijden is de DACIA ontworpen om adresvergelijking en herkenning intern te doen, zonder tussenkomst van de CPU. De slaaf-CPU wordt daardoor niet onderbroken totdat de DACIA heeft bepaald dat het door de master verzonden karakter een adres was en dat dit overeenkomt met het adres in het DACIA Compare Register. Op dit punt onderbreekt de DACIA de CPU, verlaat de vergelijk-mode en ontvangt de reeks (data)-karakters die door de master wordt uitgezonden. Wanneer alle data door de slaaf is ontvangen, moet zijn CPU het slaaf-adres weer in het DACIA Compare Register schrijven. Hierdoor wordt de DACIA automatisch weer in de vergelijk-mode gezet, in afwachting van een nieuw adres-karakter.

Het opwekken van niet-standaard baud-rates

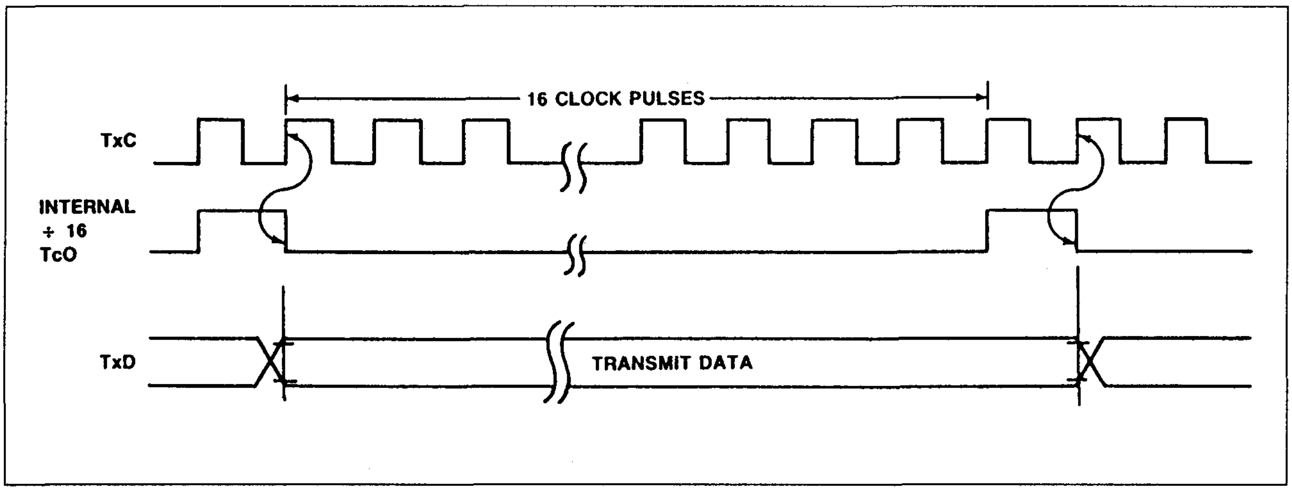
Delers

Door middel van de bits 0 tot en met 3 van het CFR Control Register wordt in de interne teller/deler het juiste deeltal voor de kristalfrequentie geselecteerd (zie tabel 9/3.2-10).

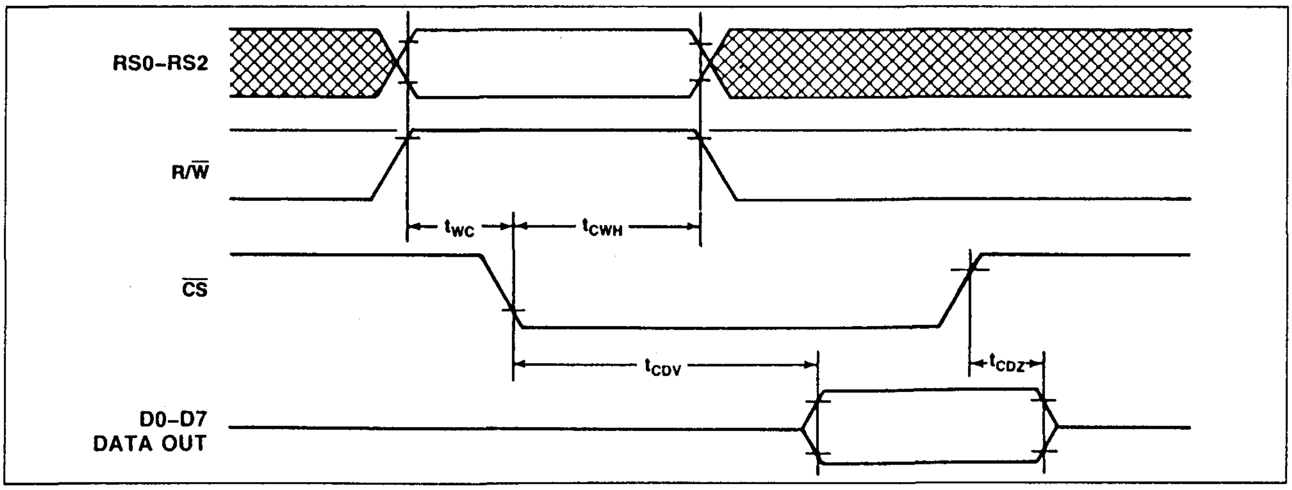
3.2 Type-beschrijving 65xx-familie



Figuur 9/3.2-49: Het ontvangen van data bij externe clock timing.



Figuur 9/3.2-50: Verzenden van data door de DACIA bij externe clock timing.



Figuur 9/3.2-51: Het uitlezen van de DACIA door de CPU (zie tabel 9/3.2-11).

3.2 Type-beschrijving 65xx-familie

Control Register Bits				Divisor Selected For The Internal Counter	Baud Rate Generated With 3.6864 MHz Crystal	Baud Rate Generated With a Crystal of Frequency (f)
3	2	1	0			
0	0	0	0	73,728	(3.6864 × 10^6)/73,728 = 50	f/73,728
0	0	0	1	33,538	(3.6864 × 10^6)/33,538 = 109.92	f/33,538
0	0	1	0	27,408	(3.6864 × 10^6)/27,408 = 134.58	f/27,408
0	0	1	1	24,576	(3.6864 × 10^6)/24,576 = 150	f/24,576
0	1	0	0	12,288	(3.6864 × 10^6)/12,288 = 300	f/12,288
0	1	0	1	6,144	(3.6864 × 10^6)/6,144 = 600	f/6,144
0	1	1	0	3,072	(3.6864 × 10^6)/3,072 = 1,200	f/3,072
0	1	1	1	2,048	(3.6864 × 10^6)/2,048 = 1,800	f/2,048
1	0	0	0	1,536	(3.6864 × 10^6)/1,536 = 2,400	f/1,536
1	0	0	1	1,024	(3.6864 × 10^6)/1,024 = 3,600	f/1,024
1	0	1	0	768	(3.6864 × 10^6)/768 = 4,800	f/768
1	0	1	1	512	(3.6864 × 10^6)/512 = 7,200	f/512
1	1	0	0	384	(3.6864 × 10^6)/384 = 9,600	f/384
1	1	0	1	192	(3.6864 × 10^6)/192 = 19,200	f/192
1	1	1	0	96	(3.6864 × 10^6)/96 = 38,400	f/96
1	1	1	1	16	TxC/16 = Baud Rate or RxC/16 = Baud Rate	

Tabel 9/3.2-10: Selectie van de baud-rate.

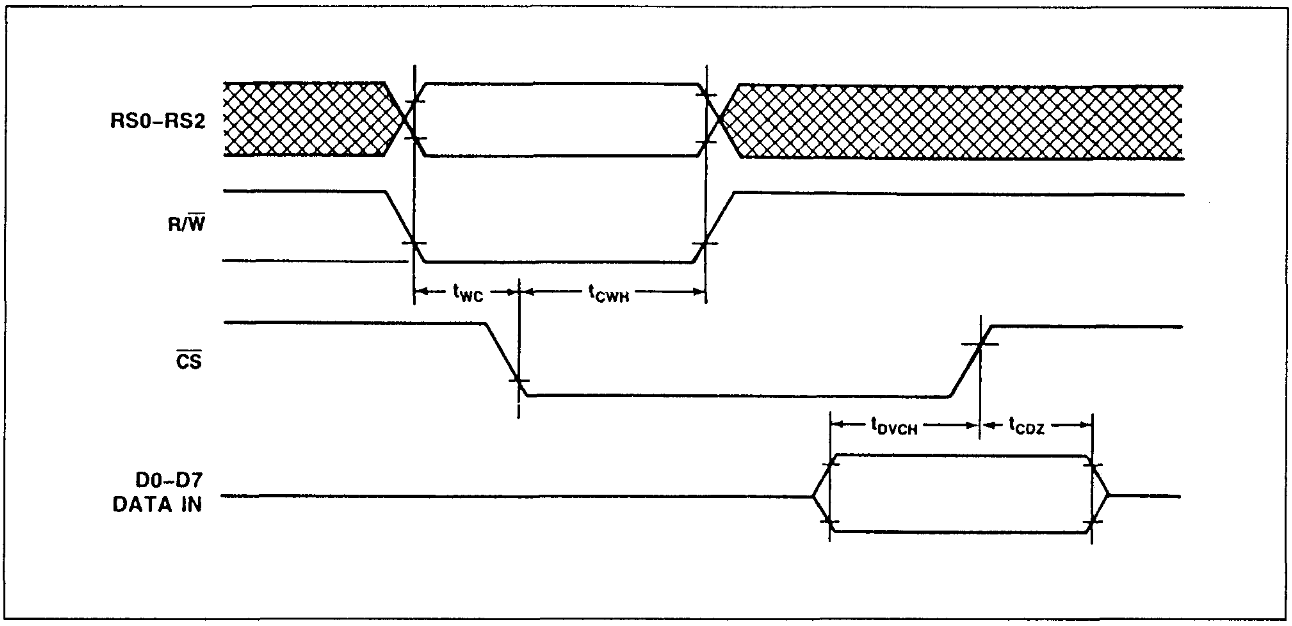
(V_{CC} = 5.0V ±5%, V_{SS} = 0V, T_A = T_L to T_H, unless otherwise noted)

READ/WRITE TIMING

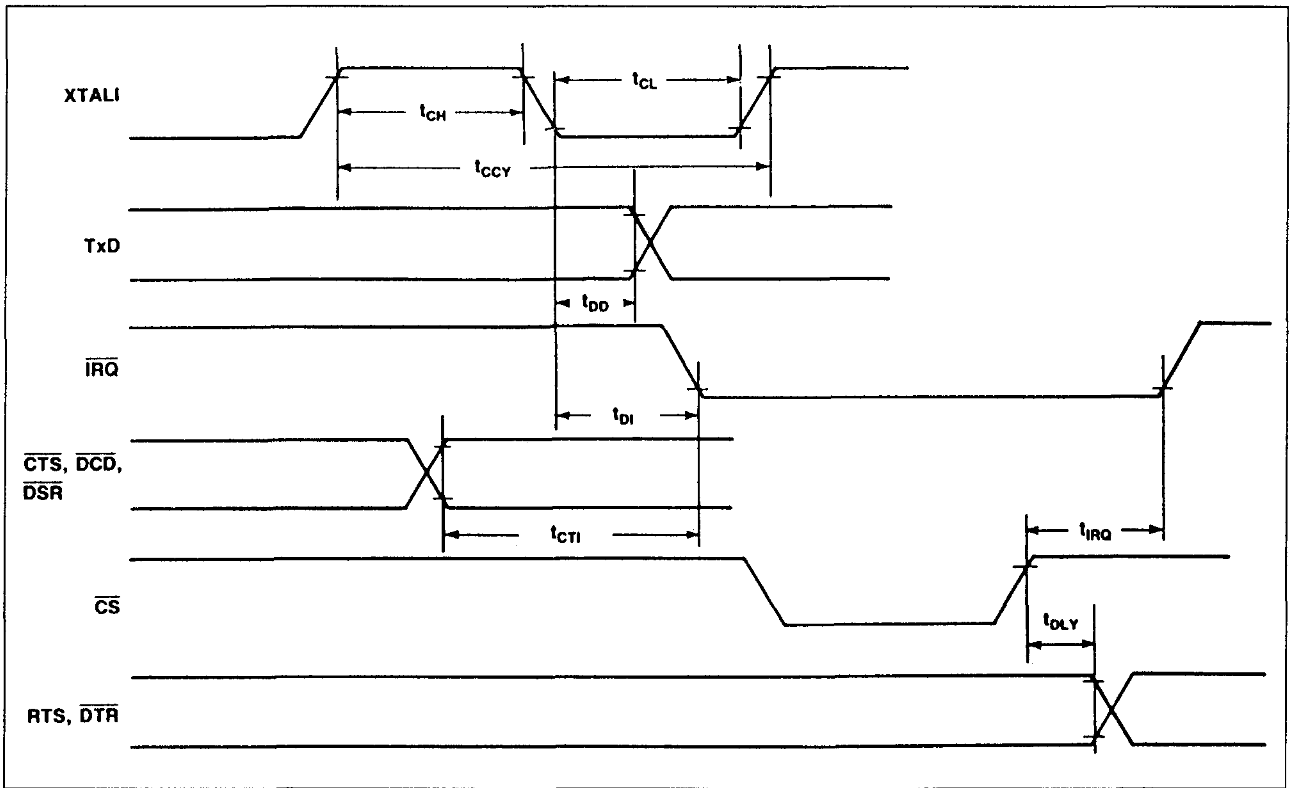
Characteristic	Symbol	1 MHz		2 MHz		3 MHz		4 MHz		Unit
		Min	Max	Min	Max	Min	Max	Min	Max	
R/$\overline{W}$, RS0–RS2 Valid to $\overline{CS}$ Low (Setup Time)	t_{WC}	0	—	0	—	0	—	0	—	ns
$\overline{CX}$ High to R/$\overline{W}$, RS0–RS2 (Hold Time)	t_{CWH}	45	—	45	—	45	—	45	—	ns
$\overline{CS}$ Low to Data Valid	t_{CDV}	—	640	—	320	—	210	—	160	ns
$\overline{CS}$ High to DAta Invalid Read (Hold Time) Write	t_{CDZR} t_{CDZW}	10 30	— —	10 30	— —	10 30	— —	10 30	— —	ns ns
Data Valid to CS High (Setup Time)	t_{DVCH}	30	—	30	—	30	—	30	—	ns

Tabel 9/3.2-11: De timing bij lezen/schrijven (CPU-naar-DACIA en vice versa) in DACIA's met verschillende snelheden.

3.2 Type-beschrijving 65xx-familie



Figuur 9/3.2-52: Golfvormen bij het schrijven in de DACIA (zie ook tabel 9/3.2-11).



Figuur 9/3.2-53: Golfvormen en timing bij zenden/ontvangen (zie tabel 9/3.2-12).

3.2 Type-beschrijving 65xx-familie

TRANSMIT/RECEIVE TIMING

Characteristic	Symbol	Min	Max	Unit
Transmit/Receive Clock Rate	t_{CCY}	250	—	ns
Transmit/Receive Clock High Time	t_{CH}	100	—	ns
Transmit/Receive Clock Low Time	t_{CL}	100	—	ns
XTALI to TxD Propagation Delay	t_{DD}	—	250	ns
XTALI to $\overline{IRQ}$ Propagation Delay	t_{DI}	—	250	ns
$\overline{CTS}$, $\overline{DCD}$, $\overline{DSR}$ to $\overline{IRQ}$	t_{CTI}	—	150	ns
$\overline{IRQ}$ Propagation Delay (Clear)	t_{IRQ}	—	150	ns
$\overline{RTS}$, $\overline{DTR}$ Propagation Delay	t_{DLY}	—	150	ns

Tabel 9/3.2-12: Timing bij het zenden/ontvangen (DACIA-naar-periferie en vice versa).

ABSOLUTE MAXIMUM RATINGS

Parameter	Symbol	Value	Unit
Supply Voltage	V_{CC}	−0.3 to +7.0	Vdc
Input Voltage	V_{IN}	−0.3 to V_{CC} +0.3	Vdc
Output Voltage	V_{OUT}	−0.3 to V_{CC} +0.3	Vdc
Operating Temperature Range Commercial Industrial	T_A	 0 to +70 −40 to +85	°C
Storage Temperature	T_{STG}	−55 to +150	°C

OPERATING CONDITIONS

Parameter	Symbol	Value
Supply Voltage	V_{CC}	5V ±5%
Temperature Range Commercial Industrial	T_A	T_L to T_H 0°C to 70°C −40°C to +85°C

Tabel 9/3.2-13: Maximaal toegelaten waarden en normale bedrijfscondities.

Andere baud-rates
Door een afwijkend kristal te gebruiken kunnen andere baud-rates worden gegenereerd volgens de formule:
Baud Rate = kristalfrequentie/deeltal
Bovendien is het mogelijk de DACIA aan te sturen met een externe oscillator.
In dat geval moet XTALI (pen 3) de ingang van de clock zijn, terwijl XTALO (pen 4) open moet blijven (zie figuren 9/3.2-49 en -50).

Overige kenmerken

De overige elektrische en timing eigenschappen van de 65C52 DACIA zijn samengevat in de tabellen 9/3.2-11 tot en met 9/3.2-14 en de figuren 9/3.2-51 tot en met 9/3.2-53.

3.2 Type-beschrijving 65xx-familie

(V_{CC} = 5.0 Vdc ±5%, V_{SS} = 0, T_A = T_L to T_H, unless otherwise noted)

Characteristic	Symbol	Min	Typ[3]	Max	Unit	Test Conditions
Input High Voltage Except XTALI and XTALO XTALI and XTALO	V_{IH}	 +2.0 +3.0	 — —	 V_{CC} + 0.3 V_{CC} + 0.3	V	
Input Low Voltage Except XTALI and XTALO XTALI and XTALO	V_{IL}	 -0.3 -0.3	 — —	 +0.8 +0.4	V	
Input Leakage Current R/$\overline{W}$, $\overline{RES}$, RS0, RS1, RS2, RxD, $\overline{CTS}$, $\overline{DCD}$, $\overline{DSR}$, $\overline{RxC}$, $\overline{TxC}$, $\overline{CS}$	I_{IN}	—	10	50	μA	V_{IN} = 0V to V_{CC} V_{CC} = 5.25V
Input Leakage Current for Three-State Off D0–D7	I_{TSI}	—	±2	10	μA	V_{IN} = 0.4V to 2.4V V_{CC} = 5.25V
Output High Voltage D0–D7, TxD, CLK OUT, $\overline{RTS}$, $\overline{DTR}$	V_{OH}	+2.4	—	—	V	V_{CC} = 4.75V I_{LOAD} = −100 μA
Output Low Voltage D0–D7, TxD, CLK OUT, $\overline{RTS}$, $\overline{DTR}$	V_{OL}	—	—	+0.4	V	V_{CC} = 4.75V I_{LOAD} = 1.6 mA
Output Leakage Current (Off State) $\overline{IRQ}$	I_{OFF}	—	±2	±10	μA	V_{CC} = 5.25V V_{OUT} = 0 to 2.4V
Power Dissipation	P_D	—	—	10	mW/MHz	
Input Capacitance Except XTALI and XTALO XTALI and XTALO	C_{IN}	 — —	 — —	 5 10	 pF pF	V_{CC} = 5.0V V_{IN} = 0V f = 2 MHz T_A = 25°C
Output Capacitance	C_{OUT}	—	—	10	pF	

Tabel 9/3.2-14: Elektrische kenmerken van de 65C52 DACIA.

9/3.3

Type-beschrijving 68xx-familie

6850

Asynchrone Communicatie Interface Adapter - ACIA

De functies van de 6850 zijn het formatteren van data en het leveren van besturingssignalen waardoor systemen met busstructuren, zoals bijvoorbeeld een 6800 microprocessor, geschikt worden voor seriële asynchrone datacommunicatie.

Aan de buszijde heeft de 6850 ingangen voor select, enable, read/write en interrupt plus interface-logika voor datatransport via een 8-bit bidirectionele databus.

De parallelle data van het bussysteem wordt seriëel in het juiste formaat verstuurd en ontvangen door de asynchrone data-interface, waarbij tevens op fouten wordt gecontroleerd. De functionele configuratie van de ACIA wordt tijdens het initialiseren van het systeem via de databus geprogrammeerd: in een programmeerbaar control-register worden woordlengte en klokfrequentie vastgelegd en wordt de besturing van zenden, ontvangen en interrupt geregeld.

Voor het samenwerken met een randapparaat of modem is de ACIA voorzien van drie control-lijnen: Clear-To-Send ($\overline{CTS}$), Request-To-Send ($\overline{RTS}$) en Data-Carrier-Detect ($\overline{DCD}$). Door deze lijnen kan bijvoorbeeld direct een 0-600 bps digitale modem MC6860L worden aangesloten.

Kenmerken van de 6850

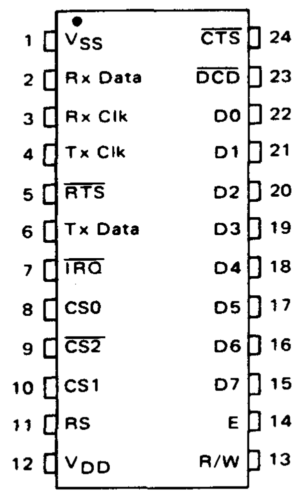
- 8 en 9 bit transmissie
- naar keuze even of oneven pariteit
- checken van pariteit, overrun en framing fouten
- programmeerbaar controlregister
- clock-modes :1, :16 of :64
- clock-frequentie max. 500 kHz (:1 mode) 800 kHz (:16, :65 mode)
- transmissie tot max. 500 kbps (kilobits per seconde)
- annuleren van valse start-bit
- besturingsfuncties voor randapparatuur/ modem
- dubbel gebufferd
- werkt met één of twee stop-bits
- behuizing: 24 pens DIL, P = kunststof, C = keramisch (zie figuur 9/3.3-1)
- fabrikanten o.a.:
  Motorola: MC 6850, MC 6850C, MC 68A50
  Fairchild: F 6850, F 68A50, F 68B50
  Hitachi: HD 6850, HD 68A50, HD 6350, HD 63A50, HD 63B50 (CMOS)

Werking van de ACIA

Power On/Master Reset

Tijdens het initialiseren van het systeem verdient het aanbeveling om de master resetconditie (CRO = 1, CR1 = 1) te doorlopen en vervolgens de ACIA te programmeren. De control-bits CR5 en CR6 moeten ook worden geprogrammeerd om de status van $\overline{RTS}$ te bepalen wanneer de master reset wordt gebruikt. De ACIA bevat ook interne poweron reset logika voor het detecteren van de voedingsspanning en het in een reset-toestand houden van de chip om te voorkomen dat er voortijdig foutieve uitgangssignalen verschijnen. Deze schakeling werkt alleen als de voeding storingsvrij wordt ingescha-

3.3 Type-beschrijving 68xx-familie



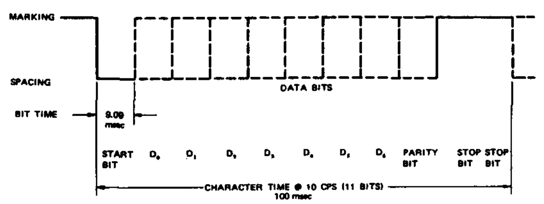
Figuur 9/3.3-1: Aansluitgegevens van de 6850.

keld. De power-on reset wordt vrijgegeven door de bus-geprogrammeerde master reset, die moet worden aangeboden voordat de ACIA in bedrijf komt. Na het master-resetten van de ACIA kan in het programmeerbare control register een aantal opties worden vastgelegd, zoals het getal waardoor de clock-frequentie wordt gedeeld, variabele woordlengte, één of twee stopbits, pariteit: even, oneven of geen, enz.

Transmit

De zendvolgorde bestaat gewoonlijk uit het lezen van het ACIA statusregister als gevolg van een interrupt of wanneer het de beurt van de ACIA is in een 'polling-routine'. Als dan blijkt dat het transmit dataregister leeg is, kan daar een karakter in worden geschreven. Dit karakter wordt vervolgens naar een schuifregister overgebracht, waar het in serie wordt gezet en voorafgegaan door een startbit en gevolgd door één of twee stopbits wordt uitgezonden via de Transmit Data Output (Tx data). Eventueel kan intern een pariteit (even of oneven) aan het karakter worden toegevoegd dat dan tussen het laatste databit en het eerste stopbit zal verschijnen.

In figuur 9/3.3-4 is te zien dat karakters die in totaal uit 11 bits zijn opgebouwd met een snelheid van 10 karakters/s worden verzonden, wanneer de 'baud-rate' 110 bits/s bedraagt. Nadat het eerste karakter in het dataregister is geschreven kan het statusregister weer worden gelezen om te kijken of het transmit dataregister al leeg is en wat de status van het randapparaat is. Is het register leeg dan kan dankzij de dubbele buffering een nieuw karakter worden geladen, zelfs als het eerste karakter nog bezig is met verstuurd te worden. Het tweede karakter wordt automatisch naar het schuifregister overgebracht wanneer de verzending van het eerste karakter klaar is. Deze volgorde gaat door tot alle karakters verstuurd zijn.



Figuur 9/3.3-4: Timing voor het overzenden van een ASCII-karakter met 110 Baud (= 110 bits/s).

Receive

Door middel van de Receive Data Input (RX data) wordt data van het randapparaat ontvangen. Een gedeeld-door-één clock staat ter beschikking voor de data van een extern gesynchroniseerde clock, terwijl de gedeeld-door-16 of 64 verhoudingen worden gebruikt voor interne synchronisatie. Bit-synchronisatie in de gedeeld-door-16 en 64 modes wordt geïnitialiseerd op de detectie van de mark-naar-space overgang van het startbit. Door de beveiliging tegen valse startbits moet minstens de helft van een startbit ontvangen zijn voordat de interne clock op de bittijd wordt gesynchroniseerd. Dan wordt een karakter ontvangen, waarbij de pariteit (even of oneven)

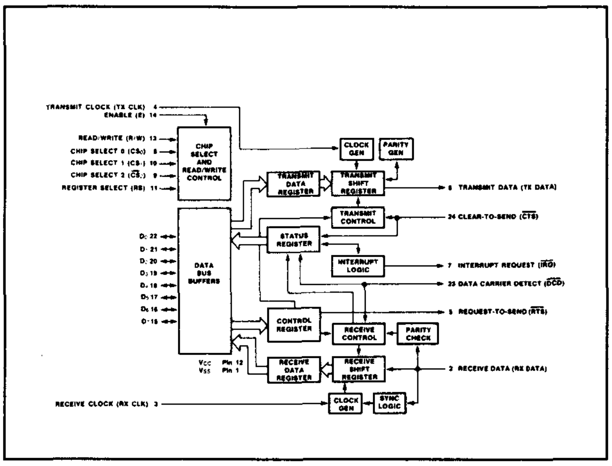
wordt gecheckt zodat een fout-indicatie tegelijk met framing error, overrun error en receive-data register full ter beschikking komt in het statusregister.
Bij de ontvangst wordt gewoonlijk eerst het statusregister gelezen om te zien of er al een karakter van een randapparaat werd ontvangen. Is het receive data register vol, dan wordt het karakter op de 8-bit ACIA bus gezet als van de processor een leescommando wordt ontvangen. Wanneer pariteit voor een 8-bits woord werd ingesteld (7 bits plus pariteit), dan verwijdert de ontvanger dit pariteitsbit (D7 = 0), zodat de processor alleen data krijgt toegevoerd. Hierdoor behoeft aanzienlijk minder te worden geprogrammeerd. Het statusregister kan telkens opnieuw worden gelezen om te bepalen wanneer een volgend karakter in het receive data register beschikbaar is.
De ontvanger is ook dubbel gebufferd zodat een karakter uit het data register kan worden gelezen, terwijl een ander karakter net in het schuifregister komt. Deze volgorde gaat door tot alle karakters zijn ontvangen.

Interne ACIA registers

Aan de buszijde ziet de ACIA er uit als twee adresseerbare geheugenplaatsen. Intern zijn er vier registers (figuur 9/3.3-2): twee read-only en twee write-only registers. De read-only registers zijn voor status en ontvangen data; de write-only registers zijn voor control en te verzenden data. De seriële interface bestaat uit een seriële ingang en uitgangslijnen met onafhankelijke clock-signalen en drie randapparaat/modem besturingslijnen. Figuur 9/3.3-3 geeft op iets andere wijze een inzicht in de interne structuur van de ACIA. De inhoud van elk register wordt opgesomd in tabel 9/3.3-1.

Transmit Data Register (TDR)

Wanneer de ACIA werd geadresseerd en RS = 1, R/$\overline{W}$ = 0 wordt data in het transmit data register geschreven tijdens de negatieve overgang van de Enable (E). Hierdoor gaat het 'data register empty'-bit in het sta-



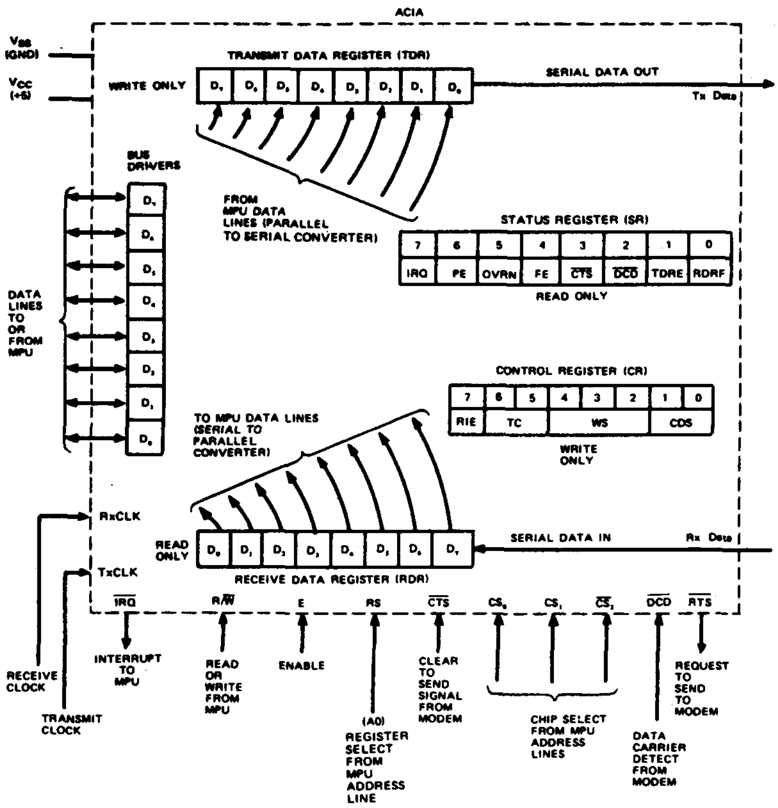
Figuur 9/3.3-2: Blokschema van de ACIA 6850.

tusregister LAAG.
Hierna kan data in serie worden verzonden. Wanneer de zender niets te doen heeft en er geen karakter wordt verzonden, zal de overdracht binnen een bittijd na de achterflank van het write-commando plaatsvinden. Wordt er wel een karakter verzonden, dan begint het nieuwe zodra het vorige klaar is. Het versturen van data maakt dat het 'transmit data register empty'-bit (TDRE) 'leeg' aangeeft.

Receive Data Register (RDR)

Direct na ontvangst van een compleet karakter wordt data automatisch van het ontvangschuifregister naar het lege receive data register gebracht. Hierdoor gaat het 'receive data register full'-bit (RDRF) in het statusregister HOOG (vol). De data kan nu via de bus worden gelezen, wanneer de ACIA wordt geadresseerd en enabled, terwijl het receive data register wordt geselecteerd door RS = 1 en R/$\overline{W}$ = 1. De niet-destructieve lees-cyclus maakt dat het RDRF-bit wordt gecleared naar 'leeg' hoewel de data in het RDR aanwezig blijft. Deze status wordt door RDRF gehandhaafd, of de data nu actueel is of niet. Is het receive data register vol, dan wordt de automatische data-overdracht van het ontvangschuifregister naar het data register gesperd en blijft de inhoud van het RDR in overeenstemming met de huidige status die zich in het statusregister bevindt.

3.3 Type-beschrijving 68xx-familie



Figuur 9/3.3-3: Interne structuur van de ACIA.

Control Register

Het ACIA control register bestaat uit een 8 bits write-only buffer dat geselecteerd wordt wanneer RS = 0 en $R/\overline{W}$ = 0. Dit register regelt de functie van de ontvanger, zender, interrupt enables en de Request-To-Send periferie/modem uitgang.

Counter Divide Select Bits (CR0 en CR1)

Met behulp van de counter divide select bits (CR0 en CR1) worden de deelverhoudingen bepaald die zowel in het ontvangst- als het zendgedeelte van de ACIA worden gebruikt. Bovendien kan met deze bits de master reset worden gegenereerd die het statusregister leegmaakt (behalve de externe condities op $\overline{CTS}$ en $\overline{DCD}$) en zowel de ontvanger als de zender initialiseert. De master reset heeft geen invloed op andere control register bits.

Let op dat deze bits na een power-on of een power fail/start HOOG moeten worden gezet om de ACIA te resetten. Na het resetten kan het clock-deeltal worden geselecteerd (zie tabel 9/3.3-2).

Word Select Bits (CR2, CR3 en CR4)

De word select bits worden gebruikt om de woordlengte, pariteit en aantal stopbits in te stellen. Deze instellingen worden niet gebufferd en veranderingen worden zodoende di-

3.3 Typebeschrijving 68xx-familie

Data Bus Line Number	Buffer Address: RS · $\overline{R/W}$ Transmit Data Register (Write Only)	RS · R/W Receive Data Register (Read Only)	$\overline{RS}$ · $\overline{R/W}$ Control Register (Write Only)	$\overline{RS}$ · R/W Status Register (Read Only)
0	Data Bit 0*	Data Bit 0	Counter Divide Select 1 (CR_0)	Receive Data Register Full (RDRF)
1	Data Bit 1	Data Bit 1	Counter Divide Select 2 (CR_1)	Transmit Data Register Empty (TDRE)
2	Data Bit 2	Data Bit 2	Word Select 1 (CR_2)	Data Carrier Detect ($\overline{DCD}$)
3	Data Bit 3	Data Bit 3	Word Select 2 (CR_3)	Clear-to-Send ($\overline{CTS}$)
4	Data Bit 4	Data Bit 4	Word Select 3 (CR_4)	Framing Error (FE)
5	Data Bit 5	Data Bit 5	Transmit Control 1 (CR_5)	Receiver Overrun (OVRN)
6	Data Bit 6	Data Bit 6	Transmit Control 2 (CR_6)	Parity Error (PE)
7	Data Bit 7***	Data Bit 7**	Receive Interrupt Enable (CR_7)	Interrupt Request (IRQ)

*Leading bit = LSB = Bit 0 **Data bit will be zero in 7-bit plus parity modes. ***Data bit is "don't care" in 7-bit plus parity modes.

Tabel 9/3.3-1: Definitie van de inhouden van de ACIA registers.

CR_1	CR_0	Function
0	0	÷1
0	1	÷16
1	0	÷64
1	1	Master Reset

Tabel 9/3.3-2: Instelling clock-deeltal.

rect effectief. Het codeerformaat is te zien in tabel 9/3.3-3.

Transmitter Control Bits (CR5 en CR6)
Met twee transmitter control bits wordt de interrupt geregeld als gevolg van de transmit data register empty conditie, de Request-To-Send uitgang ($\overline{RTS}$) en het verzenden van een break level (spatie). Het hierbij gebruikte formaat is te zien in tabel 9/3.3-4.

CR_4	CR_3	CR_2	Function
0	0	0	7 Bits + Even Parity + 2 Stop Bits
0	0	1	7 Bits + Odd Parity + 2 Stop Bits
0	1	0	7 Bits + Even Parity + 1 Stop Bit
0	1	1	7 Bits + Odd Parity + 1 Stop Bit
1	0	0	8 Bits + 2 Stop Bits
1	0	1	8 Bits + 1 Stop Bit
1	1	0	8 Bits + Even Parity + 1 Stop Bit
1	1	1	8 Bits + Odd Parity + 1 Stop Bit

Tabel 9/3.3-3: Woord-formattering.

Receive Interrupt Enable Bit (CR7)
Wanneer bit 7 van het controlregister (CR7) HOOG is zijn de volgende interrupts mogelijk: receive data register full, overrun of een LAAG-naar-HOOG overgang op de Data Carrier Detect signaallijn ($\overline{DCD}$).

3.3 Type-beschrijving 68xx-familie

CR_6	CR_5	Function
0	0	$\overline{\text{RTS}}$ = LOW, Transmitting Interrupt Disabled
0	1	$\overline{\text{RTS}}$ = LOW, Transmitting Interrupt Enabled
1	0	$\overline{\text{RTS}}$ = HIGH, Transmitting Interrupt Disabled
1	1	$\overline{\text{RTS}}$ = LOW, Transmits a Break Level on the Transmit Data Output. Transmitting Interrupt Disabled.

Tabel 9/3.3-4: Programmering van de interrupt.

Status Register

Informatie over de status van de ACIA kan worden verkregen door de processor het statusregister te laten lezen.
Dit read-only register wordt geselecteerd als RS = 0 en R/$\overline{\text{W}}$ = 1. De informatie in dit register heeft betrekking op de status van het transmit data register, het receive data register plus fout-logika en de periferie/modem status ingangen van de ACIA.

Receive Data Register Full (RDRF), bit 0

Hiermee wordt aangegeven dat ontvangen data is overgebracht naar het receive data register. RDRF wordt gecleared nadat de processor het receive data register heeft uitgelezen of door een master reset. De geclearde of lege toestand geeft aan dat de inhoud van het receive data register niet actueel is. Als Data Carrier Detect HOOG is, geeft RDRF ook 'leeg' aan.

Transmit Data Register Empty (TDRE), bit 1

Wanneer dit bit HOOG is, wil dat zeggen dat de inhoud van het transmit data register werd overgebracht en dat er nieuwe data kan worden opgenomen. Is het LAAG dan betekent dit dat het register vol is en dat het verzenden van een nieuw karakter sinds het laatste write data commando nog niet is begonnen.

Data Carrier Detect ($\overline{\text{DCD}}$), bit 2

Het data carrier detect bit zal HOOG worden wanneer de $\overline{\text{DCD}}$-ingang van een modem HOOG is gegaan, waarmee wordt aangegeven dat er geen draaggolf aanwezig is. Dit HOOG gaan maakt dat een Interrupt Request wordt gegenereerd als de receive interrupt enable gezet wordt. Het blijft HOOG nadat de $\overline{\text{DCD}}$-ingang weer LAAG is geworden, totdat het gecleared wordt door eerst het statusregister te lezen en vervolgens het dataregister, of totdat er een master reset optreedt. Als de $\overline{\text{DCD}}$-ingang HOOG blijft na uitlezen van status en data of na een master reset, wordt de interrupt gecleared, waarbij het $\overline{\text{DCD}}$-statusbit HOOG blijft, terwijl het $\overline{\text{DCD}}$-ingang zal volgen.

Clear-To-Send ($\overline{\text{CTS}}$), bit 3

Het clear-to-send bit geeft de toestand van de Clear-To-Send-ingang van een modem aan. Door een clear-to-send signaal van een modem wordt dit bit LAAG. Is de clear-to-send ingang HOOG dan wordt het transmit data register empty bit gesperd en gaat het $\overline{\text{CTS}}$-bit HOOG. Het clear-to-send statusbit wordt niet beïnvloed door de master reset.

Framing Error (FE), bit 4

Wanneer een ontvangen karakter niet goed wordt omgeven door een start- en een stopbit, wordt een 'framing error' gedetecteerd door de afwezigheid van het eerste stopbit. Met dit bit wordt een synchronisatie-fout, een foute transmissie of een onderbreking gemeld. De framing error-vlag wordt gedurende de receive data transfer-tijd geset of gereset. Zodoende is deze foutindicatie net zo lang aanwezig als het betrokken karakter.

Receiver Overrun (OVRN), bit 5

Het overrun-bit geeft aan dat één of meer karakters van de datastroom verloren is gegaan. Dit wil zeggen dat er wel karakters werden ontvangen, maar dat ze niet allemaal op tijd uit het receive data register (RDR) werden uitgelezen. De overrun-conditie begint op het midden van het laatste bit van het tweede aaneengesloten karakter waarbij geen uitlezen van het RDR heeft plaatsgevonden.
De overrun komt pas in het statusregister als het geldige karakter voorafgaande aan de overrun is gelezen.
Het RDRF-bit blijft geset totdat de overrun is

gereset. Ook tijdens de overrun-toestand wordt de synchronisatie van de karakters gehandhaafd. De overrun-indicatie wordt gereset nadat data uit het receive data register is gelezen of door een master reset.

Parity Error (PE), bit 6
De pariteitsfout-vlag geeft aan dat het aantal HOOG ('1') bits in een karakter niet overeenkomt met de vooraf ingestelde even of oneven pariteit. Met oneven pariteit wordt bedoeld dat het totaal aantal 'enen' oneven moet zijn. De indicatie van de pariteitsfout blijft even lang beschikbaar als het karakter zich in het RDR bevindt. Als geen pariteit wordt geselecteerd, dan worden zowel de pariteitsgenerator in de zender als de pariteitstester in de ontvanger gesperd.

Interrupt Request ($\overline{IRQ}$), bit 7
Het IRQ-bit laat de toestand van de $\overline{IRQ}$-uitgang zien. Elke interrupt-conditie die werd toegestaan, zal door dit statusbit worden vertegenwoordigd. Telkens wanneer de $\overline{IRQ}$-uitgang LAAG is, zal het IRQ-bit HOOG worden om de interrupt of service request te melden. IRQ wordt gecleared door uitlezen van het receive data register of schrijven in het transmit data register.

Signaal-functies

Interface signalen voor de (micro)processor

Bidirectionele Data Bus (D0 t/m D7)
Het transport van data tussen de microprocessor en de ACIA geschiedt via de 8-bits bidirectionele databus. De busdrivers hebben 3-state uitgangen die in de hoog-impedante toestand blijven tenzij de processor de ACIA uitleest.

Enable (E)
Het enable-signaal E komt de ACIA binnen op een hoog-impedante, TTL-compatibele ingang. Het geeft de bus in-/uitgangsbuffers vrij en klokt data van en naar de ACIA. Dit signaal is gewoonlijk afgeleid van de Ø2 systeem-clock.

Read/write (R/$\overline{W}$)
De R/$\overline{W}$-lijn is een hoog-impedante, TTL-compatibele ingang die wordt gebruikt om de richting van het datatransport door de bus-interface van de ACIA te bepalen. Als R/$\overline{W}$ HOOG is (lees-cyclus) worden de uitgangsdrivers van de ACIA ingeschakeld, zodat het geselecteerde register kan worden gelezen. Als R/$\overline{W}$ LAAG is, zijn de uitgangsdrivers uitgeschakeld en schrijft de processor in het geselecteerde register.

Chip Select (CS0, CS1, $\overline{CS2}$)
Deze drie hoog-impedante, TTL-compatibele ingangen worden gebruikt om de ACIA te adresseren. Wanneer CS0 = HOOG, CS1 = HOOG en $\overline{CS2}$ = LAAG is de ACIA geselecteerd en kunnen data-transporten van en naar de ACIA plaatsvinden, onder besturing van Enable, Read/Write en Register Select.

Register Select (RS)
Ook de RS-ingang is hoog-impedant en TTL-compatibel. Met een HOOG niveau worden de Transmit/Receive Data Registers geselecteerd; met een LAAG niveau de Control/Status Registers. Het R/$\overline{W}$-signaal wordt tegelijk met Register Select gebruikt om het read-only of write-only register in elk paar te kiezen.

Interrupt Request ($\overline{IRQ}$)
$\overline{IRQ}$ is een TTL-compatibele, open-drain (geen interne optrekweerstand), 'aktief LAAG'-uitgang die wordt gebruikt om de processor te interrumperen. De $\overline{IRQ}$-uitgang blijft net zolang LAAG als de oorzaak van de interruptie aanwezig is en de overeenkomstige interrupt-enable in de ACIA is geset.

Clock Ingangen
Voor het klokken van verzonden en ontvangen data zijn aparte, hoog-impedante, TTL-compatibele ingangen aanwezig. De clock-

frequenties kunnen op 1, 16, of 64 maal de data-snelheid worden ingesteld.

Transmit Clock (Tx CLK)

De Tx CLK-ingang wordt gebruikt om de verzonden data te klokken. De zender start de data op de negatieve flank van de clock.

Receive Clock (Rx CLK)

De Rx CLK-ingang wordt gebruikt om ontvangen data te synchroniseren (in de :1 mode moeten clock en data extern worden gesynchroniseerd). De ontvanger tast de data af op de positieve flank van de clock.

Seriële in-/uitgangslijnen

Receive Data (Rx Data)

De Rx Data-lijn is een hoog-impedante, TTL-compatibele ingang waardoor data in een serïeel formaat wordt ontvangen. Wanneer de clock-snelheid 16 of 64 maal hoger is dan de data-snelheid, wordt de data gedetecteerd door extern te synchroniseren. Wanneer extern wordt gesynchroniseerd, liggen de data-snelheden tussen 0 en 500 kbps (500 kBaud).

Transmit Data (Tx Data)

De Tx Data-uitgang geeft seriële data af aan een modem of een ander randapparaat. Bij externe synchronisatie bedraagt de data-snelheid 0 tot 500 kbps.

Modem Control

De ACIA heeft verschillende functies die in beperkte mate besturing van een randapparaat of modem toestaan. Deze functies zijn $\overline{CTS}$, $\overline{RTS}$ en $\overline{DCD}$.

Clear-To-Send ($\overline{CTS}$)

Deze hoog-impedante, TTL-compatibele ingang maakt automatische besturing van de zendkant van een communicatielus mogelijk via de 'aktief LAGE' $\overline{CTS}$-uitgang van een modem door het Transmit Data Register Empty (TDRE) status-bit te sperren.

Request-To-Send ($\overline{RTS}$)

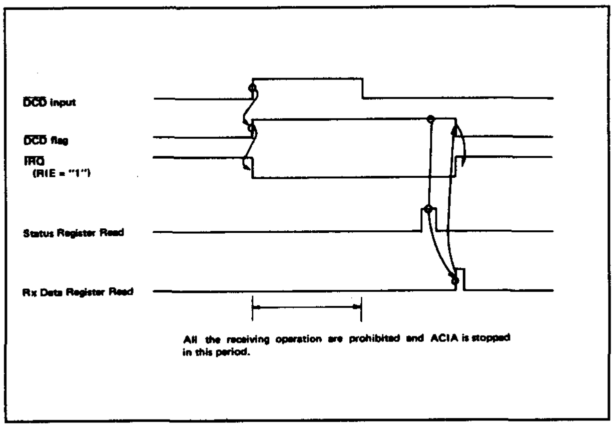
De $\overline{RTS}$-uitgang maakt het de processor mogelijk om een randapparaat of modem via de databus te besturen. De $\overline{RTS}$-uitgang komt overeen met de toestand van de bits CR5 en CR6 van het Control Register. Als CR5 = 1 en CR6 = 1 of als CR6 = 0, is de $\overline{RTS}$-uitgang LAAG (de aktieve toestand). Deze uitgang kan ook worden gebruikt voor Data Terminal Ready ($\overline{DTR}$).

Data Carrier Detect ($\overline{DCD}$)

Deze hoog-impedante, TTL-compatibele ingang maakt automatische besturing van de ontvangstkant van een communicatielus mogelijk door gebruikt te maken van de Carrier Detect-uitgang van een modem. Wanneer de $\overline{DCD}$-ingang HOOG gaat, stopt de ACIA de ontvangst en wordt het ontvangstgedeelte in de reset-toestand gezet. Dit betekent dat het ontvang-schuifregister stopt met schuiven en fout-detectie en synchronisatie van de receive clock worden gereset. Wanneer $\overline{DCD}$ LAAG gaat, kan het ontvangstgedeelte weer data ontvangen.

In dit geval is de volgende gang van zaken nodig om de $\overline{DCD}$-vlag te resetten en de ontvangst opnieuw te starten (zie ook figuur 9/3.3-5).

1) $\overline{DCD}$-ingang gaat terug van HOOG naar LAAG
2) Lees statusregister ($\overline{DCD}$-vlag = 1)
3) Lees receive data register (data onzeker).



Figuur 9/3.3-5: Tijdvolgorde van de DCD-vlag.

3.3 Typebeschrijving 68xx-familie

Elektrische- en timing kenmerken

Deze worden vermeld in de tabellen 9/3.3-5 t/m 7 en de bijbehorende figuren 9/3.3-6 (1 t/m 8).

Symbol	Characteristic	Value	Unit
V_{CC}	Supply Voltage	-0.3 to +7.0	V
V_{IN}	Input Voltage	-0.3 to +7.0	V
T_A	Operating Temperature Range	0 to +70	°C
T_{stg}	Storage Temperature Range	-55 to +150	°C
θ_{JA}	Thermal Resistance Ceramic Plastic	 60 120	°C/W

This device contains circuitry to protect the inputs against damage due to high static voltages or electrical fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high-impedance circuit.

Tabel 9/3.3-5: Maximaal toelaatbare waarden.

3.3 Type-beschrijving 68xx-familie

Fig. 1 Clock Pulse Width, LOW State

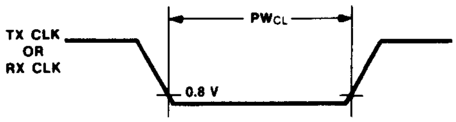


Fig. 2 Clock Pulse Width, HIGH State

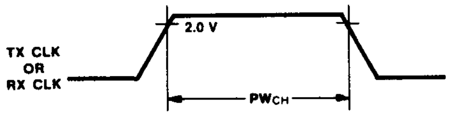


Fig. 3 Transmit Data Output Delay

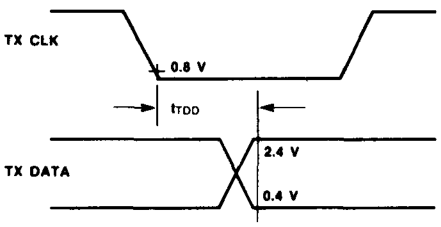


Fig. 4 Receive Data Set-up Time (÷1 Mode)

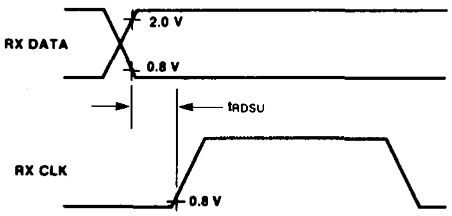


Fig. 5 Receive Data Hold Time (÷1 Mode)

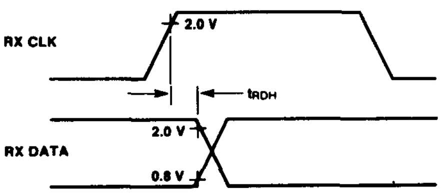


Fig. 6 Request-to-Send Delay and Interrupt-Request Release Times

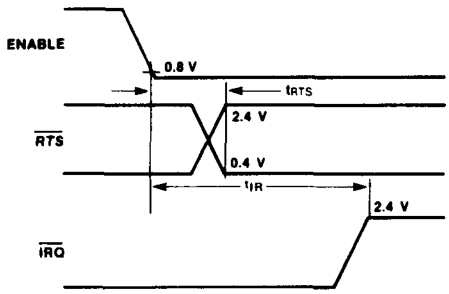


Fig. 7 Bus Read Timing Characteristics (Read Information from ACIA)

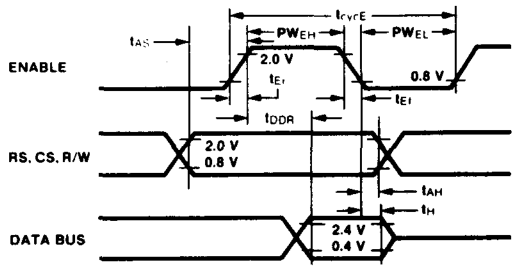
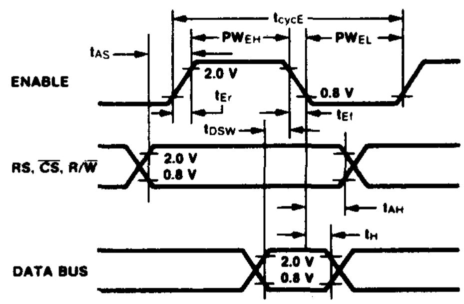


Fig. 8 Bus Write Timing Characteristics (Write Information into ACIA)



Figuur 9/3.3-6: De bij de tabellen 9/3.3-6 en 9/3.3-7 behorende tijddiagrammen.

3.3 Typebeschrijving 68xx-familie

Symbol	Characteristic	Signal	Min	Typ	Max	Unit	Condition
V_{IH}	Input HIGH Voltage		2.0		V_{CC}	V	
V_{IL}	Input LOW Voltage		-0.3		0.8	V	
I_{IN}	Input Leakage Current	R/W, CS_0, CS_1, $\overline{CS_2}$, Enable RS, RxD, RxC, $\overline{CTS}$, $\overline{DCD}$		1.0	2.5	µA	V_{IN} = 0 to 5.25 V
I_{TSI}	3-State Input Current (off State)	D_0-D_7		2.0	10	µA	V_{IN} = 0.4 to 2.4 V
V_{OH}	Output HIGH Voltage	D_0-D_7	2.4			V	I_{Load} = -205 µA, Enable Pulse Width < 25 µs
		Tx Data, $\overline{RTS}$	2.4				I_{Load} = -100 µA, Enable Pulse Width < 25 µs
V_{OL}	Output LOW Voltage				0.4	V	I_{Load} = 1.6 mA, Enable Pulse Width < 25 µs
I_{LOH}	Output Leakage Current	$\overline{IRQ}$		1.0	10	µA	V_{OH} = 2.4 V
P_D	Power Dissipation			300	525	mW	
C_{IN}	Input Capacitance	D_0-D_7 E, Tx Clk, Rx Clk, R/W, RS, Rx Data, CS_0, CS_1, CS_2, CTS, DCD		10 7.0	12.5 7.5	pF	V_{IN} = 0, T_A = 25°C, f = 1.0 MHz
C_{OUT}	Output Capacitance	$\overline{RTS}$, Tx Data $\overline{IRQ}$			10 5.0	pF	V_{IN} = 0, T_A = 25°C, f = 1.0 MHz
PW_{CL}	Minimum Clock Pulse Width, LOW	÷16, ÷64 Modes	600			ns	*Figure 1*
PW_{CH}	Minimum Clock Pulse Width, HIGH	÷16, ÷64 Modes	600			ns	*Figure 2*
f_C	Clock Frequency	÷1 Mode ÷16, ÷64 Modes			500 800	kHz	

Read *(Figures 7 and 9)*

		F6850		F68A50		F68B50		
Symbol	Characteristic	Min	Max	Min	Max	Min	Max	Unit
$t_{cyc}E$	Enable Cycle Time	1.0	—	0.666	—	0.5000	—	µs
PW_{EH}	Enable Pulse Width, HIGH	0.45	25	0.28	25	0.22	25	µs
PW_{EL}	Enable Pulse Width, LOW	0.43	—	0.28	—	0.21	—	µs
t_{AS}	Set-up Time, Address and R/W valid to Enable positive transition	160	—	140	—	70	—	ns
t_{DDR}	Data Delay Time	—	320	—	220	—	180	ns
t_H	Data Hold Time	10	—	10	—	10	—	ns
t_{AH}	Address Hold Time	10	—	10	—	10	—	ns
t_{Er}, t_{Ef}	Rise and Fall Time for Enable Input	—	25	—	25	—	25	ns

Write *(Figures 8 and 9)*

Symbol	Characteristic	F6850 Min	F6850 Max	F68A50 Min	F68A50 Max	F68B50 Min	F68B50 Max	Unit
$t_{cyc}E$	Enable Cycle Time	1.0	—	0.666	—	500	—	µs
PW_{EH}	Enable Pulse Width, HIGH	0.45	25	0.28	25	0.22	25	µs
PW_{EL}	Enable Pulse Width, LOW	0.43	—	0.28	—	0.21	—	µs
t_{AS}	Set-up Time, Address and R/W valid to Enable positive transition	160	—	140	—	70	—	ns
t_{DSW}	Data Set-up Time	195	—	80	—	60	—	ns
t_H	Data Hold Time	10	—	10	—	10	—	ns
t_{AH}	Address Hold Time	10	—	10	—	10	—	ns
t_{Er}, t_{Ef}	Rise and Fall Time for Enable Input	—	25	—	25	—	25	ns

Tabel 9/3.3-6: Elektrische karakteristieken (V_{CC} = 5.0 V ± 5%, V_{SS} = 0, Ta = 0 tot 70°C).

3.3 Type-beschrijving 68xx-familie

Read *(Figures 7 and 9)*

Symbol	Characteristic	F6850 Min	F6850 Max	F68A50 Min	F68A50 Max	F68B50 Min	F68B50 Max	Unit
$t_{cyc}E$	Enable Cycle Time	1.0	—	0.666	—	0.5000	—	μs
PW_{EH}	Enable Pulse Width, HIGH	0.45	25	0.28	25	0.22	25	μs
PW_{EL}	Enable Pulse Width, LOW	0.43	—	0.28	—	0.21	—	μs
t_{AS}	Set-up Time, Address and R/W valid to Enable positive transition	160	—	140	—	70	—	ns
t_{DDR}	Data Delay Time	—	320	—	220	—	180	ns
t_H	Data Hold Time	10	—	10	—	10	—	ns
t_{AH}	Address Hold Time	10	—	10	—	10	—	ns
t_{Er}, t_{Ef}	Rise and Fall Time for Enable Input	—	25	—	25	—	25	ns

Write *(Figures 8 and 9)*

Symbol	Characteristic	F6850 Min	F6850 Max	F68A50 Min	F68A50 Max	F68B50 Min	F68B50 Max	Unit
$t_{cyc}E$	Enable Cycle Time	1.0	—	0.666	—	500	—	μs
PW_{EH}	Enable Pulse Width, HIGH	0.45	25	0.28	25	0.22	25	μs
PW_{EL}	Enable Pulse Width, LOW	0.43	—	0.28	—	0.21	—	μs
t_{AS}	Set-up Time, Address and R/W valid to Enable positive transition	160	—	140	—	70	—	ns
t_{DSW}	Data Set-up Time	195	—	80	—	60	—	ns
t_H	Data Hold Time	10	—	10	—	10	—	ns
t_{AH}	Address Hold Time	10	—	10	—	10	—	ns
t_{Er}, t_{Ef}	Rise and Fall Time for Enable Input	—	25	—	25	—	25	ns

Tabel 9/3.3-7: Bus Timing karakteristieken.

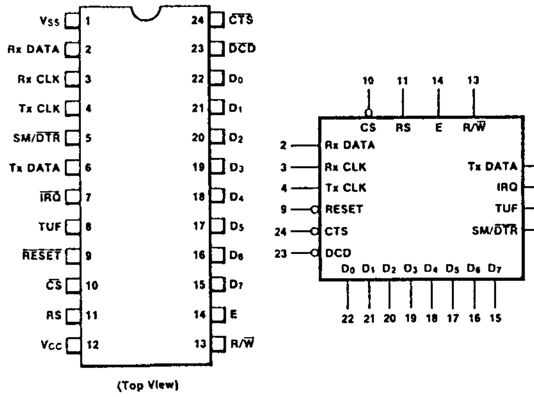
3.3 Type-beschrijving 68xx-familie

6852
Synchrone Seriële Data Adapter - SSDA

Met de 6852 kan een bidirectionele seriële interface voor synchrone uitwisseling van data in bus-georiënteerde systemen worden gebouwd. Met de interface logika die de SSDA bevat kunnen standaard synchrone communicatie-karakters tegelijkertijd worden verzonden en ontvangen.
De bus-interface van de 6852 is voorzien van Select, Enable, Read/Write, Interrupt en bus-interface logika om data-transporten van en naar de processor via een 8-bit bidirectionele databus mogelijk te maken. De parallelle data van het bussysteem wordt serieel verzonden en ontvangen door de synchrone data-interface waarbij synchronisatie, invoegen/verwijderen van opvulkarakters en checken van fouten optreden. De functionele configuratie van de SSDA wordt tijdens de initialisatie van het systeem via de databus geprogrammeerd. Door gebruik te maken van programmeerbare controlregisters kan de besturing van variabele woordlengten, zenden, ontvangen, synchronisatie en interrupts worden ingesteld. Het randapparaat of de modem kan door middel van status, timing en besturingslijnen worden bestuurd.
De 6852 kan bijvoorbeeld worden toegepast bij floppy disk-controllers, cassette- of cartridge tape controllers, terminals voor data-communicatie en numerieke besturingssystemen.

Kenmerken van de 6852

- programmeerbare interrupts van zender, ontvanger en fout-detectielogika
- karaktersynchronisatie met 1 of 2 SYNC codes
- externe synchronisatie beschikbaar voor parallel/serie werking
- programmeerbaar SYNC code register
- clockfrequentie:
  6852: 1 MHz, 68A52: 1,5 MHz, 68B52: 2 MHz
- zenden tot 600 Kbps (bits per seconde)
- besturingsfuncties voor randapparaat/modem
- 3 bytes FIFO buffer bij zenden en ontvangen
- 7-, 8- of 9-bit transmissie
- naar keuze even of oneven pariteit
- status van pariteit, overrun en underflow
- behuizing: 24-pens 0,6 inch plastic of keramische DIL (zie figuur 9/3.3-7)
- fabrikanten onder andere:
  Fairchild: F6852, F68A52, F68B52
  Hitachi: HD 6852, HD 68A52
  Motorola: MC 6852

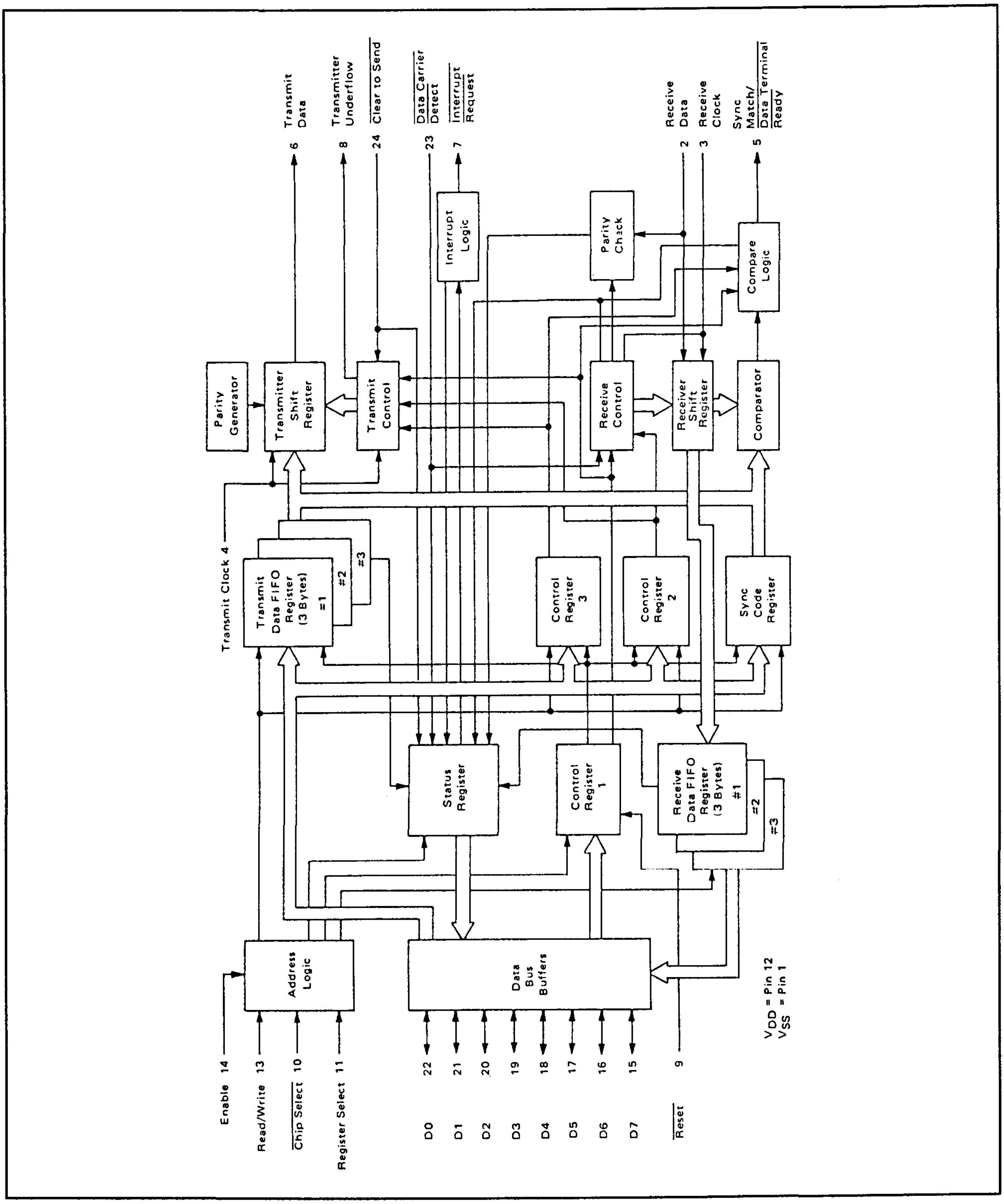


Figuur 9/3.3-7: Aansluitgegevens en logisch symbool van de SSDA 6852.

Werking

Ter plaatse van de bus ziet de SSDA er uit als twee adresseerbare geheugenplaatsen. Intern zijn er zeven registers: twee stuks die alleen kunnen worden gelezen (read-only) en vijf die alleen beschreven kunnen worden (write-only). De leesbare registers zijn Status en Receive Data. De beschrijfbare registers zijn Control 1, Control 2, Control 3, Sync Code en Transmit Data (zie ook het blokschema, figuur 9/3.3-8). De seriële interface bestaat uit seriële ingangs- en uitgangslijnen met onafhankelijke clock-signalen en vier periferie/modem besturingslijnen.

3.3 Type-beschrijving 68xx-familie



Figuur 9/3.3-8: Blokschema van de 6852 met daarin de registers en alle interface-signalen.

3.3 Type-beschrijving 68xx-familie

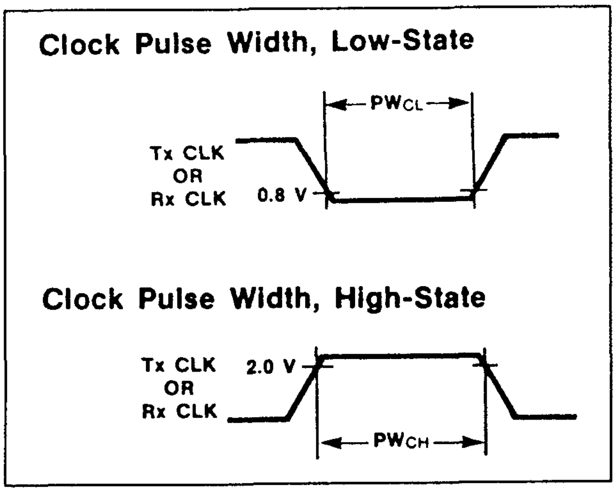
De te versturen data wordt direkt van de databus naar het 3-byte grote Transmit Data FIFO (first-in, first-out) Register overgebracht. De FIFO geeft aan dat data opgenomen kan worden door middel van een bit in het statusregister. Wanneer data binnenkomt, schuift die door de FIFO heen naar de verst verwijderde lege plaats. Data aan de uitgang van de FIFO wordt automatisch naar het zendschuifregister (Transmitter Shift Register) getransporteerd, waardoor dit schuifregister klaar staat om het volgende karakter te versturen. Als de FIFO geen data beschikbaar heeft ("underflow" conditie), wordt het zendschuifregister automatisch geladen met een sync code of met een "allemaal enen" karakter. Het zendgedeelte kan worden geprogrammeerd om even-, oneven- of geen pariteit aan het verzonden woord te bevestigen. Door middel van een extern Clear-to-Send ($\overline{CTS}$) controllijn kan de zender worden gesperd zonder de FIFO leeg te maken.

Het verzamelen van seriële data in de ontvanger is afhankelijk van de geselecteerde synchronisatie mode. In de externe sync mode, die gebruikt wordt voor parallel-serie bedrijf, wordt de ontvanger gesynchroniseerd door het Data Carrier Detect ($\overline{DCD}$) signaal en worden achtereenvolgende databytes naar het Receive Data FIFO Register overgebracht. In de enkele-sync-karakter mode moet een binnenkomend karakter overeenstemmen met de inhoud van het Sync Code Register voordat het transport van data naar de FIFO begint. De twee-sync-karakters mode vereist de ontvangst van twee sync codes om tot synchronisatie te komen. Na synchronisatie wordt data in het schuifregister verzameld en wordt eventueel de pariteit gecontroleerd. De signalering van een pariteitsfout vergezelt het karakter door de FIFO heen naar de verste lege plaats. De beschikbaarheid van een woord aan de uitgang van de FIFO wordt aangegeven door een bit in het statusregister, net als een pariteits-fout.

De SSDA en zijn interne registers worden geselecteerd door middel van de adresbus, het Read/Write-signaal en de Enable controllijnen. Om de SSDA te configureren worden de nodige bits in de controlregisters geset. Het statusregister is bereikbaar voor uitlezen van de bedrijfstoestand.

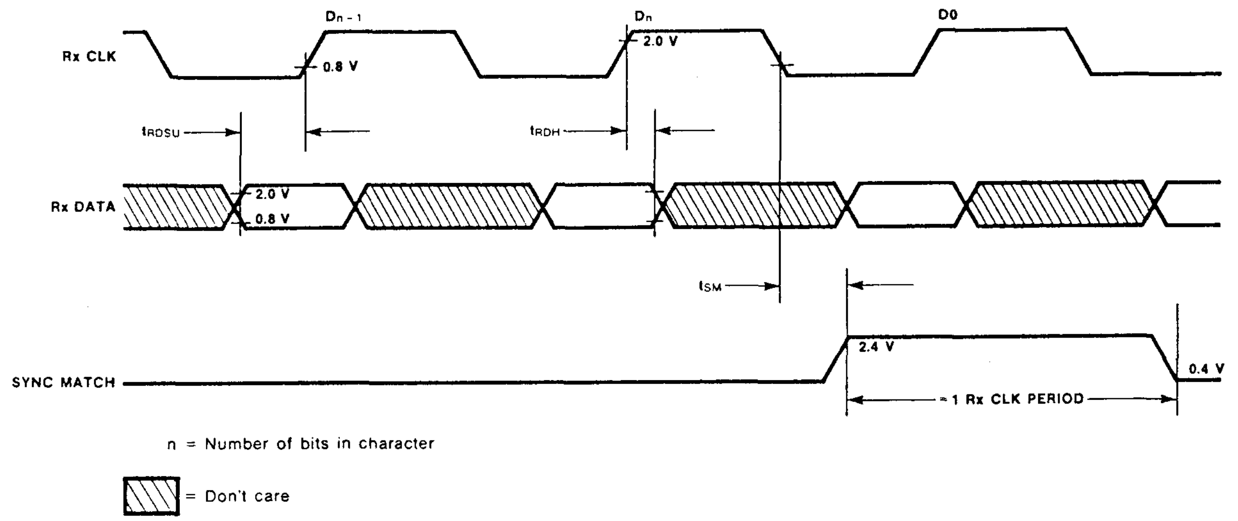
Behalve Clear-to-Send ($\overline{CTS}$) en Data Carrier Detect ($\overline{DCD}$) zijn er de I/O-lijnen Sync Match/Data Terminal Ready (SM/$\overline{DTR}$) en Transmitter Underflow (TUF). De zender en de ontvanger hebben eigen clock-ingangen, waardoor gelijktijdige werking onder gescheiden clock-besturing mogelijk is. De databus en Interrupt Request ($\overline{IRQ}$) zijn signalen die naar de microprocessor gaan.

Initialisatie
Tijdens het opkomen van de voedingsspanning wordt de SSDA gereset via de $\overline{RESET}$-ingang, waarbij hij inwendig in een resetconditie wordt gelatcht om foutieve uitgangssignalen te voorkomen. Het sync code register, controlregister 2 en control register 3 moeten worden geprogrammeerd voordat de resetbits van zender en/of ontvanger worden vrijgegeven. Deze bits in het control register 1 moeten worden gecleared nadat de $\overline{RESET}$-lijn HOOG is gegaan.



Figuur 9/3.3-9: Golfvormen en timing van de clock-signalen aan de periferie-zijde.

3.3 Type-beschrijving 68xx-familie



Figuur 9/3.3-10: Receiver Data Set-up en houdtijden en Sync Match vertragingstijd.

Werking van de zender

Data wordt van de databus in parallelle vorm via de transmit data FIFO naar het zendgedeelte overgebracht. De Transmit Data FIFO is een 3-byte register, waarvan de status wordt aangegeven door middel van de transmitter data register available (TDRA) bit en de bijbehorende interrupt enable bit. Data wordt door de FIFO getransporteerd op de dalende flank van Enable (E) pulsen. Met de SSDA zijn twee data transfer modes mogelijk. Met de 1-byte transfer mode wordt data telkens met 1 byte tegelijk naar het zendgedeelte geschreven (en uitgelezen van het ontvanggedeelte). Met de 2-byte transfer mode kunnen twee data-karakters na elkaar worden geschreven.

Data wordt automatisch gedurende de laatste helft van de laatste bit van het vorige karakter overgebracht van de laatste registerplaats in de transmit data FIFO (als die tenminste data bevat) naar het schuifregister. Een karakter wordt door middel van de Transmit Clock in het schuifregister geladen. Van de data wordt het LSB het eerst verzonden, waarbij naar keuze sprake kan zijn van even of oneven pariteit.

De niet gebruikte bitplaatsen in karakters met korte woordlengten die van de bus komen zijn "don't cares".
Let op dat de data op de bus kan zijn omgekeerd voor toepassingen waarbij het MSB het eerst moet worden verzonden, bijvoorbeeld als IBM formaat voor floppy disks. Hierbij moet worden opgelet dat de control registers goed worden geprogrammeerd, in tabel 9/3.3-8 zullen de bitposities immers zijn omgedraaid.

Als het schuifregister leeg raakt en er geen data beschikbaar is voor overdracht vanuit de transmit data FIFO, treedt een underflow op en wordt een karakter in datastroom van de zender tussengevoegd om synchronisatie van de karakters te handhaven. Het karakter dat bij underflow wordt uitgezonden zal of een "mark" (allemaal enen) of de inhoud van het sync code register zijn, afhankelijk van de toestand van de "transmit sync code bij underflow "-bit.
De underflow conditie wordt aangegeven door een puls (ongeveer gelijk aan de TxCLK HOOG-periode) op de Transmitter Underflow uitgang (in de TxSync bij underflow mode).

3.3 Type-beschrijving 68xx-familie

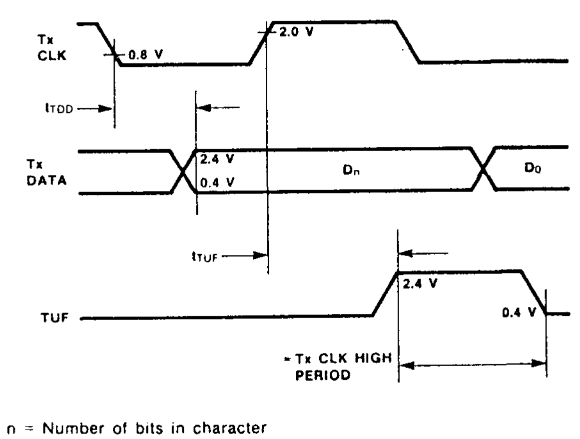
SSDA Programming Model

Register	Control Inputs		Address Control		Register Content							
	RS	R/W	AC2	AC1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Status (S)	0	1	X	X	Interrupt Request (IRQ)	Receiver Parity Error (PE)	Receiver Overrun (Rx Ovrn)	Transmitter Underflow (TUF)	Clear-to-Send ($\overline{CTS}$)	Data Carrier Detect ($\overline{DCD}$)	Transmitter Data Register Available (TDRA)	Receiver Data Available (RDA)
Control 1 C1	0	0	X	X	Address Control 2 (AC2)	Address Control 1 (AC1)	Receiver Interrupt Enable (RIE)	Transmitter Interrupt Enable (TIE)	Clear Sync	Strip Sync Characters (Strip Sync)	Transmitter Reset (Tx Rs)	Receiver Reset (Rx Rs)
Receive Data FIFO	1	1	X	X	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
Control 2 (C2)	1	0	0	0	Error Interrupt Enable (EIE)	Transmit Sync Code on Underflow (Tx Sync)	Word Length Select 3 (WS3)	Word Length Select 2 (WS2)	Word Length Select 1 (WS1)	1-Byte/2-Byte Transfer (1-Byte/2-Byte)	Peripheral Control 2 (PC2)	Peripheral Control 1 (PC1)
Control 3 (C3)	1	0	0	1	Not Used	Not Used	Not Used	Not Used	Clear Transmitter Underflow Status (CTUF)	Clear $\overline{CTS}$ Status (Clear $\overline{CTS}$)	One-Sync-Character/ Two-Sync-Character Mode Control (1-Sync/ 2-Sync)	External/ Internal Sync Mode Control (E/I Sync)
Sync Code	1	0	1	0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
Transmit Data FIFO	1	0	1	1	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0

X = Don't Care

Tabel 9/3.3-8: Programmeermodel van de SSDA 6852.

Het Transmitter Underflow signaal treedt tegelijk op met de overdracht van de laatste helft van de laatste bit, voorafgaande aan het underflow karakter.
De underflow statusbit blijft geset totdat het wordt gecleared door de clear underflow controlbit. Dit signaal kan in floppy disk systemen worden gebruikt om schrijfhandelingen te synchroniseren en een CRCC (Cyclic Redundancy Check Character) toe te voegen. Het zenden wordt geïnitialiseerd door de transmitter resetbit in controlregister 1 te clearen. Als dit is gedaan, initialiseert de eerste volledige positieve halve cyclus van de transmit clock de zendcyclus, waarbij het verzenden van data of underflow karakters begint op de negatieve flank van de transmit clockpuls die de cyclus startte.



Figuur 9/3.3-11: Transmit Data uitgang vertragingstijd en transmitter underflow vertraging.

3.3 Type-beschrijving 68xx-familie

Indien de transmit data FIFO niet was geladen zal een underflow karakter worden uitgezonden (zie figuur 9/3.3-11).

De Clear-to-Send ($\overline{CTS}$) ingang maakt automatische besturing van de zender door externe systeem hardware mogelijk. De $\overline{CTS}$-uitgang van een modem levert bijvoorbeeld de besturing van een data communicatiesysteem. Als de $\overline{CTS}$ ingang HOOG is, reset en spert dit signaal wel het zendgedeelte maar niet de transmit data FIFO. De TDRA statusbit wordt zowel in de 1- als in de 2 sync karakter mode door $\overline{CTS}$ = HOOG gesperd. In de externe sync mode wordt TDRA niet door $\overline{CTS}$ beïnvloed om voorlading van FIFO status te voorzien en de zender te laten opereren onder $\overline{CTS}$ besturing. Door de transmitter resetbit (TxRs) te setten, wordt de transmitter data FIFO leeg gemaakt en wordt de TDRA statusbit gecleared. Nadat een E clock heeft plaatsgevonden, komt de transmit data FIFO beschikbaar voor nieuwe data, waarbij TDRA gesperd is.

Werking van de ontvanger
De ontvangersectie van de SSDA krijgt data en een voorgesynchroniseerde clock toegevoerd via de Receive Data (RxDATA) en de Receive Clock (RxCLK) ingangen. De data is een continue stroom binaire databits, waarbij het niet mogelijk is om binnen de stroom de grenzen van karakters te identificeren. Het is daarom noodzakelijk om aan het begin van het datablok synchronisatie van de karakters te verkrijgen. Als de synchronisatie eenmaal een feit is, wordt aangenomen dat die ook gehandhaafd blijft gedurende de rest van het blok.

Data-communicatiesystemen maken gebruik van de detectie van sync codes gedurende het initiële gedeelte van het beginteken om karakter-synchronisatie te verkrijgen. Hiervoor is het nodig een enkele code of twee opvolgende sync codes te detecteren. Voor floppy disk- en cartridge tape apparatuur is een beginteken van 16-bits nodig, terwijl casstte recorders een beginteken van 8-bits gebruiken om het begin van de opname vast te stellen. Alle drie maken zij gebruik van de detectie van sync codes. Systemen die geen code-detectietechnieken gebruiken hebben voor de karakter-synchronisatie speciale, externe logika nodig en worden in de parallel-naar-serie (externe sync) mode toegepast. Let op dat het ontvangschuifregister bij het resetten op "1" wordt gezet.

Synchronisatie
De SSDA kent drie bedrijfsmodes met betrekking tot karakter-synchronisatie:
- sync-karakter mode;
- sync-karakter mode;
- externe sync mode.

In de externe sync mode vindt synchronisatie en besturing van de ontvanger plaats via de Data Carrier Detect ($\overline{DCD}$) ingang (zie figuur 9/3.3-14). Deze externe synchronisatie zou kunnen bestaan uit een direkte lijn-besturing vanaf de zendzijde van de seriële dataverbinding of uit externe logika waarmee het begin van een berichtenblok kan worden gedetecteerd.
In de 1-sync-karakter mode wordt bit voor bit gezocht totdat de data in het schuifregister identiek is aan die in het sync code register. De overeenkomst geeft aan dat karakter-synchronisatie een feit is en gedurende het boodschappenblok gehandhaafd blijft.
In de 2-sync-karakter mode zoekt de ontvanger bit voor bit naar de eerste sync code-overeenkomst en daarna naar een tweede, aansluitend sync code karakter voordat karakter-synchronisatie wordt vastgesteld. Als het tweede sync code karakter niet wordt ontvangen, wordt weer bit voor bit naar de eerste sync code gezocht.

Sync codes die worden ontvangen voordat de synchronisatie klaar is (een of twee karakters) worden niet naar de receive data FIFO getransporteerd. Redundante sync codes tijdens het beginteken of sync codes die als "opvul-karakters" worden gebruikt, wor-

den automatisch uit de data weggehaald (gestript) als het strip sync controlbit is geset. De karakter-synchronisatie blijft gehandhaafd totdat hij door middel van de clear sync bit wordt opgeheven, waardoor tevens de synchronisatie-pogingen worden gestopt.

Data ontvangst
Nadat synchronisatie is verkregen worden achtereenvolgende karakters automatisch naar de receive data FIFO overgebracht en daar met behulp van E-pulsen (Φ2 van het systeem) doorheen geklokt naar de laatste lege plaats. De receiver data available statusbit (RDA) geeft aan dat (in de 1-byte transfer mode) data uit de laatste FIFO-lokatie (nummer 3) kan worden uitgelezen. In de 2-byte transfer mode wordt de RDA statusbit geset als de laatste twee plaatsen van het FIFO register gevuld zijn. Wanneer data in de receive data FIFO aanwezig is en de receiver interrupt enable bit (RIE) is geset, wordt een interrupt request opgewekt. De CPU moet dan het statusregister in de SSDA uitlezen, waarin dan is aangegeven dat er data in het receive data FIFO register klaar staat om door de CPU te worden overgenomen. De IRQ en RDA statusbits worden door een leesoperatie uit de FIFO gereset. Als er meer dan een karakter werd ontvangen en klaar staat in de receive data FIFO, wordt de FIFO door opeenvolgende E-pulsen op orde gebracht en zullen de RDA en IRQ statusbits opnieuw worden geset. Het uitlezen in de 2-byte mode heeft een E-puls tussen de leesoperaties nodig om de data in de FIFO te laten opschuiven. Bij het ontvangen van data wordt automatisch de optionele pariteit gecheckt en de pariteitsstatus blijft bij elk karakter totdat de data uit de receive data FIFO wordt uitgelezen. Pariteitsfouten veroorzaken een interrupt request als de error interrupt enable (EIE) bit is geset. De pariteitsbit wordt niet naar de databus overgebracht, maar moet in het statusregister worden gecheckt. Let op dat in de 2-byte transfer mode de pariteit moet worden gecheckt voordat de tweede byte wordt uitgelezen, aangezien de error-bit door uitlezen van de FIFO wordt gecleared.

Andere statusbits die betrekking hebben op het ontvangstgedeelte zijn receiver overrun (Rx Ovrn) en data carrier detect ($\overline{DCD}$). De overrun statusbit wordt automatisch geset als een karakter naar de receive data FIFO wordt overgebracht, terwijl het eerste register hiervan vol is. Overrun heeft een interrupt tot gevolg als error interrupt enable (EIE) is geset. Door het overbrengen van een "overrunnend" karakter naar de FIFO gaat het in het ingangsregister van de FIFO aanwezige karakter verloren. De overrun statusbit wordt door uitlezen van eerst het statusregister en vervolgens het receive data FIFO register gecleared. Overrun kan niet optreden en wordt gecleared als geen gelegenheid wordt geboden om dit via het statusregister te detecteren.

Door een positieve overgang op de $\overline{DCD}$-ingang wordt een interrupt gegenereerd als de EIE controlbit is geset. De door $\overline{DCD}$ veroorzaakte interruptie wordt gecleared door uitlezen van het statusregister als de $\overline{DCD}$ statusbit HOOG is, gevolgd door een leesoperatie van de receive data FIFO. De $\overline{DCD}$ statusbit zal daarna de toestand van de $\overline{DCD}$-ingang volgen als die LAAG gaat.

SSDA Interface Signalen voor de CPU
De SSDA wordt door middel van een 8-bit bidirectionele databus, een Chip Select-lijn, een Register Select-lijn, een Interrupt Request-lijn, een Read/Write-lijn, een Enable-lijn en een Reset-lijn op een microprocessor van de 68xx-familie aangesloten. Deze signalen, samen met de VMA-uitgang van de 6800, maken volledige controle van de SSDA mogelijk.

- Bidirectionele Databus (D0 tot en met D7)
  De bidirectionele datalijnen D0 tot en met D7 maken datatransport tussen de SSDA en de CPU mogelijk. De databus drivers hebben 3-state uitgangen die in de hoog-

impedante toestand blijven, behalve als de CPU een leesoperatie uitvoert.

- Enable (E)
  Het Enable-signaal E komt binnen op een hoog-impedante, TTL-compatibele ingang. Het geeft de bus ingangs-/uitgangs-databuffers vrij, klokt data in en uit de SSDA en verplaatst data door de FIFO registers. Dit signaal is normaal de continu doorlopende Φ2 systeemclock.
- Read/Write (R/$\overline{W}$)
  De lees/schrijflijn R/$\overline{W}$ is een hoog-impedante, TTL-compatibele ingang waarmee de richting van het data-transport over de databus wordt geregeld. Wanneer R/$\overline{W}$ HOOG is (leescyclus van de CPU) worden, als de SSDA geselecteerd is, de uitgangsdrivers ingeschakeld en wordt een geselecteerd register gelezen.
  Is R/$\overline{W}$ LAAG dan worden de uitgangsdrivers van de SSDA uitgeschakeld en schrijft de CPU in een geselecteerd register. Het lees/schrijfsignaal wordt ook gebruikt om read-only of write-only registers in de SSDA te selecteren.
- Chip Select ($\overline{CS}$)
  Deze hoog-impedante, TTL-compatibele ingang wordt gebruikt om de SSDA te adresseren. De SSDA is geselecteerd als $\overline{CS}$ LAAG is. Voor het genereren van het $\overline{CS}$-signaal moet VMA worden gebruikt om te garanderen dat er geen valse selects optreden. De overdracht van data van en naar de SSDA worden dan uitgevoerd onder besturing van het Enable signaal, Read/Write en Register Select.
- Register Select (RS)
  De Register Select-lijn is een hoog-impedante, TTL-compatibele ingang. Een HOOG niveau wordt gebruikt om de controlregisters C2 en C3, het sync code register en de transmit/receive data registers te selecteren. Met een LAAG niveau worden het controlregister C1 en het status-register gekozen (zie tabel 9/3.3-8).
- Interrupt Request ($\overline{IRQ}$)
  De Interrupt Request is een TTL-compatibele, open-drain (geen interne optrekweerstand), aktief-LAGE uitgang die wordt gebruikt om de CPU te interrumperen. $\overline{IRQ}$ blijft LAAG totdat hij gecleared wordt door de CPU.
- Reset ingang ($\overline{RESET}$)
  De Reset ingang maakt resetten van de SSDA door een externe bron mogelijk. In de LAGE toestand veroorzaakt het Reset signaal het volgende:
  - De receiver- en transmitter resetbits (resp. Rx Rs en Tx Rs) worden geset, waardoor zowel de ontvanger- als de zendergedeelten in een reset-conditie worden gehouden.
  - De Peripheral controlbits PC1 en PC2 worden op "0" gezet, waardoor de SM/$\overline{DTR}$-uitgang HOOG wordt.
  - De error interrupt enable-bit (EIE) wordt gereset.
  - Er wordt een interne synchronisatiemode gekozen.
  - De transmitter data register available (TDRA) statusbit wordt gecleared en gesperd.

Wanneer $\overline{RESET}$ weer HOOG wordt (de niet-aktieve toestand) blijven de ontvanger- en zendergedeelten in de reset-toestand totdat de receiver en transmitter resetbits via de bus onder software-besturing worden gecleared.
De door $\overline{RESET}$ beïnvloede control registerbits (Rx Rs, Tx Rs, PC1, PC2, EIE en E/L Sync) kunnen niet worden veranderd als $\overline{RESET}$ LAAG is.

Clock ingangen
Voor het klokken van verzonden en ontvangen data staan aparte, hoogimpedante, TTL-compatible ingangen ter beschikking.

- Transmit Clock (Tx CLK)
  De Transmit Clock ingang wordt gebruikt om verzonden data uit te klokken. De zender verschuift data op de negatieve flanken van de clock.

- Receive Clock (Rx CLK)
  De Receive Clock ingang dient voor het inklokken van ontvangen data. De clock en de data moeten extern worden gesynchroniseerd. De ontvanger bemonstert de data op de positieve flanken van de clock.

Seriële In-/Uitgangslijnen

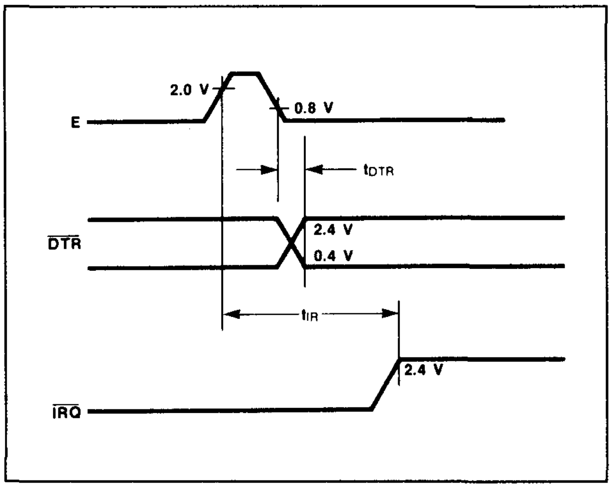
- Receive Data (Rx DATA)
  De Receive Data-lijn is een hoog-impedante, TTL-compatibele ingang waardoor data in een serieel formaat wordt ontvangen. Er zijn datasnelheden mogelijk van 0 tot 600K bps.
- Transmit Data (Tx DATA)
  De Transmit Data uitgangslijn verstuurt seriëile data naar een modem of een ander randapparaat. Ook hier zijn datasnelheden van 0 tot 600K bps mogelijk.

Periferie/Modem Control

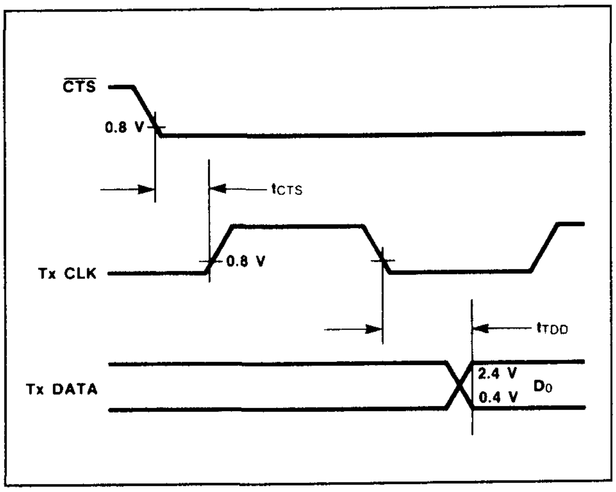
De SSDA bevat verschillende functies die beperkte besturing van een randapparaat of modem mogelijk maken. De betreffende functies zijn Clear-to-Send, Sync Match/Data Terminal Ready, Data Carrier Detect en Transmitter Underflow.

- Clear-to-Send (CTS)
  De CTS-ingang maakt een real-time sperren van het zendergedeelte mogelijk (de transmit data FIFO wordt niet verstoord). Een positieve overgang van CTS reset het transmitter-schuifregister en spert de TDRA statusbit en de bijbehorende interrupt bij zowel de 1- als de 2-sync karakter bedrijfsmode. In de externe sync mode wordt TDRA niet beïnvloed door het CTS-signaal.
  De positieve overgang van CTS wordt in de SSDA opgeslagen om te garanderen dat het systeem deze gebeurtenis opmerkt. De opgeslagen CTS-informatie en de bijbehorende IRQ (indien vrijgegeven) worden gecleared door een "1" in het CTS-bit in control register 3 of in het transmitter resetbit te schrijven. De CTS statusbit volgt vervolgens de CTS-ingang als die LAAG gaat.
  De CTS-ingang levert in de externe sync mode karakter-timing voor transmitter data. Het zenden wordt ingeleid op de negatieve overgang van de eerste **volledige** clock-puls van de Transmit Clock (Tx CLK) na het wegvallen van CTS (zie figuur 9/3.3-13).
- Data Carrier Detect (DCD)
  De DCD-ingang maakt een real-time sperren (inhibit) van het ontvangstgedeelte mogelijk (als de Rx FIFO niet is verstoord). Een positieve DCD-overgang reset en spert het ontvangstgedeelte, met uitzondering van de receive FIFO en de RDRA statusbit en de bijbehorende IRQ. De positieve overgang van DCD wordt in de SSDA opgeslagen om er zeker van te zijn dat deze gebeurtenis door het systeem wordt bevestigd. De opgeslagen DCD-informatie en de bijbehorende IRQ (indien vrijgegeven) worden gecleared door uitlezen van het statusregister en de receive FIFO of door een "1" in de receiver resetbit te schrijven. De DCD statusbit volgt daarna de DCD-ingang als die weer LAAG gaat. Het DCD-signaal maakt in de externe sync-mode karakter-synchronisatie voor de ontvanger mogelijk. De ontvanger wordt geïnitialiseerd en data wordt bemonsterd op de positieve flank van de eerste volledige Receive Clock cyclus na vrijgeven van DCD (zie figuur 9/3.3-14).
- Sync Match/Data Terminal Ready (SM/DTR)
  De SM/DTR-uitgang heeft vier mogelijk functies, afhankelijk van de toestand van de PC1 en PC2 controlbits. Wanneer de Sync Match mode is geselecteerd (PC1 = "1", PC2 = "0") levert de uitgang een 1-bit brede puls als een sync code wordt gedetecteerd. Deze puls komt telkens wanneer een sync code "past", zelfs wanneer de ontvanger al gesynchroniseerd is. De SM-uitgang wordt gesperd als PC2 = "1". De DTR-mode (PC1 = "0") levert een uitgangsniveau op dat overeenkomt met het complement van PC2 (DTR = "0" als PC2 = "1"), zie tabel 9/3.3-8.

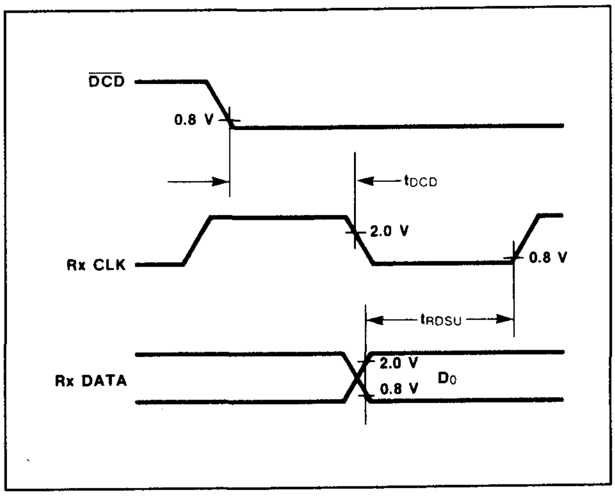
3.3 Type-beschrijving 68xx-familie



Figuur 9/3.3-12: Data Terminal Ready en Interrupt Request Release tijden.



Figuur 9/3.3-13: Clear-to-Send Set-up tijd.



Figuur 9/3.3-14: Data Carrier Detect Set-up tijd.

- Transmitter Underflow (TUF)
  Het Transmitter Underflow signaal geeft aan dat een "opvul-karakter" naar het transmitter schuifregister wordt gestuurd als de laatste plaats (nummer 3) in de transmit data FIFO leeg is. De Transmitter Underflow uitgangspuls is ongeveer een Tx CLK-HOOG-periode breed en treedt op tijdens de laatste helft van de laatste bit van het karakter dat aan de underflow vooraf gaat (zie figuur 9/3.3-11). De Transmitter Underflow uitgangspuls verschijnt niet als de Tx Sync-bit in de reset toestand verkeert.

SSDA Registers
Via de bus kan toegang worden verkregen tot zeven registers in de SSDA. Afhankelijk van de richting van de informatiestroom worden de registers read-only en write-only genoemd.
Het Register Select signaal (RS) kiest in elke toestand twee registers: een alleen leesbaar en een alleen beschrijfbaar. Het Read/Write signaal (R/$\overline{W}$) bepaalt welk van beide registers werkelijk bereikt wordt. Vier registers (twee read-only en twee write-only) kunnen te allen tijde via de bus worden geadresseerd. Deze registers en de vereiste adressering staan vermeld in tabel 9/3.3-8.

Control Register 1 (C1)
Control register 1 is een 8-bit write-only register dat direkt vanaf de databus geadresseerd kan worden. Control register 1 wordt bereikt als RS = "0" en R/$\overline{W}$ = "0".

- Receiver Reset (Rx Rs), C1 Bit 0
  De receiver reset controlbit levert zowel een reset als een sper functie voor het ontvangstgedeelte. Als Rx Rs geset is, wordt de besturingslogika van de ontvanger, sync logika, fout logika, Rx Data FIFO besturing, statusbit van de pariteitsfout en $\overline{DCD}$ interrupt leeg gemaakt. Het schuifregister van de ontvanger wordt gevuld met

"enen". De Rx Rs-bit moet na verschijnen van een LAAG niveau op $\overline{RESET}$ worden gecleared om de ontvanger-sectie van de SSDA vrij te geven.

- Transmitter Reset (Tx Rs), C1 Bit 1
  De transmitter reset controlbit reset en spert het zend-gedeelte. Als Tx Rs geset is, wordt de besturingslogika van de zender, zend-schuifregister, Tx Data FIFO (die na een E-puls weer geladen kan worden), transmitter underflow statusbit en $\overline{CTS}$ interrupt leeg gemaakt en wordt de TDRA statusbit gesperd (in de 1- en 2-sync-karakter mode). De Tx Rs-bit moet na een LAAG niveau op $\overline{RESET}$ worden gecleared om het zendgedeelte van de SSDA weer vrij te geven. Als de Tx FIFO niet is voorgeladen, moet hij direkt na het vrijgeven van Tx Rs worden geladen om een transmitter underflow-conditie te vermijden.
- Strip Synchronisatie Karakters (Strip Sync), C1 Bit 2
  Als de strip sync-bit is geset, zal de SSDA automatisch alle ontvangen karakters die overeenkomen met de inhoud van het sync code register verwijderen (strippen). De karakters die voor synchronisatie worden gebruikt (een of twee sync karakters) worden altijd uit de ontvangen datastroom verwijderd.
- Clear Synchronisatie (Clear Sync), C1 Bit 3
  De clear sync controlbit maakt het mogelijk om van synchronisatie van de te ontvangen karakters af te zien en om her-synchronisatie te sperren. De clear sync-bit wordt geset om in alle modes synchronisatie van de ontvanger te clearen en te sperren; na resetten op "0" wordt opnieuw synchroniseren mogelijk.
- Transmitter Interrupt Enable (TIE), C1 Bit 4
  TIE geeft zowel de Interrupt Request uitgang ($\overline{IRQ}$) als de interrupt statusbit vrij om een transmitter service request te melden. Als TIE is geset en de TDRA statusbit HOOG is, zal de $\overline{IRQ}$-uitgang LAAG (de aktieve toestand) en de IRQ statusbit HOOG gaan.
- Receiver Interrupt Enable (RIE),C1 Bit 5
  RIE geeft zowel de Interrupt Request uitgang ($\overline{IRQ}$) als de interrupt statusbit vrij om een receiver service te signaleren. Als RIE geset en de RDA status HOOG is, zal de IRQ-uitgang LAAG (de aktieve toestand) en de $\overline{IRQ}$ statusbit HOOG gaan.
- Address Control 1 (AC1) en Address Control 2 (AC2), C1 Bits 6 en 7
  AC1 en AC2 selecteren een van de write-only registers: control 2, control 3, sync code of transmit data FIFO, wanneer RS = "1" en R/$\overline{W}$ = "0" (zie tabel 9/3.3-8).

Control Register 2 (C2)

Control register 2 is een 8-bit write-only register dat via de bus kan worden geprogrammeerd als de adres controlbits in control register 1 (AC1 en AC2) zijn gereset, RS = "1" en R/$\overline{W}$ = "0".

- Peripheral Control 1 (PC1) en Peripheral Control 2 (PC2), C2 Bits 0 en 1
  De werking van de Sync Match/$\overline{DTR}$ uitgang wordt door twee controlbits PC1 en PC2 bepaald. De Sync Match mode wordt geselecteerd als PC1 HOOG is. PC2 bestuurt dan de inhibit/enable control voor de SM/$\overline{DTR}$-uitgang. Als PC2 = "0" is en de binnenkomende data overeenkomt met de inhoud van het sync code register, wordt een 1-bit brede puls aan de uitgang opgewekt (ook als sync gesperd is: Clear Sync bit = "1"). De timing van de sync match puls vindt plaats ten opzichte van de negatieve flank van de Rx CLK-puls die de overeenkomst veroorzaakte (zie figuur 9/3.3-10).
  Als PC1 LAAG is, wordt de Data Terminal Ready ($\overline{DTR}$) mode gekozen. Is PC2 = "1", dan is de SM/$\overline{DTR}$-uitgang = "0" en omgekeerd. De werking van PC1 en PC2 is in tabel 9/3.3-8 samengevat.
- 1-Byte/2-Byte Transfer (1-Byte/2-Byte), C2 Bit 2
  Als 1-Byte/2-Byte is geset zullen de TDRA en RDA statusbits de beschikbaarheid

van hun respectievelijke data FIFO registers aangeven voor een enkele-byte data-overdracht. Is 1-Byte/2-Byte echter gereset dan signaleren de TDRA en RDA statusbits wanneer twee bytes data kunnen worden verplaatst zonder een tweede status read. Tussen de data-overdrachten moet een Enable puls worden gevoegd.

- Woord Lengte Selects (WS1, WS2, WS3), C2 Bits 3, 4, 5
  Met de woordlengte selectbits WS1, WS2 en WS3 kan een woordlengte van 7, 8 of 9 bits, inclusief pariteit worden geselecteerd.
- Transmit Sync Code on Underflow (Tx Sync), C2 Bit 6
  Wanneer Tx Sync geset is, zal de zender automatisch een sync karakter versturen als er geen data beschikbaar is voor verzending. Is Tx Sync gereset, dan verstuurt de zender bij underflow een mark karakter (ook op de plaats van de pariteitsbit). Wanneer de Tx Sync-bit geset is en een underflow wordt gedetecteerd zal op de underflow-uitgang een puls van ongeveer een Tx CLK HOOG-periode verschijnen. Behalve voor sync code opvulkarakters bij "8-bit plus pariteit" woordlengten wordt intern genereren van pariteit tijdens underflow gesperd.
- Error Interrupt Enable (EIE), C2 Bit 7
  Wanneer EIE is geset zal de IRQ statusbit HOOG gaan en de $\overline{IRQ}$-uitgang LAAG als:
  - Een ontvanger overrun optreedt. De interrupt wordt gecleared door uitlezen van het statusregister en de Rx Data FIFO.
  - De $\overline{DCD}$-ingang "1" is geworden. De interrupt wordt gecleared door uitlezen van het statusregister en de Rx Data FIFO.
  - Het karakter in de laatste lokatie (nummer 3) van de Rx Data FIFO een pariteitsfout heeft. De interrupt wordt gecleared door de Rx Data FIFO uit te lezen.
  - De $\overline{CTS}$-ingang "1" is geworden. De interrupt wordt gecleared door een "1" in de Clear $\overline{CTS}$-bit (C3 bit 2) te schrijven of door een Tx Reset.
  - Een zender underflow optreedt (in de Tx Sync on underflow mode). De interrupt wordt gecleared door een "1" in de Clear Underflow-bit (C3 bit 3) te schrijven of door een Tx Reset.

Als EIE een "0" is zijn de IRQ statusbit en de $\overline{IRQ}$-uitgang gesperd voor de bovengenoemde foutcondities. Door een LAAG niveau op de $\overline{RESET}$ ingang wordt EIE op "0" gereset.

Control Register 3 (C3)
Control Register 3 is een 4-bit write-only register dat via de bus kan worden geprogrammeerd als RS = "1" en R/$\overline{W}$ = "0", terwijl de adres controlbits AC1 = "1" en AC2 = "0".

- Externe/Interne Sync Mode Control (E/I Sync), C3 Bit 0
  Wanneer de E/I sync mode-bit HOOG is, staat de SSDA in de externe sync mode en is de synchronisatie-logika van de ontvanger uitgeschakeld. Synchronisatie kan dan worden verkregen met behulp van de $\overline{DCD}$-ingang of door de Rx CLK te starten op het midden van databit 0 van een karakter, waarbij $\overline{DCD}$ LAAG is. In de externe mode werkt zowel de zender- als de ontvangersectie als parallel-naar-serie omzetter. Als de clear sync-bit in control register 1 HOOG is, werkt hij als ontvanger sync inhibit om een bus-bestuurbare inhibit (sperren) te verkrijgen. Het sync code register kan in deze mode dienen als karakter opvulregister voor de zender en als match-register voor de ontvanger. De E/I sync mode-bit wordt gereset door een LAAG op de $\overline{RESET}$-ingang, waardoor de SSDA in de interne sync mode wordt gebracht.
- 1-Sync-Karakter/2-Sync-Karakter Mode Control (1-Sync/2-Sync), C3 Bit 1
  Wanneer de 1-Sync/2-Sync bit is geset synchroniseert de SSDA op een enkele overeenkomst (match) tussen de ontvangen data en de inhoud van het sync code

3.3 Type-beschrijving 68xx-familie

register. Is de 1-Sync/2-Sync bit gereset dan moeten twee achtereenvolgende sync karakters binnenkomen voordat de ontvanger synchroniseert. Als het tweede synchronisatie karakter niet wordt gedetecteerd, wordt bit-voor-bit verder gezocht vanaf de eerste bit van het tweede karakter. Zie de beschrijving van het sync code register voor meer details.

- Clear $\overline{CTS}$ Status (Clear $\overline{CTS}$), C3 Bit 2
  Wanneer een "1" in de $\overline{CTS}$-bit is geschreven, worden de opgeslagen status en interrupt gecleared. Daarna geeft de $\overline{CTS}$ statusbit de toestand van de $\overline{CTS}$-ingang weer. De Clear $\overline{CTS}$ controlbit heeft geen invloed op de $\overline{CTS}$-ingang en ook niet op het sperren van het zendgedeelte door het $\overline{CTS}$-signaal. De Clear $\overline{CTS}$ commandobit is "zelf-clearend" en het beschrijven met een "0" heeft geen zin.
- Clear Transmit Underflow Status (CTUF), C3 Bit 3
  Wanneer een "1" naar de CTUF statusbit wordt geschreven, wordt de CTUF-bit en de bijbehorende interrupt gereset. De CTUF commandobit is eveneens zelf-clearend, zodat het schrijven van een "0" in deze bit een niet-functionele handeling is.

Sync Code Register

Het sync code register is een 8-bit register waarin de programmeerbare synchronisatiecode kan worden opgeslagen die dient voor het synchroniseren van ontvangen datakarakters in de 1- of 2-sync-karakter mode. Het sync code register dient ook voor het weghalen van de sync-/opvulkarakters uit de ontvangen data (een programmeerbare optie) en voor het automatisch tussenvoegen van opvulkarakters in de uitgezonden datastroom.

Het sync code register wordt in de externe sync mode niet gebruikt voor ontvanger karakter-synchronisatie, maar verzorgt wel de opslag van vergelijkingskarakters bij het ontvangen en van opvulkarakters bij het zenden.

Het sync code register kan worden geladen als AC2 = "1", AC1 = "0", R/$\overline{W}$ = "0" en RS = "1".

De inhoud van het sync code register mag na detectie van een overeenkomst met de ontvangen data (de eerste gedetecteerde sync code) worden veranderd om te synchroniseren op een dubbel-woord patroon. Deze verandering van sync code moet gebeuren voordat het tweede karakter klaar is. De sync match (SM) uitgang kan worden gebruikt om het CPU-systeem te interrumperen om aan te geven dat de eerste acht bits overeenkwamen. De service routine zou dan de inhoud van het sync match register kunnen veranderen in de tweede helft van het patroon. Het is ook mogelijk de 1-sync-karakter mode te gebruiken voor sync codes van 16 bits of meer door software te gebruiken voor het checken van de tweede en volgende bytes na uitlezen van de FIFO.

De detectie van de sync code kan worden geprogrammeerd om aan de SM/$\overline{DTR}$-uitgang te verschijnen door in PC1 (C2 bit 0) een "1" te schrijven en een "0" in PC2 (C2 bit 1). De Sync Match-uitgang gaat dan gedurende de tijd van een bit HOOG, beginnende op het tijdstip van de overgang van sync code naar het volgende karakter (zie figuur 9/3.3-10).

Pariteit van het Sync Karakter

- Zender
  De zender genereert alleen in de 9-bit mode pariteit voor het sync karakter:
  - 9-bit (8-bit + pariteit)...8-bit sync kar. + pariteit.
  - 8-bit (7-bit + pariteit)...8-bit sync kar. (geen pariteit).
  - 7-bit (6-bit + pariteit)...8-bit sync kar. (geen pariteit).
- Ontvanger bij synchronisatie
  De ontvanger haalt automatisch de voor synchronisatie benodigde sync karakter(s) weg. Bij deze sync karakters wordt niet naar pariteit gekeken.
- Ontvanger na verkregen synchronisatie

Wanneer strip-sync bit wordt geselecteerd, worden de sync karakters (opvulkarakters) uit de datastroom verwijderd (gestript) en wordt in deze karakters geen pariteit gecheckt. Als de strip-sync bit niet geselecteerd is (LAAG), wordt verondersteld dat het sync karakter normale data is en wordt dit na checken van de pariteit in de FIFO geladen (zie tabel 9/3.3-9).

Strip Sync (C1 Bit 2)	WS0-WS2 (Data Format) (C2 Bit 3-5)	
1	X	No transfer of sync code. No parity check of sync code.
0	With Parity	*Transfer data and sync codes. Parity check.
0	Without Parity	*Transfer data and sync codes. No parity check.

*Subsequent to synchronization.

Tabel 9/3.3-9: Verband tussen strip sync en woordlengte.

In de volgende gevallen is het nodig aandacht te besteden aan het geselecteerde sync karakter:

- Data formaat is (6 + pariteit), (7 + pariteit).
- Strip sync is niet geselecteerd (LAAG).
- Na synchronisatie als de sync code als opvulkarakter wordt gebruikt.

De zender verstuurt het sync karakter zonder pariteit, maar de ontvanger checkt de pariteit als het normale data is. Daarom moet het sync karakter zodanig worden gekozen dat de voor de ontvanger geselecteerde pariteits-check in dit speciale geval kan worden uitgevoerd.

Receive Data First-In First-Out Register (Rx Data FIFO)

Het receive data FIFO register bestaat uit drie 8-bit registers die worden gebruikt voor buffer-opslag van ontvangen data. Elk 8-bit register heeft een interne statusbit die de vol- of leeg conditie bijhoudt. Data wordt altijd van een vol register naar een naast liggend leeg register overgebracht. De overdracht van register naar register geschiedt met behulp van E-pulsen. De RDA statusbit gaat HOOG als data beschikbaar is in de laatste lokatie van de Rx Data FIFO.

In een overrun conditie wordt het te veel zijnde karakter naar de gevulde eerste trap van het FIFO register overgebracht, waardoor het daar aanwezige karakter verloren gaat. Verdere overruns gaan door met het overschrijven van het eerste register van de FIFO. Deze vernietiging van data wordt aangegeven door middel van de overrun statusbit. De overrun-bit wordt geset zodra de overrun optreedt en blijft geset totdat het statusregister wordt uitgelezen, gevolgd door lezen van de Rx Data FIFO.

Ongebruikte bits in korte woordlengten (inclusief de pariteitsbit) verschijnen als "nullen" op de databus wanneer de Rx Data FIFO wordt uitgelezen.

Transmit Data First-In First-Out Register (Tx Data FIFO)

Het transmit data FIFO register bestaat uit drie 8-bit registers die worden gebruikt voor buffer-opslag van te verzenden data. Elk 8-bit register heeft een interne statusbit die de vol- of leeg conditie weergeeft. Data wordt altijd doorgegeven van een vol register naar een naburig leeg register. De overdracht wordt met E-pulsen geklokt.

De TDRA statusbit gaat HOOG zodra de Tx Data FIFO beschikbaar is voor het opnemen van data.

Ongebruikte databits in korte woordlengten worden behandeld als "don't cares". De pariteitsbit wordt niet overgebracht naar de databus aangezien de SSDA pariteit genereert bij het zenden.

Als een underflow optreedt, wordt dit ontbrekende karakter vervangen door de inhoud van het sync code register of door allemaal "enen" (mark). De underflow wordt opgeslagen in het statusregister totdat het gecleared

wordt en verschijnt aan de underflow-uitgang als een puls die ongeveer een Tx CLK HOOG-periode breed is.

Status Register
Het statusregister is een 8-bit read-only register dat de real-time status van de SSDA en het bijbehorende seriële datakanaal aangeeft. Uitlezen van het status-register is een niet-destructief proces. De methode om de statusbits te clearen hangt af van de functie die elk bit vertegenwoordigt en wordt voor elke bit in het register apart besproken.

- Receiver Data Available (RDA), S Bit 0
  De receiver data available statusbit geeft aan wanneer ontvangen data uit de Rx Data FIFO kan worden gelezen. De in het laatste register (nummer 3) van de FIFO aanwezige data laat RDA HOOG gaan in de 1-byte transfer mode. In de 2-byte transfer mode geeft de HOGE toestand van de RDA-bit aan dat de laatste twee registers (nummers 2 en 3) gevuld zijn. Het tweede karakter kan zonder een tweede status-lezen (om te bepalen dat het karakter beschikbaar is) worden uitgelezen. Tussen de uitlezingen van de Rx Data FIFO moet een E-puls komen om de FIFO te laten schuiven. Als het checken van fouten in de ontvangen data belangrijk is, moet status op een woord-voor-woord basis worden gelezen. De RDA statusbit wordt automatisch gereset wanneer geen data beschikbaar is.
- Transmitter Data Register Available (TDRA), S Bit 1
  De TDRA statusbit signaleert dat data in het TX Data FIFO register kan worden geladen. In de 1-byte transfer mode zal een HOOG niveau van de TDRA statusbit aangeven dat data in het eerste register (nummer 1) van de Tx Data FIFO kan worden geladen. In de 2-byte transfer mode moeten de eerste twee registers (nummers 1 en 2) leeg zijn om TDRA HOOG te laten gaan. De Tx Data FIFO kan met twee bytes worden geladen zonder tussenkomst van een status-lezen. Hierbij moet echter een E-puls tussen de beide laadhandelingen optreden. TDRA wordt gesperd door Tx Reset of $\overline{\text{RESET}}$. Als Tx Reset wordt geset, wordt de Tx Data FIFO leeggemaakt en dan vrijgegeven op de volgende E-clockpuls. De Tx Data FIFO kan daarna met maximaal drie karakters data worden geladen, ook als TDRA gesperd is. Hierdoor kan voorladen voor het vrijgeven van Tx Reset plaatsvinden. Een HOOG niveau op de $\overline{\text{CTS}}$-ingang spert de TDRA statusbit in elk van de sync modes (1- of 2-karakter). $\overline{\text{CTS}}$ heeft geen invloed op TDRA in de externe sync mode. Hierdoor kan de SSDA onder besturing van het $\overline{\text{CTS}}$-signaal werken, waarbij TDRA de status van de Tx Data FIFO aangeeft. In geen enkele bedrijfsmode cleart de $\overline{\text{CTS}}$-ingang de Tx Data FIFO.
- Data Carrier Detect ($\overline{\text{DCD}}$), S Bit 2
  Een positieve overgang op de $\overline{\text{DCD}}$-ingang wordt in de SSDA opgeslagen totdat deze wordt gecleared door zowel de status als de Rx Data FIFO uit te lezen. De opgeslagen $\overline{\text{DCD}}$-status wordt ook gecleared door een "1" in Rx Rs te schrijven. Als de $\overline{\text{DCD}}$ statusbit is geset, geeft deze aan dat de $\overline{\text{DCD}}$-ingang HOOG is gegaan.
- Clear-to-Send (CTS), S Bit 3
  Een positieve overgang op de $\overline{\text{CTS}}$-ingang wordt ook in de SSDA opgeslagen en pas gecleared door een "1" in de Clear $\overline{\text{CTS}}$ controlbit of de Tx Rs-bit te schrijven. Als de $\overline{\text{CTS}}$ statusbit is geset, signaleert deze dat de $\overline{\text{CTS}}$-ingang HOOG is gegaan. Het Clear $\overline{\text{CTS}}$ commando (een "1" in C3 bit 2) maakt dat bit 3 van opeenvolgende uitlezingen van de status de toestand van de $\overline{\text{CTS}}$-ingang weergeeft tot de volgende positieve overgang.
- Transmitter Underflow (TUF), S Bit 4
  Wanneer geen data beschikbaar is voor de zender, treedt een underflow op en wordt deze in het statusregister aangegeven (in de Tx Sync on underflow mode). De underflow statusbit wordt gecleared door een "1" in de clear underflow (CTUF)

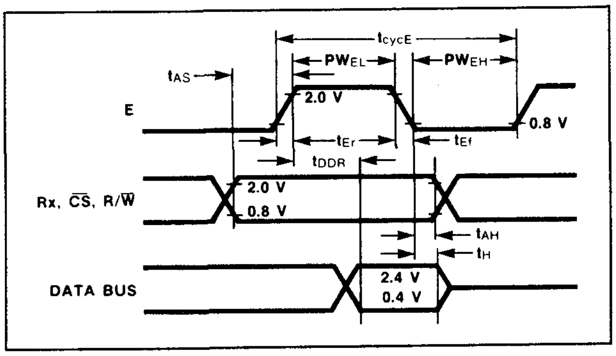
3.3 Type-beschrijving 68xx-familie

controlbit of de Tx Rs bit te schrijven. TUF geeft aan dat een sync karakter als volgend karakter verzonden zal worden. Een TUF verschijnt **alleen** aan de uitgang wanneer de inhoud van het sync code register zal worden verstuurd (transmit sync code on underflow = "1").

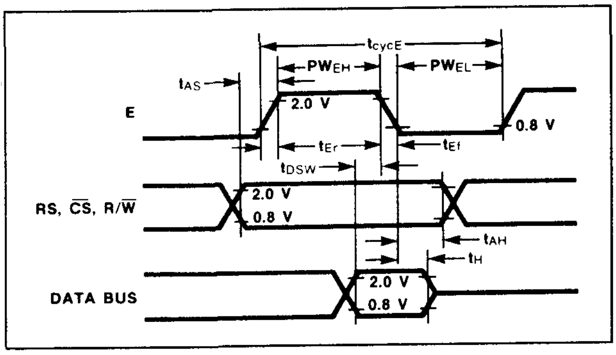
- Receiver Overrun (Rx Ovrn), S Bit 5
  Overrun geeft aan dat data werd ontvangen terwijl de Rx Data FIFO vol was, waardoor verlies van data ontstaat. De Rx Ovrn statusbit wordt geset als een overrun optreedt.
  De Rx Ovrn statusbit wordt door uitlezen van de status, gevolgd door uitlezen van de Rx Data FIFO, of door setten van de Rx Rs controlbit gecleared.
- Receiver Parity Error (PE), S Bit 6
  De pariteitsfout statusbit geeft aan dat de pariteit van het karakter in het laatste register van de Rx Data FIFO niet in overeenstemming is met de gekozen pariteit. De pariteitsfout wordt gecleared wanneer het karakter waarop hij betrekking heeft uit de Rx Data FIFO wordt uitgelezen of wanneer Rx Rs optreedt . De $\overline{DCD}$-ingang cleart de statusbits van de pariteitsfout of de Rx Data FIFO niet.
- Interrupt Request ($\overline{IRQ}$), S Bit 7
  De interrupt request statusbit geeft aan wanneer de $\overline{IRQ}$-uitgang in de aktieve toestand verkeert ($\overline{IRQ}$-uitgang = "0"). De $\overline{IRQ}$ statusbit is onderworpen aan dezelfde interrupt enables (RIE, TIE en EIE) als de $\overline{IRQ}$-uitgang. De $\overline{IRQ}$ statusbit vereenvoudigt status-informaties voor afvragende systemen door enkele-bit indicatie van service request te verstrekken.

Overige informatie

In de tabel 9/3.3-10 is een samenvatting van het gebruik van het Statusregister en de Control Registers 1, 2 en 3 te zien.
De overige elektrische en timing kenmerken van de 6852 (van Fairchild) zijn vermeld in de tabellen 9/3.3-11 tot en met 9/3.3-14 en de bijbehorende figuren 9/3.3-9 tot en met 9/3.3-16.



Figuur 9/3.3-15: Bus Read Timing karakteristieken (lezen van informatie uit de SSDA).



Figuur 9/3.3-16: Bus Write Timing karakteristieken (schrijven van informatie naar SSDA).

3.3 Type-beschrijving 68xx-familie

Status Register

IRQ	Bit 7	The IRQ flag is cleared when the source of the IRQ is cleared. The source is determined by the enables in the control registers: TIE, RIE, EIE	
	Bits 6-0	Indicate the SSDA status at a point in time, and can be *reset* as follows:	
	PE	Bit 6	Read Rx Data FIFO, or a "1" into Rx Rs (C1 bit 0).
	Rx Ovrn	Bit 5	Read status and then Rx Data FIFO, or a "1" into Rx Rs (C1 bit 0).
	TUF	Bit 4	A "1" into CTUF (C3 bit 3) or into Tx Rs (C1 bit 1
	$\overline{CTS}$	Bit 3	A "1" into $\overline{CTS}$ (C3 bit 2) or a "1" into Tx Rs (C1 bit 1).
	$\overline{DCD}$	Bit 2	Read status and then Rx Data FIFO or a "1" into Rx Rs (C1 bit 0).
	TDRA	Bit 1	Write into Tx Data FIFO.
	RDA	Bit 0	Read Rx Data FIFO.

Control Register 1

AC2, AC1	Bits 7, 6	Used to access other registers, as shown above.
RIE	Bit 5	When "1", enables interrupt on RDA (S bit 0).
TIE	Bit 4	When "1", enables interrupt on TDRA (S bit 1).
Clear Sync	Bit 3	When "1", clears receiver character synchronization
Strip Sync	Bit 2	When "1", strips all sync codes from the received data stream.
Tx Rs	Bit 1	When "1", resets and inhibits the transmitter section.
Rx Rs	Bit 0	When "1", resets and inhibits the receiver section.

Control Register 2

EIE	Bit 7	When "1", enables the PE, Rx Ovrn, TUF, $\overline{CTS}$, and $\overline{DCD}$ interrupt flags (S bits 6 through 2).
Tx Sync	Bit 6	When "1", allows sync code content to be transferred on underflow, and enables the TUF status bit and output When "0", an all-mark character is transmitted on underflow.
WS3, 2, 1	Bits 5-3	Word Length Select

Bit 5 WS3	Bit 4 WS2	Bit 3 WS1	Word Length
0	0	0	6 Bits + Even Parity
0	0	1	6 Bits + Odd Parity
0	1	0	7 Bits
0	1	1	8 Bits
1	0	0	7 Bits + Even Parity
1	0	1	7 Bits + Odd Parity
1	1	0	8 Bits + Even Parity
1	1	1	8 Bits + Odd Parity

1-Byte/2-Byte	Bit 2	When "1", enables the TDRA and RDA bits to indicate when a 1-byte transfer can occur; when "0", the TDRA and RDA bits indicate when a 2-byte transfe can occur.
PC2, PC1	Bits 1-0	SM/$\overline{DTR}$ Output Control

Bit 1 PC2	Bit 0 PC1	SM/$\overline{DTR}$ Output at Pin 5
0	0	1
0	1	Pulse ⎍ , 1-Bit Wide, on SM
1	0	0
1	1	SM Inhibited, 0

Control Register 3

CTUF	Bit 3	When "1", clears TUF (S bit 4) and IRQ, if enabled.
Clear $\overline{CTS}$	Bit 2	When "1", clears $\overline{CTS}$ (S bit 3) and IRQ, if enabled.
1-Sync/2-Sync	Bit 1	When "1", selects the one-sync-character mode; when "0", selects the two-sync-character mode.
E/I Sync	Bit 0	When "1", selects the external sync mode; when "0", selects the internal sync mode.

Tabel 9/3.3-10: Samenvatting van de bits in het Status register en de Control registers 1, 2 en 3.

3.3 Type-beschrijving 68xx-familie

Absolute Maximum Ratings	
Supply Voltage	-0.3 V, +7.0 V
Input Voltage	-0.3 V, +7.0 V
Operating Temperature Range	
F6852P, S, F68A52P, S, F68B52P, S	0°C, +70°C
F6852CP, CS, F68A52CP, CS	-40°C, +85°C
F6852DLQB	-55°C, +85°C
F6852DMQB	-55°C, +125°C
Storage Temperature Range	-55°C, +150°C
Thermal Resistance	
Plastic Package	120°C/W
Ceramic Package	60°C/W

Tabel 9/3.3-11: Maximaal toegelaten waarden.

DC Characteristics V_{CC} = 5.0 V ± 5%, V_{SS} = 0, T_A = 0 to 70°C unless otherwise noted

Symbol	Characteristic	Signal	Min	Typ	Max	Unit	Test Conditions
V_{IH}	Input HIGH Voltage		2.0			V	
V_{IL}	Input LOW Voltage				0.8	V	
I_{IN}	Input Leakage Current	Tx CLK, Rx CLK, Rx DATA, Enable, $\overline{RESET}$, RS, R/$\overline{W}$, $\overline{CS}$, $\overline{DCD}$, $\overline{CTS}$		1.0	2.5	μA	V_{IN} = 0 to 5.25 V
I_{TSI}	3-State (OFF State) Input Current	D_0-D_7		2.0	10	μA	V_{IN} = 0.4 to 2.4 V, V_{CC} = 5.25 V
V_{OH}	Output HIGH Voltage	D_0-D_7	2.4			V	I_{Load} = -205 μA, Enable Pulse Width <25 μs
		Tx DATA, $\overline{DTR}$, TUF	2.4				I_{Load} = -100 μA, Enable Pulse Width <25 μs
V_{OL}	Output LOW Voltage				0.4	V	I_{Load} = 1.6 mA, Enable Pulse Width <25 μs
I_{LOH}	Output Leakage Current (OFF State)	($\overline{IRQ}$)		1.0	10	μA	V_{OH} = 2.4 V
P_D	Power Dissipation			300	525	mW	
C_{IN}	Input Capacitance	D_0-D_7			12.5	pF	V_{IN} = 0, T_A = 25°C, f = 1.0 MHz
		All Other Inputs			7.5		
C_{OUT}	Output Capacitance	Tx DATA, SM/$\overline{DTR}$, $\overline{TUF}$			10	pF	V_{IN} = 0, T_A = 25°C, f = 1.0 MHz
		$\overline{IRQ}$			5.0		

Tabel 9/3.3-12: Gelijkspanningskenmerken van de 6852.

3.3 Type-beschrijving 68xx-familie

AC Characteristics V_{CC} = 5.0 V ± 5%, V_{SS} = 0, T_A = 0°C to +70°C unless otherwise noted.

Symbol	Characteristic	F6852		F68A52		F68B52		Unit
		Min	Max	Min	Max	Min	Max	
PW_{CL}	Minimum Clock Pulse Width, LOW	700		400		280		ns
PW_{CH}	Minimum Clock Pulse Width, HIGH	700		400		280		ns
f_C	Clock Frequency		600		1000		1500	kHz
t_{RDSU}	Receive Data Set-up Time	350		200		160		ns
t_{RDH}	Receive Data Hold Time	350		200		160		ns
t_{SM}	Sync Match Delay Time		1.0		0.666		0.500	µs
t_{TDD}	Clock-to-Data Delay for Transmitter		1.0		0.666		0.500	µs
t_{TUF}	Transmitter Underflow		1.0		0.666		0.500	µs
t_{DTR}	$\overline{DTR}$ Delay Time		1.0		0.666		0.500	µs
t_{IR}	Interrupt Request Release Time		1.2		0.800		0.600	µs
t_{Res}	$\overline{RESET}$ Minimum Pulse Width	1.0		0.666		0.500		µs
t_{CTS}	$\overline{CTS}$ Set-up Time	200		150		120		ns
t_{DCD}	$\overline{DCD}$ Set-up Time	500		350		250		ns
t_r, t_f	Input Rise and Fall Times (except Enable)		1.0*		1.0*		1.0*	µs

Tabel 9/3.3-13: Timing van de interface-signalen.

3.3 Type-beschrijving 68xx-familie

Read

Symbol	Characteristic	F6852		F68A52		F68B52		Unit
		Min	Max	Min	Max	Min	Max	
t_{cycE}	Enable Cycle Time	1.0		0.666		0.5		μs
PW_{EH}	Enable Pulse Width, HIGH	0.45	25	0.28	25	0.22	25	μs
PW_{EL}	Enable Pulse Width, LOW	0.43		0.28		0.21		μs
t_{AS}	Set-up Time, Address and R/$\overline{W}$ valid to Enable positive transition	160		140		70		ns
t_{DDR}	Data Delay Time		320		220		180	ns
t_H	Data Hold Time	10		10		10		ns
t_{AH}	Address Hold Time	10		10		10		ns
t_{Er}, t_{Ef}	Rise and Fall Time for Enable input		25		25		25	ns

Write

Symbol	Characteristic	F6852 Min	F6852 Max	F68A52 Min	F68A52 Max	F68B52 Min	F68B52 Max	Unit
t_{cycE}	Enable Cycle Time	1.0		0.666		0.5		μs
PW_{EH}	Enable Pulse Width, HIGH	0.45	25	0.28	25	0.22	25	μs
PW_{EL}	Enable Pulse Width, LOW	0.43		0.28		0.21		μs
t_{AS}	Set-up Time, Address and R/$\overline{W}$ valid to Enable positive transition	160		140		70		ns
t_{DSW}	Data Set-up Time	195		80		60		ns
t_H	Data Hold Time	10		10		10		ns
t_{AH}	Address Hold Time	10		10		10		ns
t_{Er}, t_{Ef}	Rise and Fall Time for Enable input		25		25		25	ns

Tabel 9/3.3-14: Timing bij lezen en schrijven.

9/3.4

Type-beschrijving 82xx-familie

8251A
Programmeerbare Communicatie Interface - PCI

De 8251A is een verbeterde uitvoering van de industrie standaard 8251 Universele Synchrone/Asynchrone Receiver/ Transmitter (USART).

De schakeling is bedoeld voor datacommunicaties met microprocessoren zoals de 8085, 8088, 8086 en Z80.

De 8251A wordt gebruikt als een periferieschakeling en kan via de processor worden geprogrammeerd voor alle mogelijke seriële data-transmissie technieken (inclusief IBM "bi-sync"). De USART neemt data-karakters in parallel formaat over van de CPU en zendt ze als een continue seriële datastroom uit. Tegelijkertijd kunnen seriële datastromen worden ontvangen, die worden omgezet in parallelle karakters voor de CPU.

De USART signaleert aan de CPU wanneer een volgend karakter voor verzending kan worden geaccepteerd of wanneer een voor de CPU bestemd karakter is ontvangen. De CPU kan op elk moment de complete bedrijfstoestand (status) inclusief data-formaat fouten en besturingsfouten, zoals SYNDET en TxEMPTY van de USART uitlezen.

Kenmerken van de 8251A

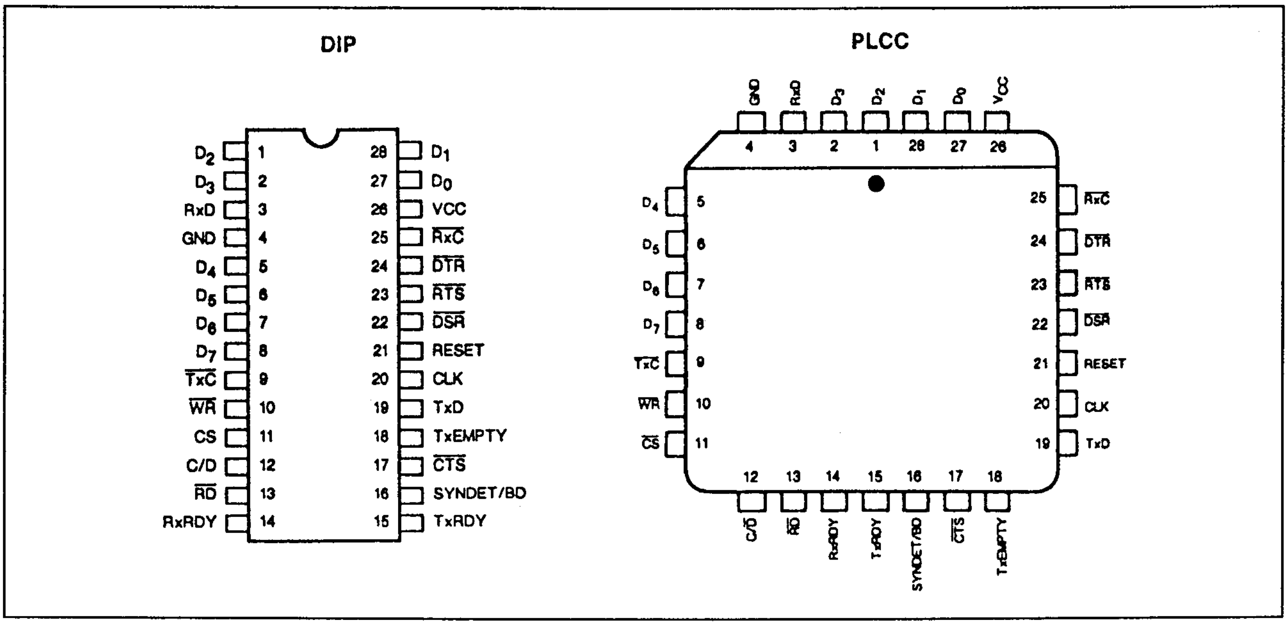
- synchrone en asynchrone werking
  synchroon:
  - vijf 8-bit karakters
  - interne of externe karakter-synchronisatie
  - automatisch invoegen van synchronisatie
  - enkele of dubbele synchronisatiekarakters

  asynchroon:
  - vijf 8-bit karakters
  - clock rate 1, 16 of 64-maal de baudrate
  - generatie van break-karakter
  - 1, 1 1/2 of 2 stopbits
  - detectie van valse-startbit
  - automatische break-detectie en afhandeling
- synchrone baud rate: DC tot 64 kBaud
- asynchrone baud rate: DC tot 19,2 kBaud
- full-duplex, dubbel gebufferde zender en ontvanger
- fout-detectie: pariteit, overrun en framing
- compatibel met 8085, 8086, Z80 en andere microprocessoren
- enkele +5 V +/-10 % voeding
- alle in- en uitgangen TTL-compatibel
- NMOS-technologie (ook verkrijgbaar in CMOS)
- behuizing: 28-pens plastic of keramische DIL of 28-pens PLCC (plastic leaded chip carrier, zie figuur 9/3.4-1)
- fabrikanten onder andere:
  AMD: Am 8251, Am 8251A
  Intel: D 8251A
  Mitsubishi: M5L 8251 AP
  NEC: µPD 8251A/AF
  Siemens: SAB 82C51A (CMOS)
  Toshiba: TMP 8251A

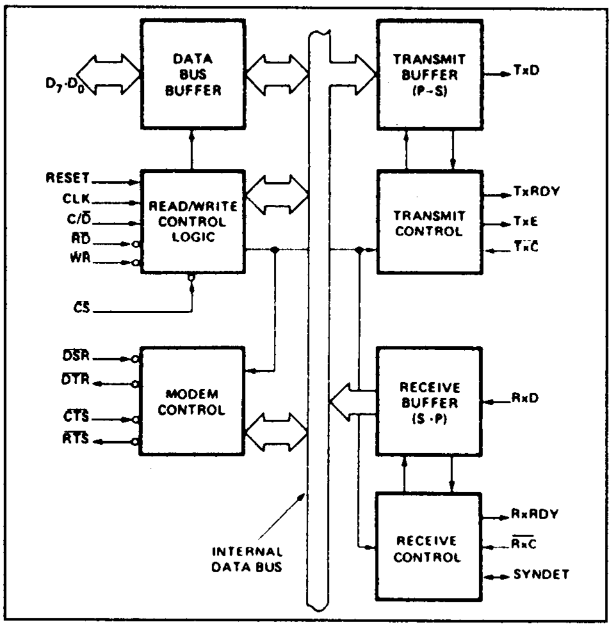
Pen-functies en aanverwante informatie

Zie hiervoor het functionele blokschema van figuur 9/3.4-2 en de waarheidstabel van tabel 9/3.4-1.

3.4 Type-beschrijving 82xx-familie



Figuur 9/3.4-1: Aansluitgegevens van de DIL- en LCC-versie van de 8251A.



Figuur 9/3.4-2: Functioneel blokschema.

$C/\overline{D}$	$\overline{RD}$	$\overline{W}$	$\overline{CS}$	
0	0	1	0	8251A DATA → DATA BUS
0	1	0	0	DATA BUS → 8251A DATA
1	0	1	0	STATUS → DATA BUS
1	1	0	0	DATA BUS → CONTROL
X	1	1	0	DATA BUS → 3 STATE
X	X	X	1	DATA BUS → 3 STATE

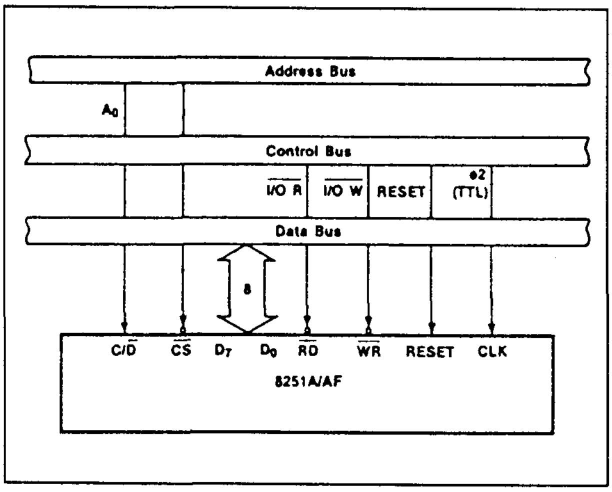
Tabel 9/3.4-1: De waarheidstabel van de 8251A.

Interface-signalen voor de microprocessor

In figuur 9/3.4-3 is te zien hoe een 8251A op een 8080/85 standaard systeembus kan worden aangesloten.

– Data Bus Buffer (D7 tot en met D0)
Deze 8-bit 3-state bidirectionele buffer wordt gebruikt om de 8251A aan te sluiten op de databus van het systeem. Met het uitvoeren van INput of OUTput instructies van de processor wordt data wordt verzonden of ontvangen. Ook Control-woorden, Command-woorden en Status informatie wordt via de databus doorgegeven.
De Command Status, Data-in en Data-out registers zijn aparte 8-bit registers die via de databus buffer met de systeembus communiceren.

3.4 Type-beschrijving 82xx-familie



Figuur 9/3.4-3: Interface-signalen tussen de 8251A en de standaard 8080A systeembus.

- Read/Write Control Logic
  Dit functionele blok accepteert signalen van de systeem controlbus en genereert besturingssignalen voor de algehele werking van de USART. Het Control Word Register (Mode Instruction Register) en het Command Word Register die de verschillende control-formaten voor de werking van de USART bevatten zijn hierin opgenomen.
- Reset
  Een HOOG op deze ingang brengt de 8251A geforceerd in een "leegloop mode" (idle), waarin hij blijft staan totdat de 8251A door middel van een nieuwe set control-woorden opnieuw wordt geinitialiseerd. De RESET-puls moet minimaal 6 t_{cy} bedragen (de clock moet lopen).
- CLK (Clock)
  De CLK-ingang wordt gebruikt om de interne timing te genereren en wordt meestal verbonden met de fase-2 (TTL) uitgang van de 8224 clock-generator. Er worden geen externe ingangen of uitgangen aan CLK gerefereerd, maar de frequentie van het CLK-signaal moet in de synchrone mode minstens 30 maal hoger zijn dan de bit-rates van de zender en de ontvanger en in de asynchrone mode 4,5 maal hoger.
- $\overline{\text{WR}}$ (Write)
  Een LAAG op deze "schrijf data"-ingang beveelt de 8251A het data- of controlwoord te accepteren dat de processor op de databus plaatst.
- $\overline{\text{RD}}$ (Read)
  Een LAAG op deze "lees data"-ingang informeert de 8251 data of statusinformatie op de databus te zetten die dan door de CPU wordt uitgelezen.
- C/$\overline{\text{D}}$ (Control/Data)
  Samen met de $\overline{\text{WR}}$- en $\overline{\text{RD}}$-ingangen informeert deze ingang de 8251A of het op de databus aanwezige woord een controlwoord, een data-karakter of statusinformatie voorstelt: 0 = Data; 1 = Control.
- $\overline{\text{CS}}$ (Chip Select)
  De 8251A wordt geselecteerd door een LAAG op deze ingang. Alleen als de USART is geselecteerd kan lezen of schrijven plaatsvinden. Als $\overline{\text{CS}}$ HOOG is, bevindt de databus zich in de zwevende toestand en hebben $\overline{\text{RD}}$ en $\overline{\text{WR}}$ geen effect op de chip.

Overige interface-signalen

- Modem Control
  De 8251A heeft een set in- en uitgangen, waarmee bijna elke modem gemakkelijk kan worden aangestuurd. Door de algemene aard van deze control-signalen kunnen zij ook voor andere dan modemfuncties worden gebruikt.
- $\overline{\text{DSR}}$ (Data Set Ready)
  De $\overline{\text{DSR}}$-ingang is een 1-bit inverterende ingangspoort waarvan de werking door de CPU getest kan worden door een Status Lees operatie. De $\overline{\text{DSR}}$-ingang wordt meestal gebruikt om de Data Set Ready conditie van de modem te testen.
- $\overline{\text{DTR}}$ (Data Terminal Ready)
  De $\overline{\text{DTR}}$-uitgang is een 1-bit inverterende uitgangspoort die LAAG kan worden gezet door het overeenkomstige bit in het Command Instruction Word te programmeren. Het $\overline{\text{DTR}}$ uitgangssignaal wordt meestal op de data terminal ready of rate select lijnen van de modem gezet.

3.4 Type-beschrijving 82xx-familie

- $\overline{RTS}$ (Request to Send)
  De $\overline{RTS}$-uitgang is een 1-bit inverterende uitgangspoort die LAAG kan worden gezet door programmering van het juiste bit in het Command Instruction Word. Het $\overline{RTS}$ uitgangssignaal wordt meestal gebruikt voor modem-besturingen, zoals het verzoek om te zenden (Request to Send).
- $\overline{CTS}$ (Clear to Send)
  Een LAAG op deze ingang stelt de 8251A in staat seriële data te verzenden als het TxEn(able) bit in het Command Instruction Register HOOG is gemaakt. Als zich de situatie voordoet dat TxEN of $\overline{CTS}$ wordt afgeschakeld terwijl de zender (Tx) in werking is, zal Tx alle data die in de USART aanwezig was nog uitzenden.
- Transmitter Buffer
  Door de Transmitter Buffer wordt parallelle data van de Data Bus Buffer overgenomen en in een seriële bit-stroom omgezet, waarbij de juiste karakters of bits worden toegevoegd (afhankelijk van de communicatietechniek), waarna op de dalende flank van $\overline{TxC}$ een samengestelde seriële datastroom op de uitgangspen TxD verschijnt. De zender begint met uitzenden zodra hij wordt vrijgegeven als $\overline{CTS}$ = 0. De TxD-lijn wordt in de markerende toestand gehouden, direct na een master reset, als TxEN of $\overline{CTS}$ uit staan of als de zender leeg is.
- Transmitter Control
  Door de besturingslogica van de zender worden alle aktiviteiten met betrekking tot het verzenden van seriële data gecontroleerd. Hiertoe worden zowel in- als externe signalen geaccepteerd en gegenereerd.
- TxRDY (Transmitter Ready)
  Dit signaal laat aan de CPU weten dat de zender klaar staat om een data-karakter te accepteren. De TxRDY-pen kan worden gebruikt om het systeem te interrumperen aangezien hij door TxENable wordt gemaskeerd. Bij afvragende werking (polling) kan TxRDY door de CPU worden getest door een Status Read operatie. TxRDY wordt bij het laden van een karakter uit de CPU op de voorflank van $\overline{WR}$ automatisch gereset.
  Let op dat bij het afvragen de status van TxRDY niet door TxEN wordt gemaskeerd, maar dat alleen de leeg/vol (Empty/Full) status van het Tx Data Input Register wordt aangegeven.
- TxE (Transmitter Empty)
  Wanneer de 8251A geen karakters bevat die moeten worden uitgezonden, gaat de TxE-uitgang HOOG. Als de zender is vrijgegeven (enabled) zal TxE weer LAAG gaan, zodra een karakter uit de CPU wordt ontvangen.
  In de half-duplex mode kan TxE worden gebruikt om het einde van een uitzending aan te geven, zodat de CPU kan worden gevraagd "de lijn om te keren".
  In de synchrone mode geeft een HOOG op deze uitgang aan dat automatisch een of meer SYNC karakters als "fillers" zullen worden verstuurd, aangezien er geen karakter op tijd werd geladen. TxE gaat niet LAAG als de SYNC karakters worden verstuurd.
- $\overline{TxC}$ (Transmitter Clock)
  De Transmitter Clock regelt de snelheid waarmee het seriële karakter verzonden gaat worden.
  In de synchrone zendmode is de baud rate (1x) gelijk aan de $\overline{TxC}$-frequentie.
  In de asynchrone zendmode is de baud rate een fractie van de $\overline{TxC}$-frequentie. Door een deel van de mode-instructie wordt deze factor geselecteerd: hij kan 1, 1/16 of 1/64 van $\overline{TxC}$ zijn.
  Als de baud rate bijvoorbeeld 110 bps (bits per seconde) is, is $\overline{TxC}$ 110 Hz in de 1x mode, 1,72 kHz in de 16x mode of 7,04 kHz in de 64x mode.
  Let op dat zowel in de synchrone- als in de asynchrone mode de seriële data op de dalende flank van $\overline{TxC}$ wordt uitgeschoven.
- Receiver Buffer
  De ontvanger neemt seriële data op en zet die om in parallelle informatie, waarbij bits

of karakters worden gecheckt die uniek zijn voor de communicatietechniek en zend een "geassembleerd" karakter naar de processor. De seriële data komt binnen op de RxD-pen en wordt ingeklokt op de stijgende flank van $\overline{\text{RxC}}$.

- Receiver Control

  Dit functionele blok verricht alle handelingen die betrekking hebben op het ontvangen. Door het initialisatiecircuit van RxD wordt voorkomen dat de 8251A een niet gebruikte ingangslijn met een aktief lage datalijn in de "break"-conditie verwart. Voordat na een master reset wordt begonnen met het ontvangen van seriële karakters op de RxD-lijn moet eerst een geldige "1" worden gedetecteerd. Als deze is vastgesteld wordt het zoeken naar een geldig LAAG (start bit) vrijgegeven. Dit alles wordt alleen gedaan in de asynchrone mode, eenmaal na elke master reset.

  Met de schakeling voor het detecteren van valse start-bits wordt voorkomen dat door een storing op een verkeerd moment wordt gestart. Van het startbit wordt eerst de dalende flank gedetecteerd, waarna strobing optreedt op het nominale centrum van deze puls (RxD = LAAG).

  Door een pariteitsfout wordt het desbetreffende statusbit PE geset.

  Het statusbit voor framing-fouten FE wordt geset als het stopbit aan het einde van de data-byte ontbreekt (asynchrone mode).

- RxRDY (Receiver Ready)

  Deze uitgang geeft aan dat in de ontvanger-buffer een "geassembleerd" karakter klaar staat om naar de CPU te gaan. RxRDY kan met de interrupt-structuur van de CPU worden verbonden of, bij afvragende werking (polling), kan de CPU de toestand van RxRDY met een Status Read operatie worden gecheckt.

  Wanneer RxEN(able) af staat, wordt RxRDY in de reset conditie gehouden. Om in de asynchrone mode RxRDY te zetten, moet de ontvanger een startbit detecteren, waarna een compleet karakter geassembleerd en overgebracht moet worden naar het Data Output Register.

  In de synchrone mode moet, om RxRDY te zetten, de ontvanger worden vrijgegeven en een karakter moet na assemblering naar het data-uitgangsregister worden overgebracht.

  Wanneer een ontvangen karakter niet op tijd uit het Rx data-uitgangsregister kan worden gelezen (voordat het volgende karakter wordt geassembleerd) wordt een overrun conditie-fout OE geset. Hierbij wordt het voorgaande karakter overschreven, waardoor het verloren gaat. Ook wanneer tijdens het uitlezen van Rx-data door de CPU een interne overdracht plaatsvindt wordt het OE-bit geset en gaat het oude karakter verloren.

- $\overline{\text{RxC}}$ (Receiver Clock)

  De Receiver Clock bepaalt de snelheid waarmee het seriële karakter wordt ontvangen.

  In de synchrone mode is de baud rate (1x) gelijk aan de frequentie van $\overline{\text{RxC}}$.

  In de asynchrone mode is de baud rate een fractie van de eigenlijke $\overline{\text{RxC}}$-frequentie. Met een gedeelte van de mode-instructie wordt deze factor geselecteerd: 1, 1/16 of 1/64 van $\overline{\text{RxC}}$.

  Als de baud rate bijvoorbeeld 300 bps (bits/s) is, is $\overline{\text{RxC}}$ 300 Hz in de 1x mode, 4800 Hz in de 16x mode, of 19,2 kHz in de 64x mode.

  Data wordt op de stijgende flanken van $\overline{\text{RxC}}$ in de 8251A opgenomen.

  In de meeste communicatiesystemen zal de 8251A zowel de ontvangst als de verzending over dezelfde verbinding verzorgen. Hierdoor zullen de baud rates voor zenden en ontvangen gelijk zijn, zodat voor $\overline{\text{TxC}}$ en $\overline{\text{RxC}}$ dezelfde frequentiebron kan worden gebruikt.

- SYNDET/BRKDET (Sync Detect/Break Detect)

  Deze pen wordt in de synchrone mode gebruikt voor SYNDET en kan door programmering in het Control Word zowel ingang als uitgang zijn. Wanneer de SYN-

DET-pen als uitgang wordt gebruikt (in de interne sync-mode) zal deze HOOG worden als de 8251A een SYNC-karakter in de Receive mode heeft gelokaliseerd. Als de USART wordt geprogrammeerd voor het gebruik van dubbele sync-karakters (bisync), gaat SYNDET midden in het laatste bit van het tweede synchronisatiekarakter HOOG. SYNDET wordt na uitlezen van de status of na een reset automatisch LAAG gereset.
Wanneer de pen (in de externe SYNC detect mode) als ingang wordt gebruikt start de 8251A na een positief gaand signaal met het assembleren van datakarakters op de opgaande flank van de eerstvolgende $\overline{RxC}$. Zodra de synchronisatie tot stand is gekomen mag het HOGE signaal worden verwijderd.
Wanneer externe SYNC-detectie is geprogrammeerd, wordt interne SYNC-detectie gesperd.

- Break (alleen asynchrone mode)
  Deze uitgang gaat altijd HOOG wanneer de ontvanger na twee achtereenvolgende stopbit-handelingen LAAG blijft (inclusief de startbits, databits en pariteitsbits).
  Break detect kan ook als statusbit worden uitgelezen. Hij wordt alleen gereset na een master chip reset of als Rx data in een HOOG toestand terugkomt.

Gedetailleerde beschrijving
In de onderstaande paragrafen wordt een gedetailleerde beschrijving gegeven van de werking van deze schakeling.

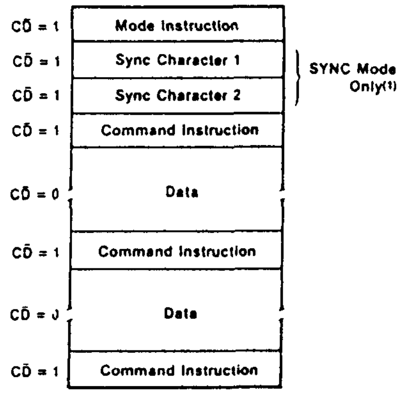
Algemeen
De complete functionele definitie van de 8251A wordt door middel van de systeemsoftware geprogrammeerd.
De 8251A wordt geïnitialiseerd (in de juiste begintoestand voor het gewenste communicatieformaat gebracht) door een stel control-woorden die de CPU moet uitzenden. Deze control-woorden zullen de baud rate facor (1x, 16x, 64x), karakterlengte (5 tot 8), aantal stopbits (1, 1 1/2, 2), synchrone of asynchrone werking, even of oneven pariteit, enzovoorts bepalen.
Na ontvangst van deze control-woorden is de 8251A klaar voor communicatie. De TxRDY-uitgang wordt HOOG om aan de CPU te laten weten dat de USART klaar staat om een data-karakter uit de CPU te ontvangen.
Wanneer de CPU een karakter in de 8251A schrijft, wordt TxRDY automatisch gereset. Tegelijkertijd kan de 8251A seriële data van een modem of een I/O-apparaat ontvangen. Na ontvangst van een compleet karakter wordt de RxRDY-uitgang HOOG gemaakt om dit aan de CPU te signaleren. Wanneer de CPU een lees-handeling uitvoert wordt RxRDY automatisch gereset.
De 8251A kan pas met zenden beginnen als het TxEN (Transmitter enable) bit in de command instructie is geset en een CTS (clear to send) signaal werd ontvangen. De TxD-uitgang wordt na reset in de markerende toestand gehouden.

Programmeren
Zoals gezegd moet de CPU een stel control-woorden naar de 8251A sturen voordat met zenden of ontvangen kan worden begonnen. Deze control-woorden bepalen de functie van de USART en moeten onmiddellijk na een reset (intern of extern) en in de juiste volgorde komen (figuur 9/3.4-4).

De control-woorden kunnen in twee formaten worden onderverdeeld:
- Mode instructie
- Command instructie

Alle control-woorden die na de mode instructie in de 8251A worden geschreven, zullen de command instructie laden.
Command instructies kunnen op elk tijdstip in het datablok van de werkende 8251A worden geschreven. Om terug te keren naar het mode instructieformaat kan het master-resetbit in het command instructiewoord worden geset. Command instructies moeten na de mode instructies of Sync karakters komen.

3.4 Type-beschrijving 82xx-familie



Figuur 9/3.4-4: Veel gebruikt datablok (in de asynchrone mode kunnen de sync-karakters vervallen, in de 1-karakter sync-mode vervalt een sync-karakter).

- Mode instructie
  Deze instructie, die onmiddellijk na een reset moet komen, bepaalt de algemene operationele kenmerken van de 8251A. Nadat de mode instructie is ingeschreven kunnen SYNC karakters of command instructies in de 8251A worden geschreven.
- Command instructie
  Deze instructie bepaalt een woord dat wordt gebruikt om de eigenlijke werking van de 8251A in te stellen.

Definitie van de Mode instructie
De 8251A kan zowel voor synchrone als voor asynchrone data-communicatie worden gebruikt. Om te begrijpen hoe de mode instructie de functionele werking van de 8251A bepaalt, kan de USART het best worden beschouwd als twee aparte schakelingen: een asynchrone en een synchrone in dezelfde behuizing. De definitie van het formaat kan alleen na een master chip reset worden veranderd. Ter illustratie zullen beide formaten apart worden behandeld.

LET OP: Wanneer een pariteit is ingesteld, wordt deze bij de geprogrammeerde woordlengte niet als een van de databits beschouwd. Het pariteitsbit dat op de Rx datalijn wordt ontvangen kan niet op de databus worden uitgelezen. In het geval dat een geprogrammeerde karakterlengte minder dan 8 bits is, zal de informatie zich in de laagste databus-bits bevinden; niet-gebruikte bits zijn "don't care" bij schrijven naar de 8251A en "nullen" wanneer de 8251A wordt uitgelezen.

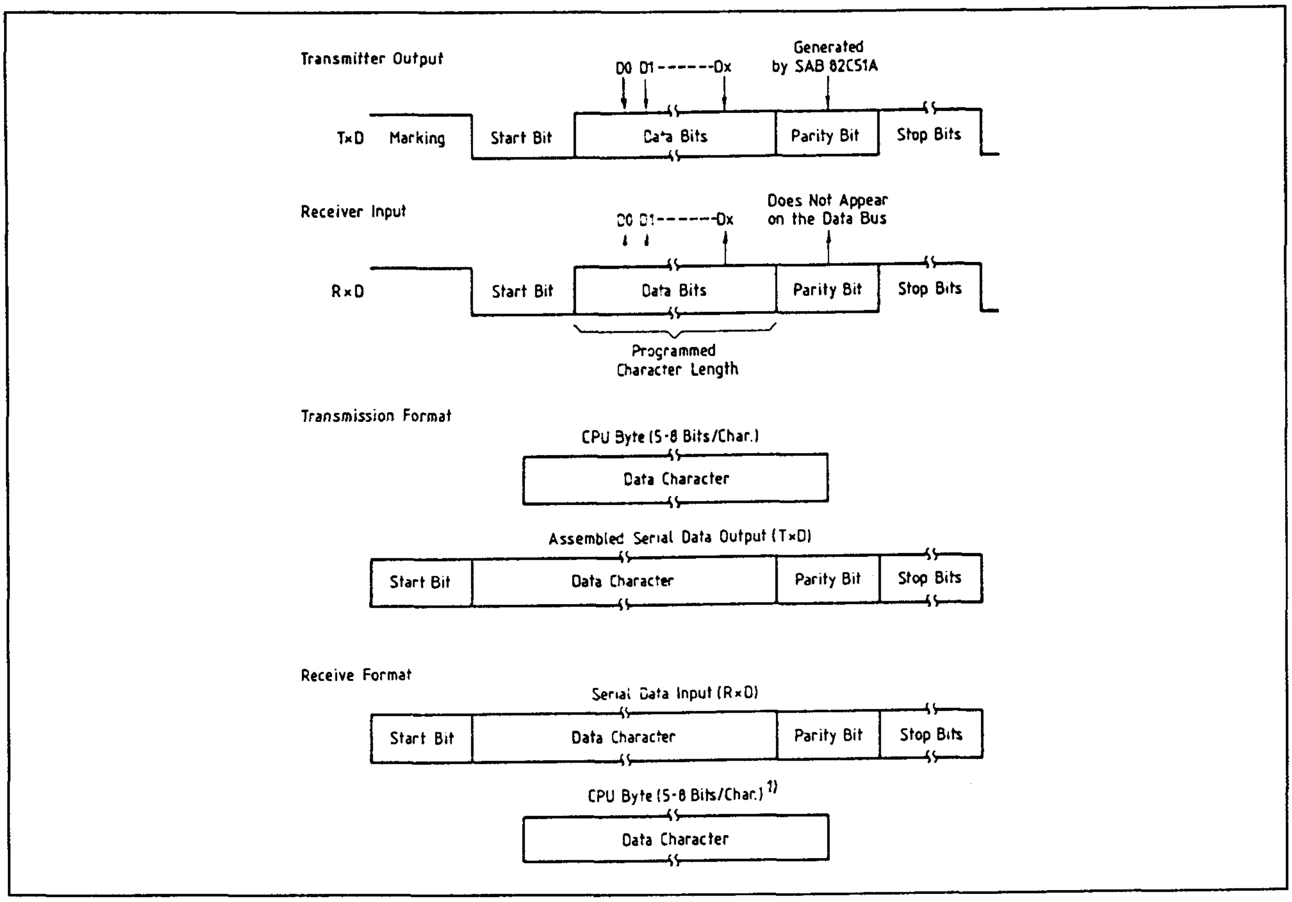
Asynchrone mode (zenden)
Telkens wanneer een data-karakter door de CPU wordt verzonden, voegt de 8251A automatisch een startbit (LAAG niveau) voor de data (het minst belangrijke bit wordt het eerst verzonden) en het geprogrammeerde aantal stopbits na het karakter. Tevens wordt, overeenkomstig de mode instructie, een even of oneven pariteitsbit voor de stopbit(s) geplaatst. Het karakter wordt vervolgens als een seriële datastroom via de TxD-uitgang verzonden (zie figuur 9/3.4-5).

De seriële data wordt op de dalende flank van $\overline{TxC}$ met een snelheid van 1, 1/16 of 1/64 maal $\overline{TxC}$ (bepaald met de mode instructie, figuur 9/3.4-6) naar buiten geschoven. BREAK karakters kunnen op commando te allen tijde naar de TxD worden verstuurd.

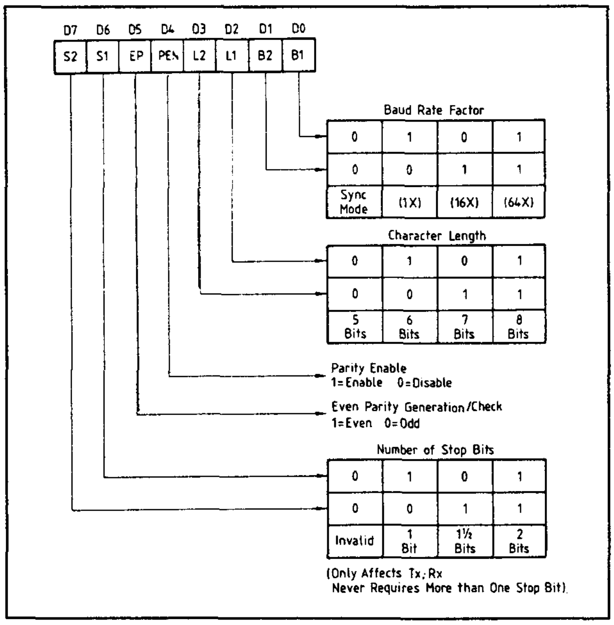
Wanneer geen karakters in de 8251A zijn geladen blijft de TxD-uitgang HOOG ("marking") tenzij een BREAK (voortdurend LAAG) werd geprogrammeerd.

Asynchrone mode (ontvangen)
De RxD-lijn is normaal HOOG. Door een dalende flank op deze ingang wordt het begin van een startbit getriggerd. De geldigheid van dit startbit wordt gecheckt door het op zijn nominale middelpunt opnieuw te stroben (alleen in de 16x of 64x mode). Als dan weer een LAAG wordt gedecteerd betreft het een geldig startbit en zal de bit-teller gaan tellen. De bit-teller lokaliseert zodoende de plaats van de databits, het (eventuele) pariteitsbit en de stopbits.

3.4 Type-beschrijving 82xx-familie



Figuur 9/3.4-5: Data-formaat (asynchrone mode).

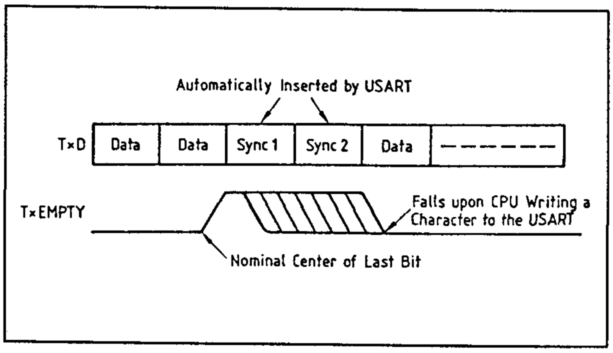


Figuur 9/3.4-6: Mode instructie formeet (asynchrone mode).

Wanneer een pariteitsfout optreedt, wordt het PE-bit (parity error flag) in het statusregister geset. De data- en pariteitsbits worden op de opgaande flank van $\overline{RxC}$ bemonsterd. Wordt een LAAG niveau gedetecteerd als het stopbit dan wordt het FE-bit (framing error flag) in het statuswoord geset. Het stopbit geeft het einde van een karakter aan. Merk op dat de ontvanger slechts één stopbit nodig heeft, onafhankelijk van het aantal geprogrammeerde stopbits. Het karakter wordt vervolgens in het parallel I/O buffer van de 8251A geladen, waarbij de RxRDY-pen HOOG wordt om aan de CPU te signaleren dat een karakter klaar staat om te worden opgehaald. Wanneer een voorgaand karakter nog niet door de CPU uit de I/O buffer werd opgehaald, wordt het door het nieuwe vervangen, waarbij het OE-bit (overrun error flag) in het statuswoord wordt geset. Het

voorgaande karakter is dus verloren. Alle error flags kunnen door een Error Reset instructie worden gereset. De werking van de USART wordt door optreden van deze fouten niet beïnvloed.

Synchrone mode (zenden)
De TxD-uitgang is voortdurend HOOG totdat de CPU zijn eerste karakter (gewoonlijk een SYNC karakter) naar de 8251A verstuurt. Wanneer de $\overline{CTS}$-lijn LAAG gaat wordt het eerste karakter in serie verzonden. Alle karakters worden op de dalende flank van $\overline{TxC}$ (met dezelfde snelheid als $\overline{TxC}$) naar buiten geschoven.
Als het zenden eenmaal gestart is, moet de datastroom op de TxD-uitgang blijven doorgaan met de $\overline{TxC}$-snelheid. Levert de CPU geen data-karakter voordat de Transmitter Buffers van de 8351A leegraken, dan worden automatisch SYNC karakters (of karakter als de "enkele SYNC karakter mode" werd gekozen) in de TxD datastroom tussengevoegd. In dat geval gaat de TxEMPTY-pen HOOG om aan te geven dat de 8251A leeg is en er SYNC karakters worden verzonden. Zoals in figuur 9/3.4-7 te zien is gaat TxEMPTY niet LAAG tijdens het naar buiten schuiven van de SYNC karakters. De TxEMPTY-pen wordt intern gereset als een data-karakter in de USART wordt geschreven.

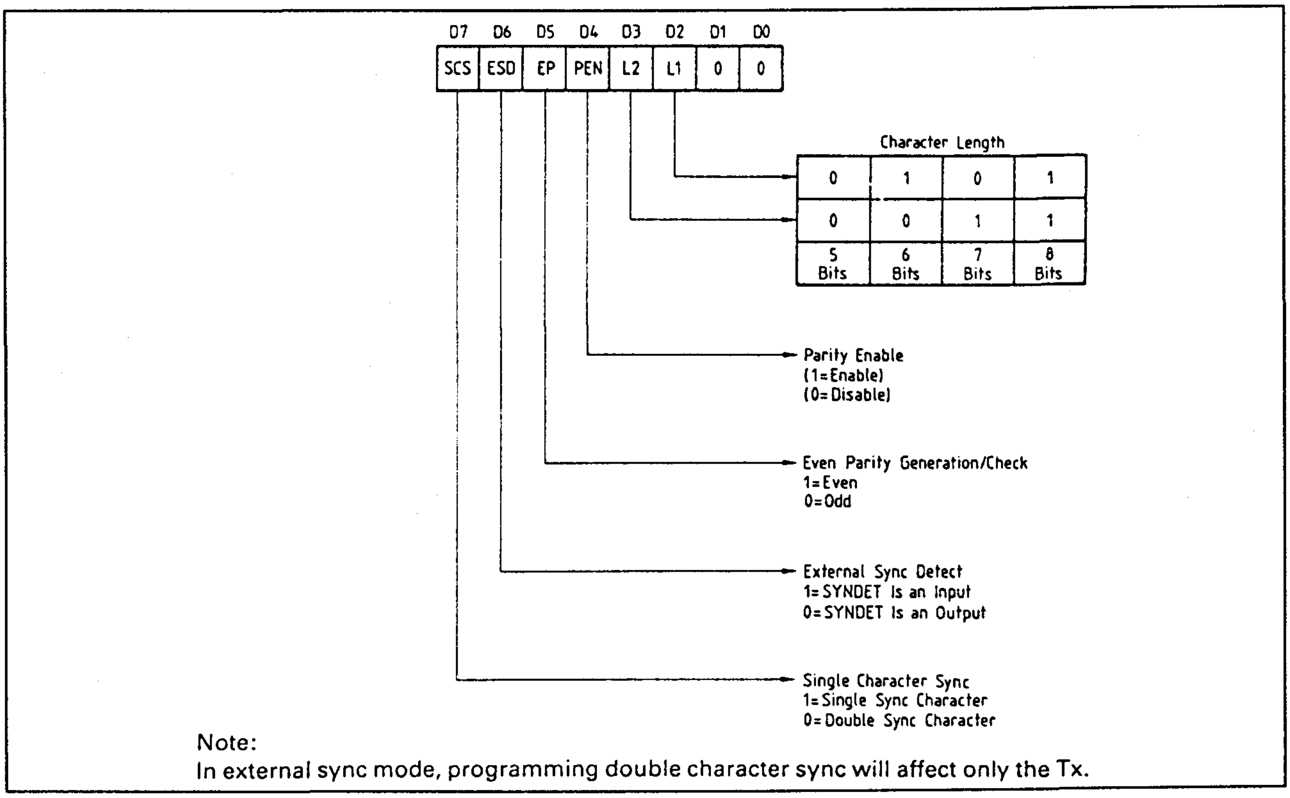


Figuur 9/3.4-7: Synchrone bedrijfsmode.

Synchrone mode (ontvangen)
In deze bedrijfsmode kan synchronisatie van de karakters zowel intern als extern worden verkregen. Als de SYNC mode werd geprogrammeerd, moet een ENTER HUNT commando in het eerst geschreven instructiewoord worden opgenomen. Data op de RxD-pen wordt dan op de stijgende flank van $\overline{RxC}$ bemonsterd. De inhoud van de Rx-buffer wordt op de rand van elk bit net zo lang vergeleken met het eerste SYNC-karakter tot een overeenkomst wordt gevonden. Werd de 8251A voor twee SYNC-karakters geprogrammeerd (zie mode instructieformaat, figuur 9/3.4-8), dan wordt het volgende karakter ook vergeleken. Als beide SYNC-karakters zijn gedetecteerd, beëindigt de USART de HUNT mode en is synchronisatie van de karakters een feit. De SYNDET-pen die dan HOOG wordt geset, wordt automatisch gereset door een Status Read. Als een pariteit werd geprogrammeerd, wordt SYNDET pas in het midden van het pariteitsbit geset en niet in het midden van het laatste databit.

In de externe SYNC mode wordt synchronisatie verkregen door een HOOG niveau op de SYNDET-pen te zetten, waardoor de 8251A uit de HUNT mode wordt geforceerd. Dit HOOG niveau kan na een $\overline{RxC}$ cyclus worden verwijderd. Een ENTER HUNT commando heeft geen invloed op de asynchrone bedrijfsmode. Pariteits- en overrunfouten worden op dezelfde manier gecheckt als bij de asynchrone Rx-mode. Pariteit wordt alleen buiten de HUNT mode gecheckt, of de ontvanger nu werd vrijgegeven of niet.
De CPU kan de ontvanger in de HUNT mode zetten als de synchronisatie is verbroken. Hierdoor worden ook alle in de buffer gebruikte karakterbits HOOG, waardoor een foutief SYNDET wordt voorkomen. Merk op dat de SYNDET flip-flop bij elke Status Read wordt gereset (onafhankelijk van de programmering van interne of externe SYNC). Hierdoor wordt de 8251A niet teruggebracht naar de HUNT mode. Wanneer de USART wel in de SYNC mode, maar niet in de HUNT mode staat, werkt Sync Detectie wel, maar alleen op de "bekende" woordgrenzen.

3.4 Type-beschrijving 82xx-familie

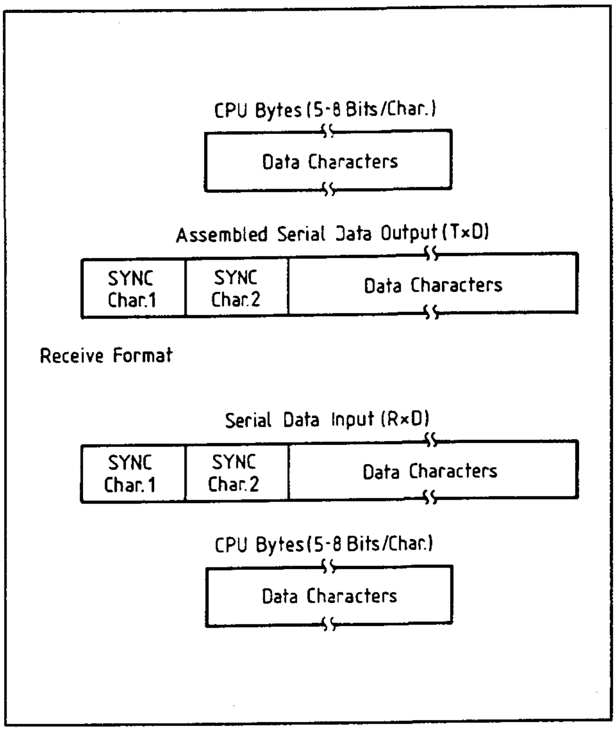


Figuur 9/3.4-8: Mode instructie formaat (synchrone mode).

Als dus de ene Status Read een SYNDET aangeeft en een tweede Status Read ook, werden na de vorige Status Read de geprogrammeerde SYNDET-karakters ontvangen. Wanneer een externe SYNDET mode werd gekozen, is de interne sync detectie afgezet en mag de SYNDET flip-flop bij elke bitgrens worden geset. Figuur 9/3.4-9 laat het dataformaat bij de synchrone bedrijfsmode zien.

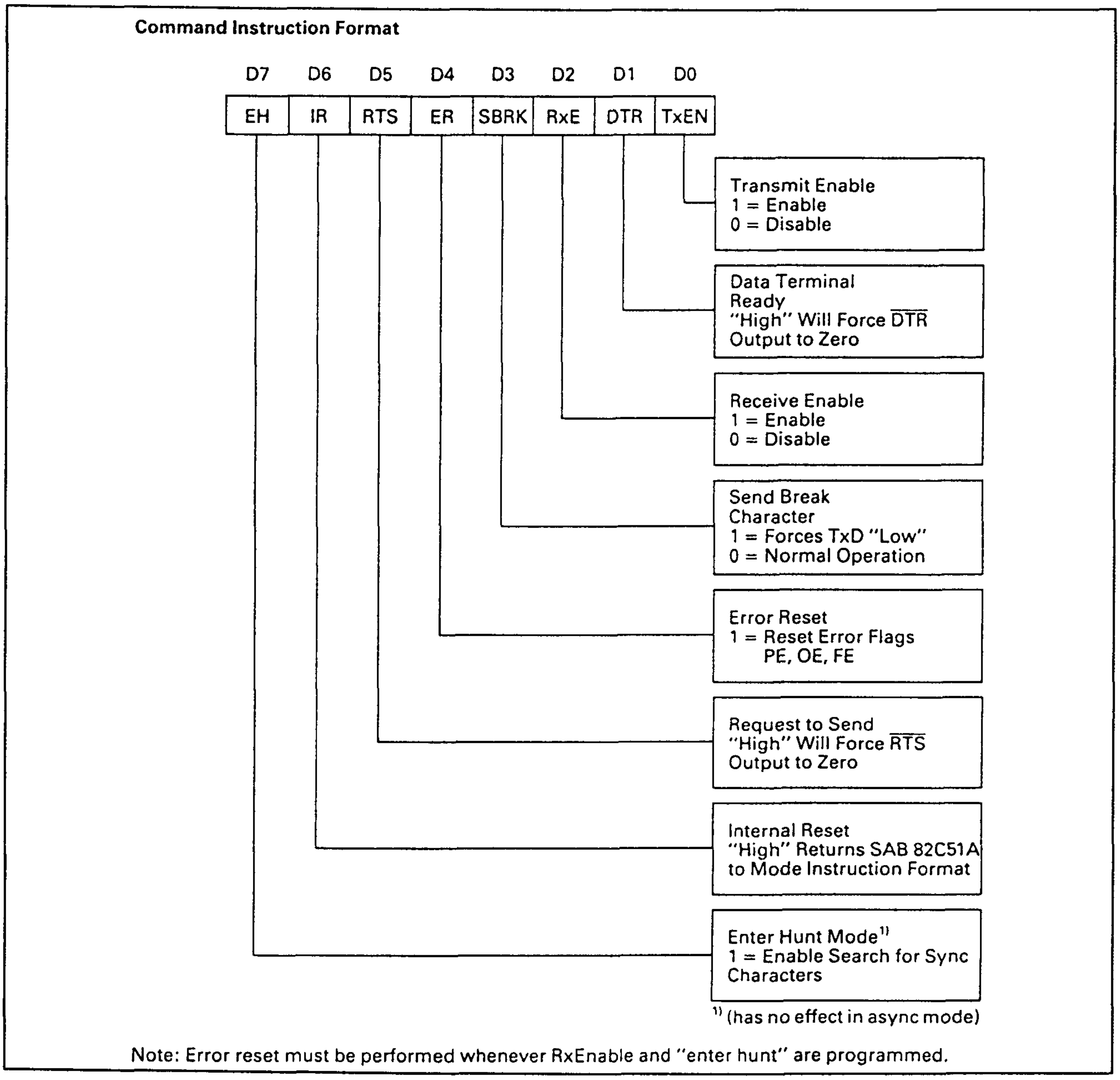
Definitie van de Command instructie

Nadat de functionele definitie van de 8251A door middel van de mode instructie geprogrammeerd is en de sync karakters zijn geladen (indien in de Sync Mode), is de USART klaar voor data-communicatie.
De command instructie (figuur 9/3.4-10) regelt de eigenlijke werking van het geselecteerde formaat, terwijl ook functies, zoals Enable Transmit/Receive, Error Reset en Modem Controls worden geleverd door de command instructie.



Figuur 9/3.4-9: Data-formaat (synchrone mode).

3.4 Type-beschrijving 82xx-familie



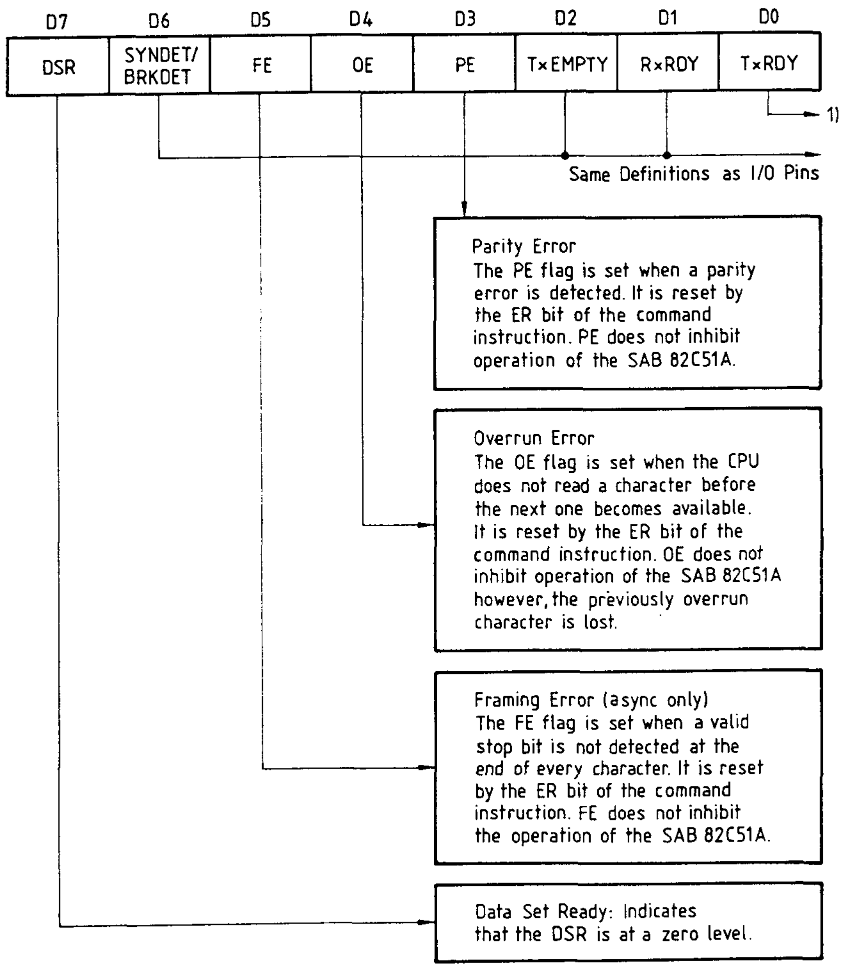
Figuur 9/3.4-10: Command instructieformaat.

Nadat de mode instructie in de 8251A is geschreven en de eventuele sync karakters zijn ingevoerd, zullen alle volgende "control writes" (C/$\overline{D}$=1) een command instructie laden. Door een interne of externe reset-handeling wordt de 8251A weer naar het mode instructie-formaat teruggebracht.

Opmerking: bij inschakelen van de voeding treedt een interne reset op.

Wanneer de voeding de eerste keer wordt aangezet kan de 8251A in het mode-, sync karakter- of command-formaat opkomen. Om te garanderen dat de schakeling in het command instructieformaat is voordat het reset commando wordt gegeven, kan het beste de "worst-case initialisatie-volgorde" worden uitgevoerd (sync mode met twee sync karakters).

3.4 Type-beschrijving 82xx-familie



Note:
TxRDY status bit has different meanings from the TxRDY output pin. The former is not conditioned by $\overline{CTS}$ and TxEN; the latter is conditioned by both $\overline{CTS}$ and TxEN.
i.e. TxRDY status bit = DB buffer empty
TxRDY pin out = DB buffer empty $(\overline{CTS} = 0) \cdot (TxEN = 1)$

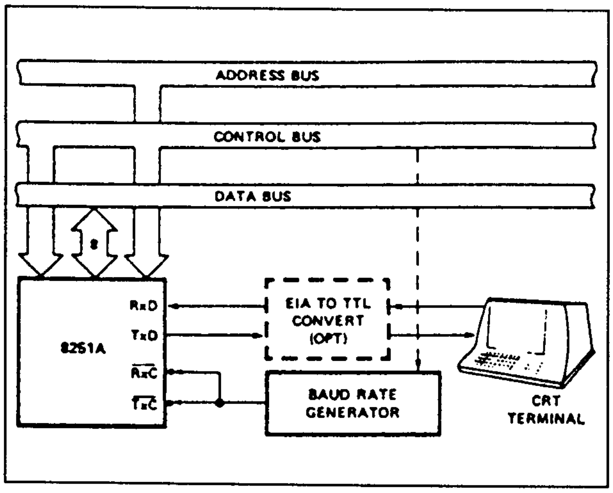
Figuur 9/3.4-11: Status read formaat.

Door achtereenvolgens drie 00H's te laden met $C/\overline{D} = 1$ wordt de sync-werking geconfigureerd en worden twee dummy 00H sync karakters geschreven. Daarna mag een intern reset-commando (40H) worden gegeven om de schakeling in de "vrijloop" toestand te brengen.

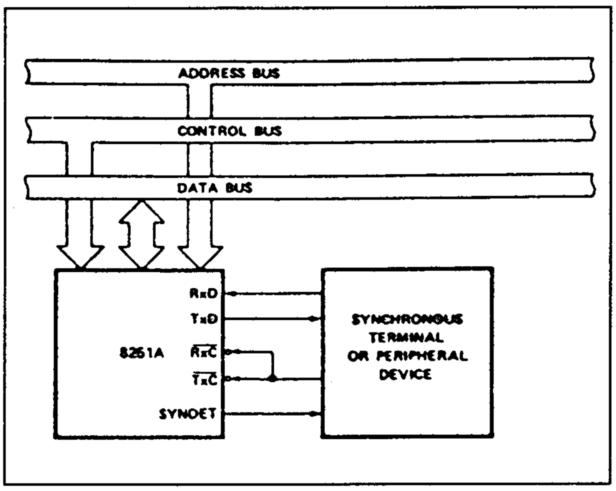
Definitie van Status Read

Bij data-communicatiesystemen is het vaak nodig om de "status" van een aktief apparaat te checken of er fouten zijn opgetreden of dat er andere condities zijn die de aandacht van de processor vragen.

3.4 Type-beschrijving 82xx-familie

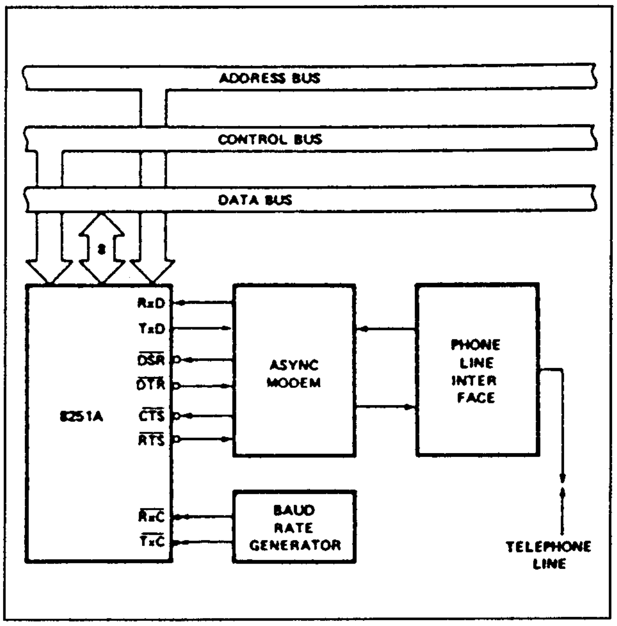


Figuur 9/3.4-12: Asynchrone seriële verbinding met een CRT-terminal (DC tot 9600 Baud).



Figuur 9/3.4-13: Synchrone verbinding met een terminal of een randapparaat.

De 8251A heeft voorzieningen die de programmeur in staat stellen om te allen tijde de status van de USART uit te lezen (tijdens het uitlezen van de status wordt het "updaten" hiervan gesperd).
Deze functie kan door middel van een normaal lees-commando met C/$\overline{D}$ = 1 door de CPU worden uitgevoerd.
Sommige bits in het status-leesformaat (figuur 9/3.4-11) hebben voor externe uitgangspennen identieke betekenissen, zodat de 8251A in een volledig afvragende (polling) omgeving of in een interrumperende omgeving kan worden gebruikt.
TxRDY is een uitzondering.
Let op dat status update een vertraging van maximaal 28 clockperioden kan hebben.

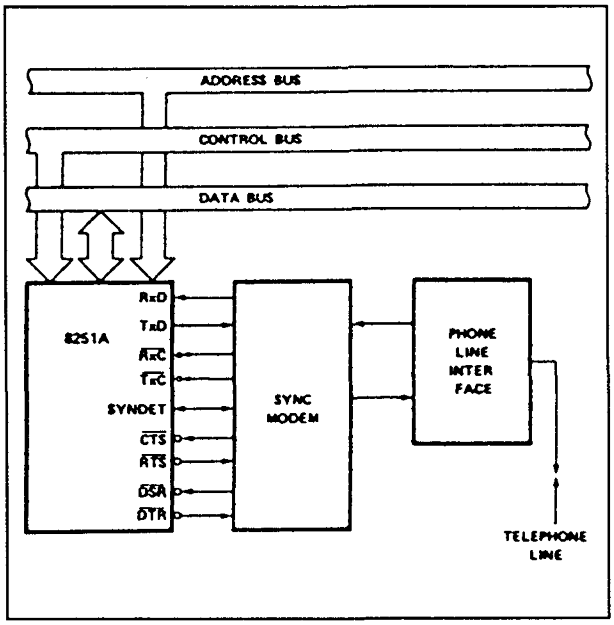


Figuur 9/3.4-14: Asynchrone verbinding met telefoonlijnen.

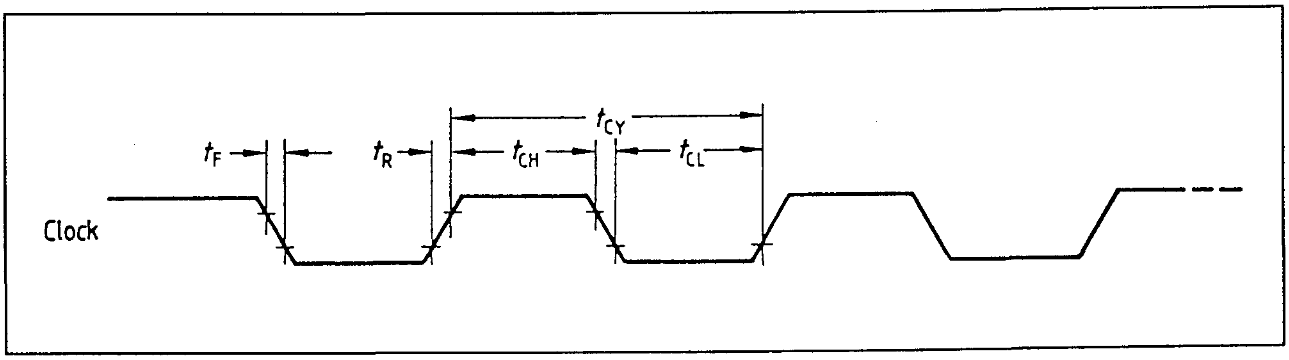
Overige kenmerken

In de figuren 9/3.4-12 tot en met 9/3.4-15 worden enkele praktische toepassingen van de 8251A getoond.
In de tabellen 9/3.4-2 tot en met 9/3.4-5 zijn de elektrische en timing kenmerken van de USART te zien, terwijl de optredende golfvormen en schakeltijden in de bijbehorende figuren 9/3.4-16 tot en met 9/3.4-26 te zien zijn.

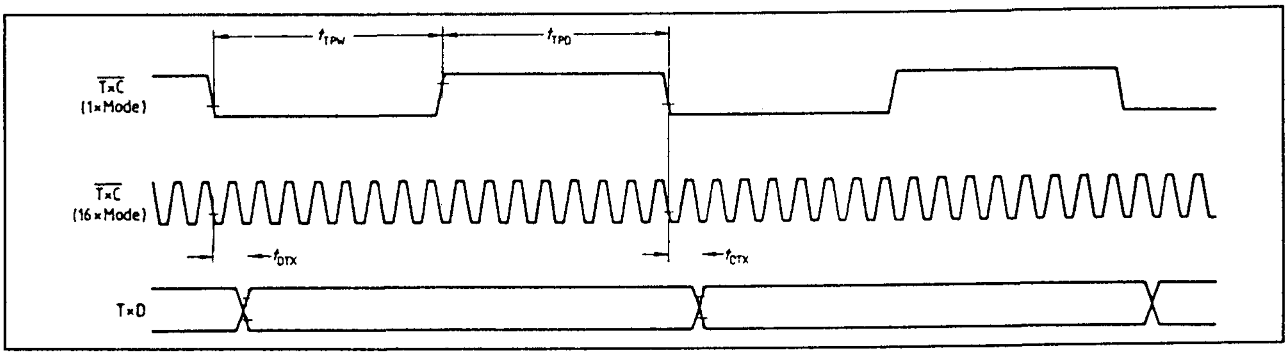
3.4 Type-beschrijving 82xx-familie



Figuur 9/3.4-15: Synchrone verbinding met telefoonlijnen.

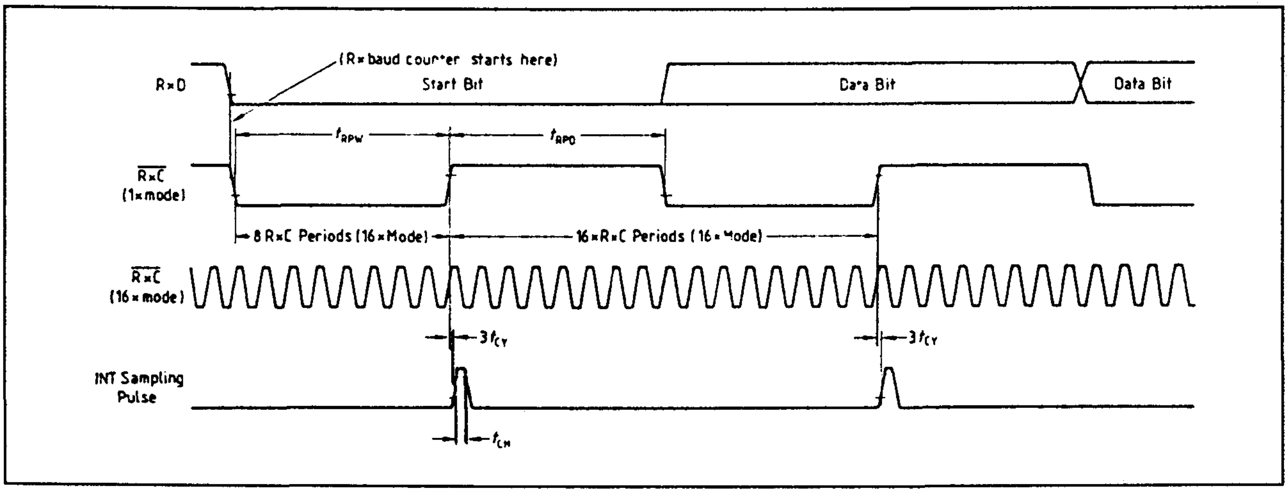


Figuur 9/3.4-16: Systeem-clock.

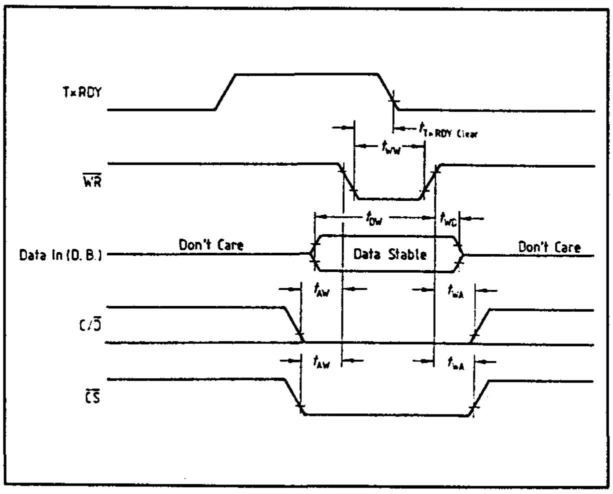


Figuur 9/3.4-17: Transmitter clock en data (zenden).

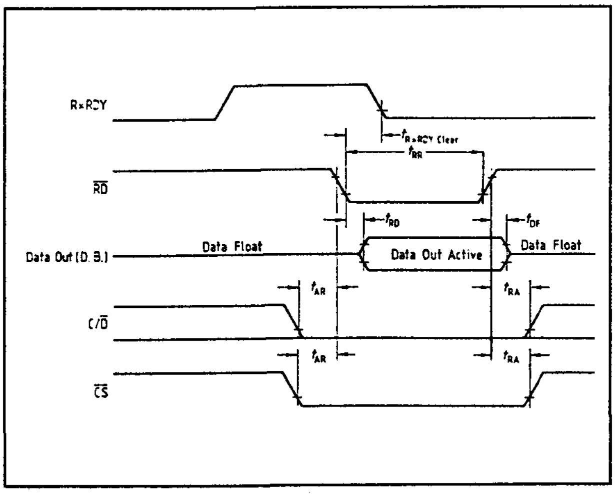
3.4 Type-beschrijving 82xx-familie



Figuur 9/3.4-18: Receiver clock en data (ontvangen).

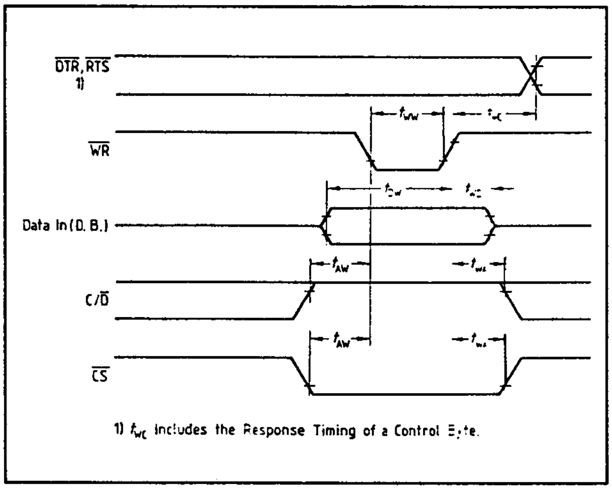


Figuur 9/3.4-19: Data-schrijfcyclus (CPU naar USART).

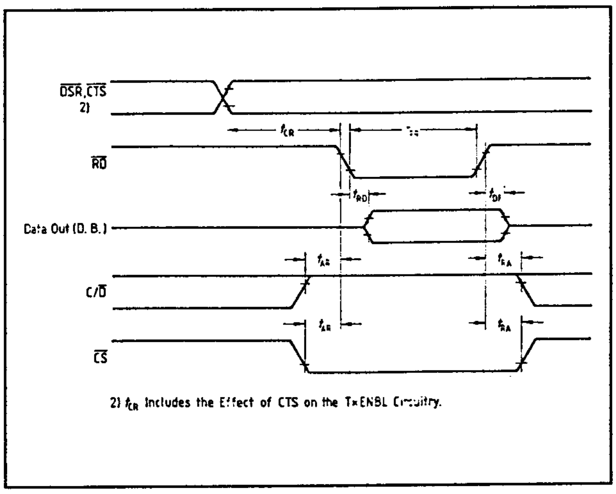


Figuur 9/3.4-20: Data-leescyclus (USART naar CPU).

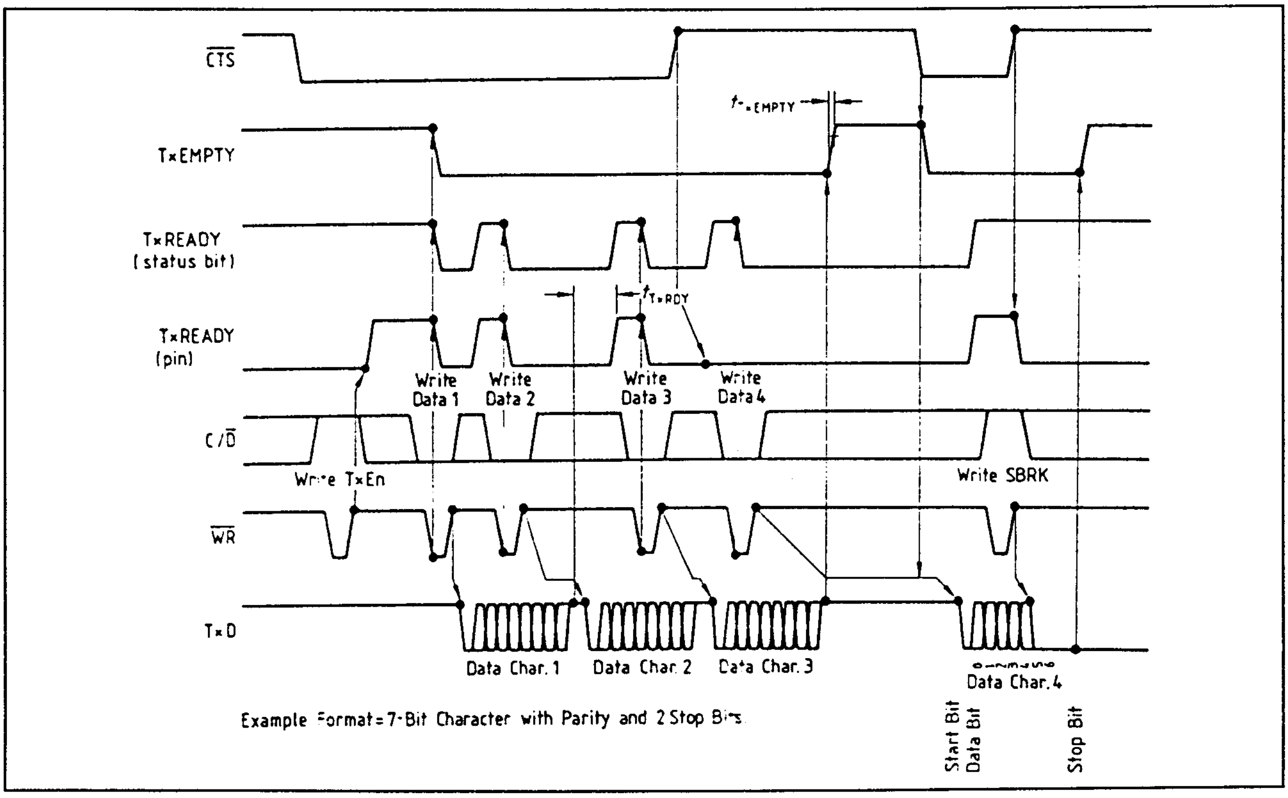
3.4 Type-beschrijving 82xx-familie



Figuur 9/3.4-21: Write control of uitgangspoortcyclus (CPU naar USART).

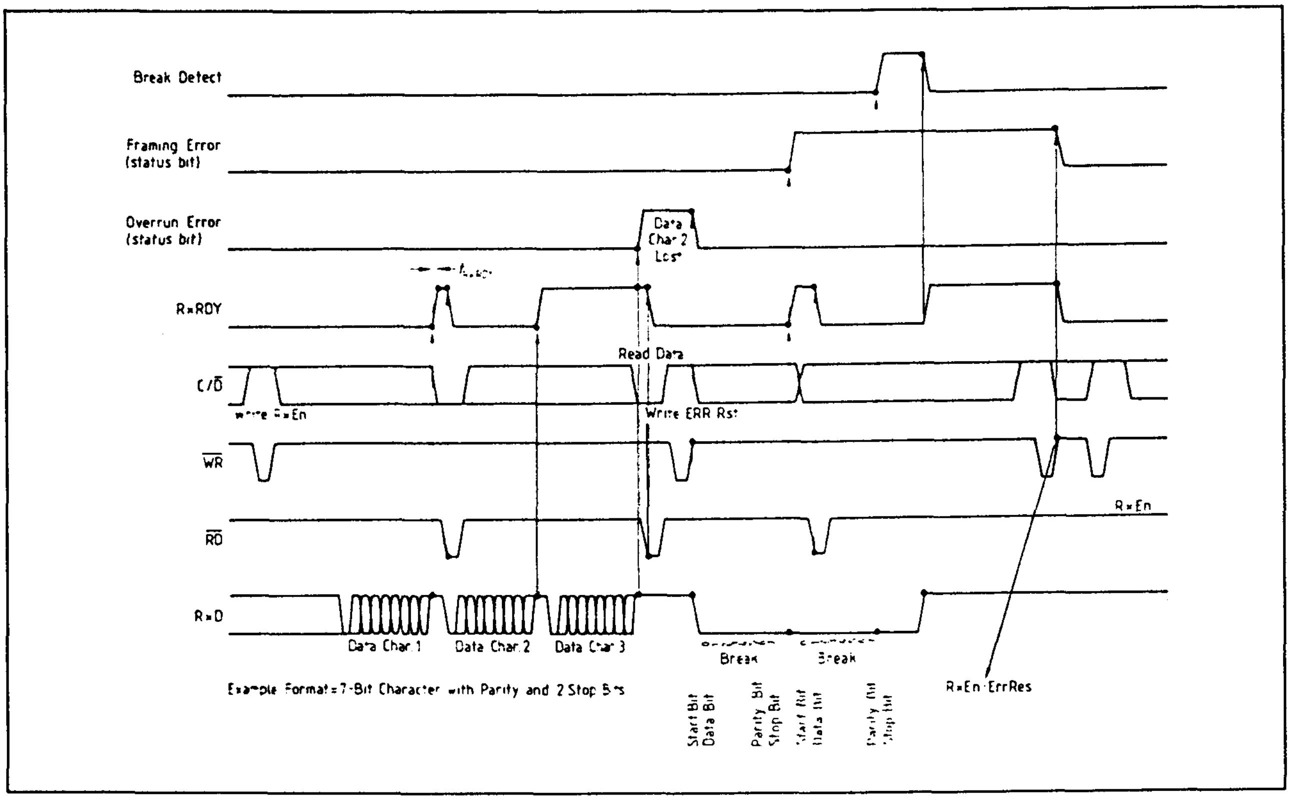


Figuur 9/3.4-22: Read control of ingangspoortcyclus (USART naar CPU).

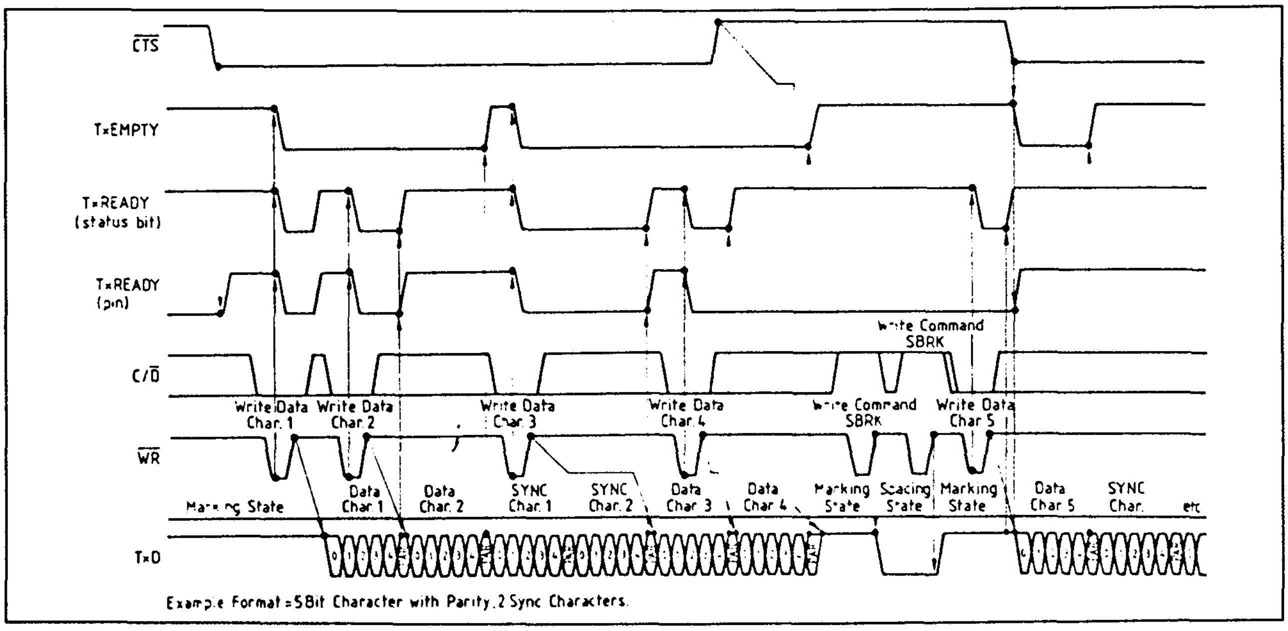


Figuur 9/3.4-23: Transmitter control en flag timing (zenden, asynchrone mode).

3.4 Type-beschrijving 82xx-familie

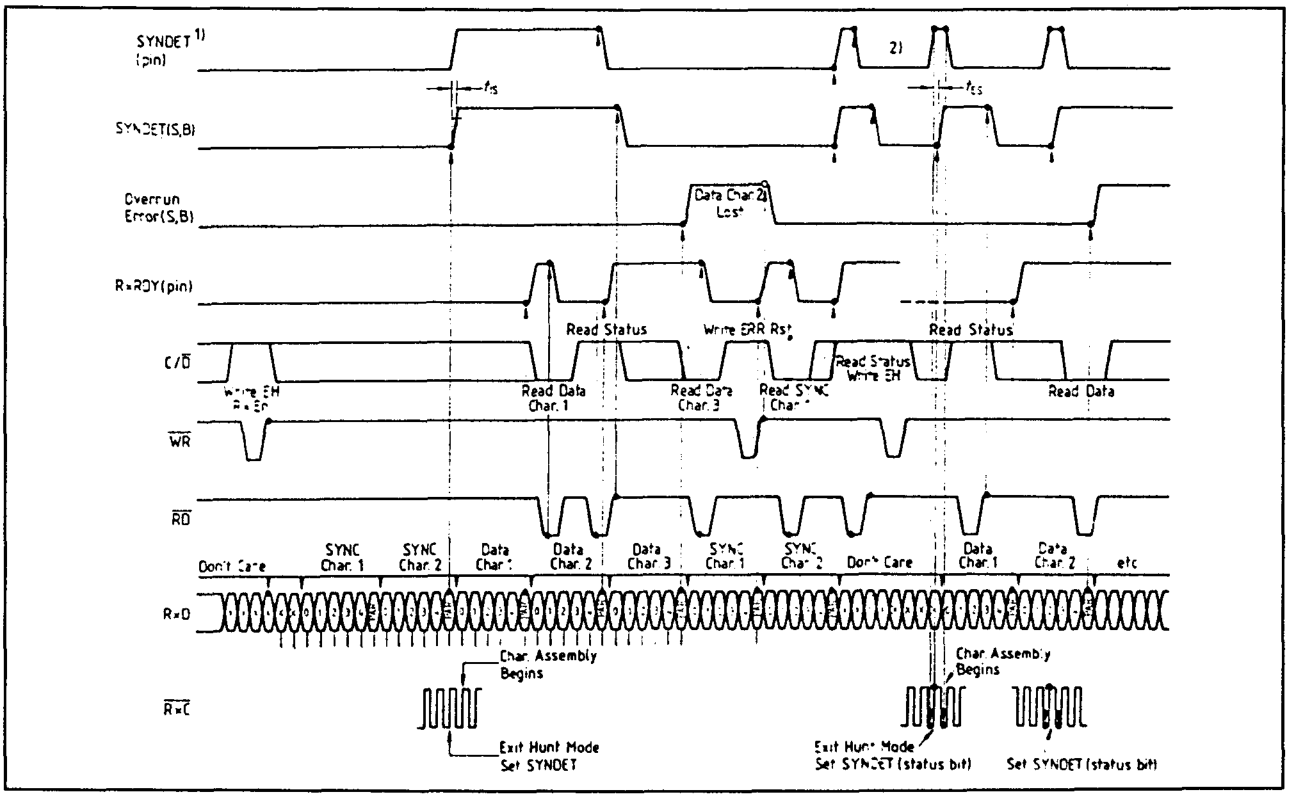


Figuur 9/3.4-24: Receiver control en flag timing (ontvangen, asynchrone mode).



Figuur 9/3.4-25: Transmitter control en flag timing (zenden, synchrone mode).

3.4 Type-beschrijving 82xx-familie



Figuur 9/3.4-26: Receiver control en flag timing (ontvangen, synchrone mode).

ABSOLUTE MAXIMUM RATINGS

Storage Temperature .... −65°C to +150°C
Voltage on Any Pin
with Respect to Ground .... −0.5 to +7 V
Power Dissipation .... 1 Watt

OPERATING RANGES

Commercial (C) Devices
Temperature (T_A) .... 0 to +70°C
Supply Voltage (V_{CC}) .... 5 V ±10%

Industrial (I) Devices
Temperature (T_A) .... −40 to +85°C
Supply Voltage (V_{CC}) .... 5 V ±10%

Tabel 9/3.4-2: Maximaal toegelaten waarden en bedrijfscondities.

3.4 Type-beschrijving 82xx-familie

DC CHARACTERISTICS over operating ranges unless otherwise specified.

Parameters	Description	Test Conditions	Min	Max	Units
V_{IL}	Input Low Voltage		−0.5	0.8	V
V_{IH}	Input High Voltage		2.0	V_{CC}	V
V_{OL}	Output Low Voltage	$I_{OL} = 2.2$ mA		0.45	V
V_{OH}	Output High Voltage	$I_{OH} = -400$ μA	2.4		V
I_{OFL}	Output Float Leakage	$V_{OUT} = V_{CC}$ to 0.45 V		±10	μA
I_{IL}	Input Leakage	$V_{IN} = V_{CC}$ to 0.45 V		±10	μA
I_{CC}	Power Supply Current	All Outputs = High		100	mA

Tabel 9/3.4-3: Gelijkspanningscondities.

CAPACITANCE ($T_A = 25°C$, $V_{CC} = GND = 0V$)

Parameters	Description	Test Conditions	Min	Max	Units
C_{IN}	Input Capacitance	fc = 1 MHz		10	pF
$C_{I/O}$	I/O Capacitance	Unmeasured Pins Returned to GND		20	pF

Tabel 9/3.4-4: Capaciteiten bij 1 MHz.

3.4 Type-beschrijving 82xx-familie

SWITCHING CHARACTERISTICS over operating ranges unless otherwise specified.

Bus Parameters (Note 1)

Parameters	Description	Test Conditions	Min	Max	Units
Read Cycle					
t_{AR}	Address Stable Before $\overline{READ}$ ($\overline{CS}$, C/$\overline{D}$)	Note 2	0		ns
t_{RA}	Address Hold Time for $\overline{READ}$ ($\overline{CS}$, C/$\overline{D}$)	Note 2	0		ns
t_{RR}	$\overline{READ}$ Pulse Width		250		ns
t_{RD}	Data Delay from $\overline{READ}$	3, C_L = 150 pF		200	ns
t_{DF}	$\overline{READ}$ to Data Floating		10	100	ns
Write Cycle					
t_{AW}	Address Stable Before $\overline{WRITE}$		0		ns
t_{WA}	Address Hold Time for $\overline{WRITE}$		0		ns
t_{WW}	$\overline{WRITE}$ Pulse Width		250		ns
t_{DW}	Data Setup Time for $\overline{WRITE}$		150		ns
t_{WD}	Data Hold Time for $\overline{WRITE}$		20		ns
t_{RV}	Recovery Time Between WRITES	Note 4	6		t_{CY}
Other Timings					
t_{CY}	Clock Period	Notes 5, 6	320	1350	ns
t_{ϕ}	Clock High Pulse Width		120	t_{CY}-90	ns
$t_{\overline{\phi}}$	Clock Low Pulse Width		90		ns
t_r, t_f	*Clock Rise and Fall Time*			20	ns
t_{DTX}	TxD Delay from Falling Edge of TxC			1	µs
t_{Tx}	Transmitter Input Clock Frequency 1x Baud Rate		DC	64	kHz
	16x Baud Rate		DC	310	kHz
	64x Baud Rate		DC	615	kHz
t_{TPW}	Transmitter Input Clock Pulse Width 1x Baud Rate		12		t_{CY}
	16x and 64x Baud Rate		1		t_{CY}
t_{TPD}	Transmitter Input Clock Pulse Delay 1x Baud Rate		15		t_{CY}
	16x and 64x Baud Rate		3		t_{CY}
t_{Rx}	Receiver Input Clock Frequency 1x Baud Rate		DC	64	kHz
	16x Baud Rate		DC	310	kHz
	64x Baud Rate		DC	615	kHz
t_{RPW}	Receiver Input Clock Pulse Width 1x Baud Rate		12		t_{CY}
	16x and 64x Baud Rate		1		t_{CY}
t_{RPD}	Receiver Input Clock Pulse Delay 1x Baud Rate		15		t_{CY}
	16x and 64x Baud Rate		3		t_{CY}
t_{TxRDY}	TxRDY Pin Delay from Center of Last Bit	Note 7		14	t_{CY}
$t_{TxRDY\ CLEAR}$	TxRDY ↓ from Leading Edge of $\overline{WR}$	Note 7		400	ns
t_{RxRDY}	RxRDY Pin Delay from Center of Last Bit	Note 7		26	t_{CY}
$t_{RxRDY\ CLEAR}$	RxRDY ↓ from Leading Edge of $\overline{RD}$	Note 7		400	ns
t_{IS}	Internal SYNDET Delay from Rising Edge of $\overline{RxC}$	Note 7		26	t_{CY}
t_{ES}	*External SYNDET Set-up Time After Rising Edge of* $\overline{RxC}$	Note 7	16 t_{CY}	t_{RPD}-t_{CY}	ns
$t_{TxEMPTY}$	TxEMPTY Delay from Center of Last Bit	Note 7		20	t_{CY}
t_{WC}	Control Delay from Rising Edge of WRITE (TxEn, $\overline{DTR}$, $\overline{RTS}$)	Note 7		8	t_{CY}
t_{CR}	Control to READ Set-up Time ($\overline{DSR}$, $\overline{CTS}$)	Note 7	20		t_{CY}

Notes:
1. AC timings measured V_{OH} = 2.0, V_{OL} = 0.8, and with switching load circuit.
2. Chip Select ($\overline{CS}$) and Command/Data (C/$\overline{D}$) are considered as Addresses.
3. Assumes that Address is valid before R_{D}↓.
4. This recovery time is for after a Mode Instruction only. Write Data is allowed only when TxRDY = 1. Recovery time between Writes for Asynchronous Mode is 8 t_{CY} and for Synchronous Mode is 16 t_{CY}.
5. The TxC and RxC frequencies have the following limitations with respect to CLK: for 1x Baud Rate, f_{Tx} or $f_{Rx} \leq 1/(30\ t_{CY})$: for 16x and 64x Baud Rate, f_{Tx} or $f_{Rx} \leq 1/(4.5\ t_{CY})$.
6. Reset Pulse Width = 6 t_{CY} minimum; System Clock must be running during Reset.
7. Status update can have a maximum delay of 28 clock periods from the event affecting the status.

Tabel 9/3.4-5: Schakeltijden (zie ook de figuren 9/3.4-16 tot en met 9/3.4-26).

3.4 Type-beschrijving 82xx-familie

82C51A
Programmeerbare CMOS Communicatie Interface

Van de NMOS 8251A is door Siemens een CMOS uitvoering gefabriceerd, het type SAB 82C51A.

De aansluitingen en programmering hiervan zijn identiek aan die van de 8251A en zullen hier dus niet worden herhaald.

De afwijkende elektrische en timing-gegevens worden in de onderstaande tabellen wel vermeld, waarbij wordt verwezen naar alle figuren bij de 8251A.

Absolute Maximum Ratings

Ambient temperature under bias	0°C to +70°C
Storage temperature	−65°C to +150°C
Supply voltage	−0.5 to +8.0 V
Operating voltage	4 V to 7 V
Voltage on any input	V_{SS} − 2 V to V_{CC} + 0.5 V
Voltage on any output	V_{SS} − 0.5 V to V_{CC} + 0.5 V
Power dissipation	1 W

Tabel 9/3.4-6: Maximaal toegelaten waarden voor de SAB 82C51A.

DC Characteristics

T_A = 0°C to 70°C, V_{CC} = 5.0 V + 10%; V_{SS} = 0 V

Symbol	Parameter	Limit values		Unit	Test condition
		min.	max.		
V_{IL}	Input low voltage	−0.5	0.8	V	–
V_{IH}	Input high voltage	2.0	V_{CC} + 0.5	V	–
V_{OL}	Output low voltage	–	0.4	V	I_{OL} = 2.5 mA
V_{OH}	Output high voltage	3.0 V_{CC} − 0.4	– –	V V	I_{OH} = −2.5 mA I_{OH} = −100 μA
I_{OFL}	Output float leakage	–	±10	μA	V_{OUT} = V_{CC} to 0 V
I_{IL}	Input leakage	–	±1	μA	V_{IN} = V_{CC} to 0 V
I_{CCO}	Operating supply current	–	5	mA	Asynchronous x64 during transmitting/ receiving; outputs open
I_{CCS}	Standby supply current	–	100	μA	Input voltage at V_{CC} or GND level; outputs open

Tabel 9/3.4-7: Gelijkspanningscondities van de SAB 82C51A.

3.4 Type-beschrijving 82xx-familie

AC Characteristics

T_A = 0°C to 70°C, V_{CC} = 5.0V ±10%, GND = 0V

Bus Parameters [1]

Read Cycle

Symbol	Parameter	Limit values		Unit	Test condition
		min.	max.		
t_{AR}	Address stable before $\overline{READ}$ ($\overline{CS}$, C/$\overline{D}$)	0	–	ns	[2]
t_{RA}	Address hold time for $\overline{READ}$ ($\overline{CS}$, C/$\overline{D}$)	0	–	ns	[2]
t_{RR}	$\overline{READ}$ pulse width	150	–	ns	–
t_{RD}	Data delay from $\overline{READ}$	–	140	ns	[3] C_L = 150 pF
t_{DF}	$\overline{READ}$ to data floating	10	50	ns	–

Write Cycle

Symbol	Parameter	Limit values		Unit	Test condition
		min.	max.		
t_{AW}	Address stable before $\overline{WRITE}$	0	–	ns	–
t_{WA}	Address hold time for $\overline{WRITE}$	0	–	ns	–
t_{WW}	$\overline{WRITE}$ pulse width	150	–	ns	–
t_{DW}	Data setup time for $\overline{WRITE}$	80	–	ns	–
t_{WD}	Data hold time for $\overline{WRITE}$	10	–	ns	–
t_{RV}	Recovery time between writes	6	–	t_{CY}	[4]
t_{RESW}	Reset pulse width	6	–	t_{CY}	[6]

Notes:

[1] AC timings are measured at V_{OH} = 2.0 V and V_{OL} = 0.8 V with 150 pF capacitance load.

[2] Chip select (CS) and command/data (C/D) are considered as addresses.

[3] Assumes that address is valid before $\overline{RD}$↓.

[4] This recovery time is for mode initialization only. Write data is allowed only when TxRDY = 1. Recovery time between writes for asynchronous mode is 8 t_{CY} and for synchronous mode is 16 t_{CY}.

[5] The TxC and RxC frequencies have the following limitations with respect to CLK: For 1x baud rate, f_{Tx} or f_{Rx} ≤ 1/(30 t_{CY}).
For 16x and 64x baud rate, f_{Tx} or f_{Rx} ≤ 1/(4.5 t_{CY}).

[6] System clock must be running during reset.

[7] Status update can have a maximum delay of 28 clock periods from the event affecting the status.

Tabel 9/3.4-8: Schakeltijden bij lezen en schrijven van de SAB 82C51A.

3.4 Type-beschrijving 82xx-familie

Other Timings

Symbol	Parameter	Limit values		Unit	Test condition
		min.	max.		
t_{CY}	Clock period	125	–	ns	5) 6)
t_{CH}	Clock high pulse width	50	–	ns	–
t_{CL}	Clock low pulse width	35	–	ns	–
t_R, t_F	Clock rise and fall time	–	20	ns	–
t_{DTx}	TxD delay from falling edge of $\overline{TxC}$	–	0.5	µs	–
t_{Tx}	Transmitter input clock frequency 1x baud rate 16x baud rate 64x baud rate	 DC DC DC	 240 1536 1536	 kHz kHz kHz	 –
t_{TPW}	Transmitter input clock pulse width 1x baud rate 16x and 64x baud rate	 12 1	 – –	 t_{CY} t_{CY}	 – –
t_{TPD}	Transmitter input clock pulse delay 1x baud rate 16x and 64x baud rate	 15 3	 – –	 t_{CY} t_{CY}	 – –
t_{Rx}	Receiver input clock frequency 1x baud rate 16x baud rate 64x baud rate	 DC DC DC	 240 1536 1536	 kHz kHz kHz	 – – –
t_{RPW}	Receiver input clock pulse width 1x baud rate 16x and 64x baud rate	 12 1	 – –	 t_{CY} t_{CY}	 – –
t_{RPD}	Receiver input clock pulse delay 1x baud rate 16x and 64x baud rate	 15 3	 – –	 t_{CY} t_{CY}	 – –
t_{TxRDY}	TxRDY pin delay from center of last bit	–	8	t_{CY}	7)
$t_{xRDY\ CLEAR}$	TxRDY ↓ from leading edge of $\overline{WR}$	–	400	ns	7)
t_{RxRDY}	RxRDY pin delay from center of last bit	–	26	t_{CY}	7)
$t_{RxRDY\ CLEAR}$	RxRDY ↓ from leading edge of $\overline{RD}$	–	200	ns	7)
t_{IS}	Internal SYNDET delay from rising edge of $\overline{RxC}$	–	26	t_{CY}	7)
t_{ES}	External SYNDET setup time after rising edge of $\overline{RxC}$	16	–	t_{CY}	7)
$t_{TxEMPTY}$	TxEMPTY delay from center of last bit	–	20	t_{CY}	7)
t_{WC}	Control delay from rising edge of write (TxEn, $\overline{DTR}$, $\overline{RTS}$)	–	8	t_{CY}	7)
t_{CR}	Control to read setup time ($\overline{DSR}$, $\overline{CTS}$)	20	–	t_{CY}	7)
t_{RxDS}	RxD setup time for rising edge of $\overline{RxC}$ (1x baud)	11	–	t_{CY}	–
t_{RxDH}	RxD hold time for falling edge of $\overline{RxC}$ (1x baud)	17	–	t_{CY}	–

Tabel 9/3.4-9: Overige timingen van de SAB 82C51A.

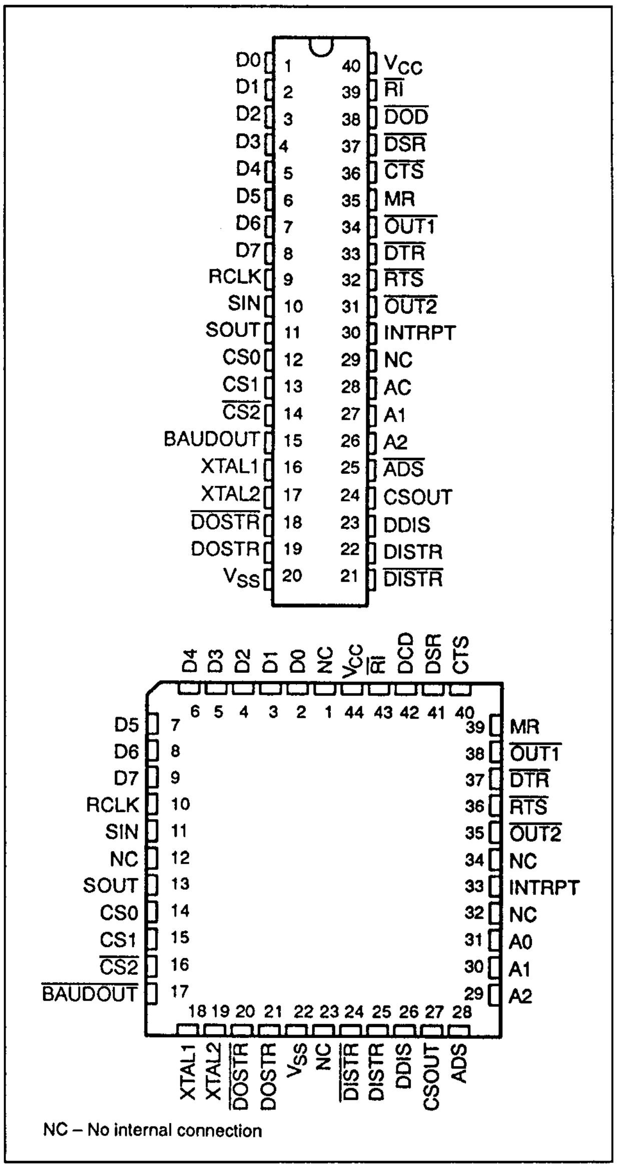
3.4 Type-beschrijving 82xx-familie

9/3.5

Type-beschrijving 16Cxxx-familie

16C450
asynchroon communicatie element (ACE)

De 16C450 is een universele asynchrone zender/ontvanger met modem-besturing (UART) die door sommige merken ook wel Asynchroon Communicatie Element (ACE) wordt genoemd.
De 16C450 is de verbeterde CMOS-versie van de oudere INS8250/NS16450 UART van NatSemi en wordt gebruikt als seriële in-/uitgangs-interface in microcomputersystemen.
De ACE zet de seriële data die wordt ontvangen van een randapparaat of een modem om in parallelle data voor de CPU en omgekeerd.
De CPU kan op elk willekeurig moment de status van de ACE opvragen. De interne statusregisters leveren bijvoorbeeld informatie over het type data-overdracht dat plaats vindt en de toestand daarvan, plus foutmeldingen, als die optreden. De 16C450 beschikt over een complete inrichting voor het besturen van een modem en een processor-interrupt systeem dat met behulp van software op de eisen van de gebruiker kan worden aangepast. Hierdoor wordt de communicatie zo eenvoudig mogelijk. Tevens heeft de 16C450 een programmeerbare interne baud-rate generator.



Figuur 9/3.5-1: Aansluitingen van de 40-pens DIL en 44-pens PLCC uitvoering van de 16C450.

Kenmerken van de 16C450

- programmeerbare baud-rate generator: referentie-clock delen door 1 tot (2^{16}-1) en genereren van interne X16-clock
- dubbele buffering: geen precieze synchronisatie nodig

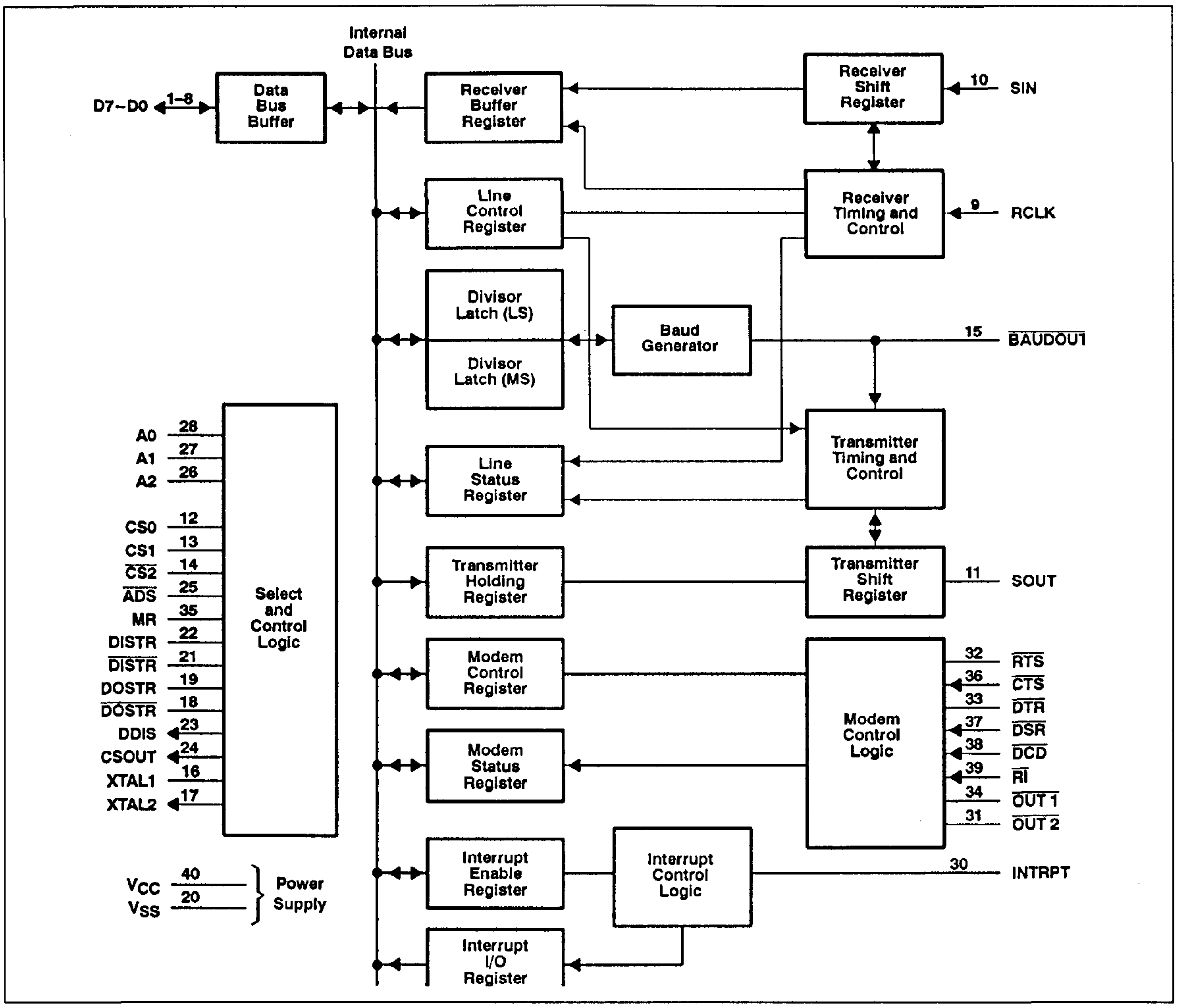
3.5 Type-beschrijving 16Cxxx-familie

PIN NAME	PIN NO.†	I/O	DESCRIPTION
A0 A1 A2	28 27 26	I	Register select. Three inputs used during read and write operations to select the ACE register to read from or write to. Refer to Table 1 for register addresses, also refer to the address strobe ($\overline{ADS}$) signal description.
$\overline{ADS}$	25	I	Address strobe. When $\overline{ADS}$ is active (low), the register select signals (A0, A1, and A2) and chip select signals (CS0, CS1, $\overline{CS2}$) drive the internal select logic directly; when high, the register select and chip select signals are held in the state they were in when the low-to-high transition of $\overline{ADS}$ occurred.
$\overline{BAUDO}$ $\overline{UT}$	15	O	Baud out. 16 X clock signal for the transmitter section of the ACE. The clock rate is established by the reference oscillator frequency divided by a divisor specified by the baud generator divisor latches. $\overline{BAUDOUT}$ may also be used for the receiver section by tying this output to the RCLK input.
CS0 CS1 $\overline{CS2}$	12 13 14	I	Chip select. When active (high and low, respectively), these three inputs select the ACE. Refer to the $\overline{ADS}$ signal description.
CSOUT	24	O	Chip select out. When CSOUT is high, it indicates that the ACE has been selected by the chip select inputs (CS0, CS1, and $\overline{CS2}$). CSOUT is low when the chip is deselected.
$\overline{CTS}$	36	I	Clear to send. $\overline{CTS}$ is a modem status signal whose condition can be checked by reading bit 4 (CTS) of the modem status register. Bit 0 (DCTS) of the modem status register indicates that this signal has changed state since the last read from the modem status register. If the modem status interrupt is enabled when $\overline{CTS}$ changes state, an interrupt is generated.
D0 D1 D2 D3 D4 D5 D6 D7	1 2 3 4 5 6 7 8	I/O	Data bus. Eight 3-state data lines provide a bidirectional path for data, control, and status information between the ACE and the CPU.
$\overline{DCD}$	38	I	Data carrier detect. $\overline{DCD}$ is a modem status signal whose condition can be checked by reading bit 7 (DCD) of the modem status register. Bit 3 (DDCD) of the modem status register indicates that this signal has changed state since the last read from the modem status register. If the modem status interrupt is enabled when the $\overline{DCD}$ changes state, an interrupt is generated.
DDIS	23	O	Driver disable. This output is active (high) when the CPU is not reading data. When active, this output can be used to disable an external transceiver.
DISTR $\overline{DISTR}$	22 21	I	Data input strobes. When either input is active (high or low, respectively) while the ACE is selected, the CPU is allowed to read status information or data from a selected ACE register. Only one of these inputs is required for the transfer of data during a read operation; the other input should be tied in its inactive state (i.e., DISTR tied low or $\overline{DISTR}$ tied high).
DOSTR $\overline{DOSTR}$	19 18	I	Data output strobes. When either input is active (high or low, respectively), while the ACE is selected, the CPU is allowed to write control words or data into a selected ACE register. Only one of these inputs is required to transfer data during a write operation; the other input should be tied in its inactive state (i.e., DOSTR tied low or $\overline{DOSTR}$ tied high).
$\overline{DSR}$	37	I	Data set ready. $\overline{DSR}$ is a modem status signal whose condition can be checked by reading bit 5 (DSR) of the modem status register. Bit 1 (DDSR) of the modem status register indicates that this signal has changed state since the last read from the modem status register. If the modem status interrupt is enabled when the $\overline{DSR}$ changes state, an interrupt is generated.
$\overline{DTR}$	33	O	Data terminal ready. When active (low), $\overline{DTR}$ informs a modem or data set that the ACE is ready to establish communication. $\overline{DTR}$ is placed in the active state by setting the DTR bit of the modem control register to a high level. $\overline{DTR}$ is placed in the inactive state either as a result of a master reset or during loop mode operation or resetting bit 0 (DTR) of the modem control register.
INTRPT	30	O	Interrupt. When active (high), INTRPT informs the CPU that the ACE has an interrupt to be serviced. Four conditions that cause an interrupt to be issued are: a receiver error, received data is available, the transmitter holding register is empty, and an enabled modem status interrupt. The INTRPT output is reset (inactivated) either when the interrupt is serviced or as a result of a master reset.
MR	35	I	Master reset. When active (high), MR clears most ACE registers and sets the state of various output signals. Refer to Table 2.
$\overline{OUT1}$ $\overline{OUT2}$	34 31	O	Outputs 1 and 2. User-designated output pins that are set to their active states by setting their respective modem control register bits (OUT 1 and OUT 2) high. $\overline{OUT1}$ and $\overline{OUT2}$ are set to their inactive (high) states as a result of master reset or during loop mode operations or by resetting bit 2 (OUT 1) or bit 3 (OUT 2) of the MCR.
RCLK	9	I	Receiver clock. The 16 X baud rate clock for the receiver section of the ACE.
$\overline{RI}$	39	I	Ring indicator. $\overline{RI}$ is a modem status signal whose condition can be checked by reading bit 6 (RI) of the modem status register. Bit 2 (TERI) of the modem status register indicates that the $\overline{RI}$ input has transitioned from a low to a high state since the last read from the modem status register. If the modem status interrupt is enabled when this transition occurs, an interrupt is generated.
$\overline{RTS}$	32	O	Request to send. When active, informs the modem or data set that the ACE is ready to transmit data. $\overline{RTS}$ is set to its active state by setting the RTS modem control register bit and is set to its inactive (high) state either as a result of a master reset or during loop mode operations or by resetting bit 1 (RTS) of the MCR.
SIN	10	I	Serial input. Serial data input from a connected communications device.
SOUT	11	O	Serial output. Composite serial data output to a connected communication device. SOUT is set to the marking (logic 1) state as a result of MR.
V_{CC}	40		5-V supply voltage
V_{SS}	20		Supply common
XTAL1 XTAL2	16 17	I/O	External clock. Connects the ACE to the main timing reference (clock or crystal).

† Pin numbers shown are for the N package.

Tabel 9/3.5-1: Functies van de aansluitpennen.

3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-2: Functioneel blokschema en overzicht van de registers en signalen van de 16C450.

- toevoegen of weglaten van standaard asynchrone communicatie-bits (start, stop en pariteit)
- onafhankelijke besturing van zenden en ontvangen
- programmeerbare seriële karakters: 5, 6, 7 of 8 bit
- genereren/detectie van even, oneven of geen pariteitsbit
- 1, 1,5 of 2 stopbits
- detectie van valse-startbit
- 3-state TTL voor bidirectionele data- en besturingsbus
- foutdetectie door loop-back en simulatie van break, overrun, pariteit en framing error
- modem-besturingsfuncties: $\overline{CTS}$, $\overline{RTS}$, $\overline{DSR}$, $\overline{DTR}$, $\overline{RI}$ en $\overline{DCD}$
- pen- en functioneel compatibel met INS8250, NS16450 en NS16C450
- behuizing: 40-pens plastic DIL of 44-pens PLCC (figuur 9/3.5-1)
- fabrikanten:
  NatSemi: NS16450, NS16C450
  Startech: ST16C450
  Texas Instruments: TL16C450

3.5 Type-beschrijving 16Cxxx-familie

Bit No.	REGISTER ADDRESS										
	0 DLAB = 0	0 DLAB = 0	1 DLAB = 0	2	3	4	5	6	7	0 DLAB = 1	1 DLAB = 0
	Receiver Buffer Register (Read Only)	Transmitter Holding Register (Write Only)	Interrupt Enable Register IER	Interrupt Ident. Register (Read Only)	Line Control Register LCR	Modem Control Register	Line Status Register	Modem Status Register	Scratch Register	Divisor Latch (LSB)	Latch (MSB)
	RBR	THR	IER	IIR	LCR	MCR	LSR	MSR	SCR	DLL	DLM
0	Data Bit 0*	Data Bit 0	Enable Received Data Available Interrupt (ERBF)	"0" if Interrupt Pending	Word Length Select Bit 0 (WLS0)	Data Terminal Ready (DTR)	Data Ready (DR)	Delta Clear to Send (DCTS)	Bit 0	Bit 0	Bit 8
1	Data Bit 1	Data Bit 1	Enable Transmitter Holding Register Empty Interrupt (ETBE)	Interrupt ID Bit (0)	Word Length Select Bit 1 (WLS1)	Request to Send (RTS)	Overrun Error (OE)	Delta Data Set Ready (DDSR)	Bit 1	Bit 1	Bit 9
2	Data Bit 2	Data Bit 2	Enable Receiver Line Status Interrupt (ELSI)	Interrupt ID Bit (1)	Number of Stop Bits (STB)	Out 1	Parity Error (PE)	Trailing Edge Ring Indicator (TERI)	Bit 2	Bit 2	Bit 10
3	Data Bit 3	Data Bit 3	Enable Modem Status Interrupt (EDSSI)	0	Parity Enable (PEN)	Out 2	Framing Error (FE)	Delta Data Carrier Detect (DDCD)	Bit 3	Bit 3	Bit 11
4	Data Bit 4	Data Bit 4	0	0	Even Parity Select (EPS)	Loop	Break Interrupt (BI)	Clear to Send (CTS)	Bit 4	Bit 4	Bit 12
5	Data Bit 5	Data Bit 5	0	0	Stick Parity	0	Transmitter Holding Register (THRE)	Data Set Ready (DSR)	Bit 5	Bit 5	Bit 13
6	Data Bit 6	Data Bit 6	0	0	Set Break	0	Transmitter Empty (TEMT)	Ring Indicator (RI)	Bit 6	Bit 6	Bit 14
7	Data Bit 7	Data Bit 7	0	0	Divisor Latch Access Bit (DLAB)	0	0	Data Carrier Detect (DCD)	Bit 7	Bit 7	Bit 15

*Bit 0 is the least significant bit. It is the first bit serially transmitted or received.

Tabel 9/3.5-2: Overzicht van de toegankelijke registers in de 16C450 en functie van de bits.

VLSI Technology: VL16C450
Western Digital: WD16C450
Exar: XR-16C450

Functionele beschrijving

Aan de hand van het blokschema (figuur 9/3.5-2) en het overzicht van de toegankelijke registers (tabel 9/3.5-2) worden alle functies van de ACE beschreven. De systeemprogrammeur heeft via de CPU toegang tot en de beschikking over alle ACE-registers die in tabel 9/3.5-2 vermeld staan. Deze registers dienen om de ACE-operaties te besturen en data te ontvangen en te verzenden. In tabel 9/3.5-3 is te zien dat deze registers met behulp van de adreslijnen A0, A1 en A2 plus DLAB bereikt kunnen worden. Onder DLAB verstaat men de Divisor Latch Access Bit, het belangrijkste bit (MSB) van het Line Control Register. Het DLAB-signaal wordt bestuurd door naar deze bitlokatie te schrijven (zie tabel 9/3.5-2).

3.5 Type-beschrijving 16Cxxx-familie

DLAB†	A2	A1	A0	REGISTER
0	L	L	L	Receiver buffer (read), transmitter holding register (write)
0	L	L	H	Interrupt enable
X	L	H	L	Interrupt identification (read only)
X	L	H	H	Line control
X	H	L	L	Modem control
X	H	L	H	Line status
X	H	H	L	Modem status
X	H	H	H	Scratch
1	L	L	L	Divisor latch (LSB)
1	L	L	H	Divisor latch (MSB)

† The divisor latch access bit (DLAB) is the most significant bit of the line control register. The DLAB signal is controlled by writing to this bit location (see Table 3).

Tabel 9/3.5-3: Selectie van de registers.

Receiver Buffer Register (RBR)

Het ontvanggedeelte van de ACE bestaat uit een ontvang-schuifregister (Receiver Shift Register) en een ontvang-bufferregister (Receiver Buffer Register). De timing is afkomstig van de 16X Receiver Clock (RCLK), zie ook figuur 9/3.5-8. De besturing van het ontvanggedeelte is een functie van het ACE Line Control Register.

Het ACE ontvang-schuifregister krijgt seriële data binnen via de serial input-pen (SIN) en zet deze data om in parallelle vorm en laadt die in het ontvang-bufferregister. Wanneer een karakter in het ontvang-bufferregister wordt gezet en de interrupt "ontvangen data beschikbaar" is vrijgegeven, wordt een interrupt gegenereerd. Deze interrupt verdwijnt als de data uit het ontvang-bufferregister wordt gelezen.

Transmitter Holding Register (THR)

Het zendgedeelte van de ACE bestaat uit een zend-houdregister (Transmitter Holding Register) en een zend-schuifregister (Transmitter Shift Register). De timing wordt geleverd door het Baud Out clock-signaal ($\overline{\text{BAUDOUT}}$), zie ook figuur 9/3.5-9. De besturing van het zendgedeelte is weer een functie van het ACE Line Control Register. Het ACE zend-houdregister ontvangt data van de interne databus en brengt die over naar het zend-schuifregister als dit register niet in gebruik is. Het zend-schuifregister zet de data om in seriële vorm en brengt die over naar de serial output-pen (SOUT). Als het zend-houdregister leeg is en de interrupt "zend-houdregister leeg" (THRE) is vrijgegeven, wordt een interrupt gegenereerd. Deze interrupt wordt verwijderd als een karakter in het register wordt geladen.

Interrupt Enable Register (IER)

Het interrupt enable register maakt elk van de vier typen interrupt (zie tabel 9/3.5-4) en het INTRPT-signaal als reactie op het opwekken van een interrupt mogelijk. Dit register kan ook worden gebruikt om het interruptsysteem te sperren door de bits 0 tot en met 3 op logisch 0 te zetten. De mogelijke inhouden van dit register staan in tabel 9/3.5-2.

Interrupt Identification Register (IIR)

Doordat het opwekken van de interrupts en het instellen van de prioriteiten op de chip zelf gebeurt, kan de ACE op een flexibele manier met de meeste microprocessoren samenwerken. De ACE levert interrupts op vier prioriteitsniveaus:

- Prioriteit 1:
  Receiver line status (hoogste prioriteit);
- Prioriteit 2:
  Receiver data ready;
- Prioriteit 1:
  Transmitter holding register empty;
- Prioriteit 1:
  Modem status (laagste prioriteit).

3.5 Type-beschrijving 16Cxxx-familie

INTERRUPT IDENTIFICATION REGISTER			PRIORITY LEVEL	INTERRUPT TYPE	INTERRUPT SOURCE	INTERRUPT RESET METHOD
BIT 2	BIT 1	BIT 0				
0	0	1	None	None	None	–
1	1	0	1	Receiver line status	Overrun error, parity error, framing error or break interrupt	Reading the line status register
1	0	0	2	Received data available	Receiver data available	Reading the receiver buffer Buffer register
0	1	0	3	Transmitter holding register empty	Transmitter holding register empty	Reading the interrupt identification register (if source of interrupt) or writing into the transmitter holding register
0	0	0	4	Modem status	Clear to send, data set ready, ring indicator, or data carrier detect	Reading the modem status register

Tabel 9/3.5-4: Interrupt control-functies.

Wanneer een interrupt wordt opgewekt, geeft het IIR in zijn drie minst belangrijke bits (bits 0, 1, 2) aan dat een interruptie hangt en het type ervan. De mogelijke inhoud van het register is te zien in tabel 9/3.5-2 en wordt beschreven in tabel 9/3.5-4.

Line Control Register (LCR)

De systeem-programmeur kan het formaat van de asynchrone data-communicatie instellen met behulp van het lijnbesturingsregister (Line Control Register). Bovendien kan de programmeur de inhoud van dit register opvragen, inspecteren en veranderen, waardoor het niet nodig is de lijnkarakteristieken apart in het systeemgeheugen op te slaan. De mogelijke inhouden van dit register zijn te zien in tabel 9/3.5-2.

- De bits 0 en 1 specificeren het aantal bits per verzonden of ontvangen karakter (zie tabel 9/3.5-5).
- Met bit2 wordt het aantal stopbits per karakter ingesteld. Is bit2 = 0, dan wordt één stopbit in de data gegenereerd. Bij bit2 = 1, is het aantal stopbits afhankelijk van de gekozen woordlengte (tabel 9/3.5-6). De ontvanger checkt alleen het eerste stopbit, onafhankelijk van het werkelijk gekozen aantal.

Bit 1	Bit 0	Word Length
0	0	5 Bits
0	1	6 Bits
1	0	7 Bits
1	1	8 Bits

Tabel 9/3.5-5: Met de bits 0 en 1 wordt de woordlengte gekozen.

Bit 2	Word Length Selected by Bits 1 and 2	Number of Stop Bits Generated
0	Any word length	1
1	5 bits	1 1/2
1	6 bits	2
1	7 bits	2
1	8 bits	2

Tabel 9/3.5-6: Selectie van het aantal stopbits bij een gekozen woordlengte.

- Bit3 is het pariteit-enable bit. Als bit3 logisch 1 is, wordt een pariteitsbit opgewekt

in de verzonden data tussen het laatste datawoord-bit en het eerste stopbit. Van de ontvangen data wordt de pariteit gecheckt als bit3 logisch 1 is. Wanneer bit3 = 0 is, wordt geen pariteit gegenereerd of gecheckt.
- Bit4 is het select-bit voor even pariteit. Als pariteit is vrijgegeven door bit3, produceert een logische 1 in bit4 even pariteit en een logische 0 in bit4 oneven pariteit (een oneven aantal logische enen).
- Bit5 is het stick pariteitsbit. Als bits 3, 4 en 5 logisch 1 zijn, wordt het pariteitsbit verzonden en gecheckt als een logische 0. Als bits 3 en 5 logisch 1 zijn en bit4 logisch 0, wordt het pariteitsbit verzonden en gecheckt als een logische 1.
- Bit6 is het break-controlbit. Bit6 wordt op logisch 1 gezet om een break-conditie te forceren, dat wil zeggen een conditie waarbij de SOUT-pen in de space-toestand (logisch 0) wordt gedwongen. Wanneer bit6 = 0 is, wordt de break-conditie gesperd. De break-conditie heeft geen invloed op de zendlogika, maar alleen op het seriële uitgangssignaal.
- Bit7 is het divisor latch access-bit (DLAB). Bit7 moet op logisch 1 worden gezet om toegang te verkrijgen tot de deel-latches van de baud-generator tijdens het lezen of schrijven. Om het ontvang-bufferregister, het zend-houdregister of het interrupt-enable register gedurende lezen of schrijven te bereiken moet bit7 = 0 zijn.

Modem Control Register (MCR)

Het modem control register is een 8 bit register dat een interface met een modem, dataset of randapparaat dat een modem emuleert bestuurt. De mogelijke inhoud van dit register is weer te zien in tabel 9/3.5-2.
- Bit0 bestuurt de data terminal ready (DTR) uitgang. Een logische 1 brengt de DTR-uitgang in zijn aktieve (LAGE) toestand. Als bit0 logisch 0 is, gaat DTR HOOG.
- Bit1 bestuurt de request to send RTS uitgang op dezelfde manier als bit0 doet met DTR.
- Bit2 regelt op dezelfde wijze het output 1-signaal (OUT1) dat een door de gebruiker ingestelde functie heeft.
- Bit3 bestuurt het OUT2-signaal, ook door de gebruiker in te stellen.
- Bit4 voorziet in een lokale loopback voor diagnostische test van de ACE. Als bit4 HOOG is, gebeurt het volgende:
  - De transmitter serial output (SOUT) wordt HOOG gezet.
  - De receiver serial input (SIN) wordt losgemaakt.
  - De uitgang van het zend-schuifregister wordt teruggekoppeld naar de ingang van het ontvangschuifregister.
  - De modem-besturingsingangen (CTS, DSR, DCD en RI) worden losgekoppeld.
  - De modem-besturingsuitgangen (DTR, RTS, OUT1 en OUT2) worden intern verbonden met de modem-besturingsingangen.
  - De vier modem-besturingsuitgangspennen worden aktief (HOOG) gemaakt.

In de diagnostische mode wordt data, die wordt verzonden, onmiddellijk ontvangen. Hierdoor kan de processor de zend en ontvang datapaden naar de ACE verifiëren.
De interrupts van ontvanger en zender zijn volledig operationeel. Ook de interrupts van de modembesturing zijn operationeel, maar de interrupt-bronnen van de modembesturing zijn nu de laagste vier bits van het modem control register in plaats van de vier modem-control ingangen. Alle interrupts worden nog steeds bestuurd door het interrupt enable-register.
- De bits 5, 6 en 7 worden op logisch 0 gezet.

Line Status Register (LSR)

Het lijn-statusregister (Line Status Register) wordt normaal alleen uitgelezen. Het verschaft de CPU informatie over de status van de data-overdrachten.

3.5 Type-beschrijving 16Cxxx-familie

De mogelijke inhoud van dit register wordt getoond in tabel 9/3.5-2.

- Bit0 is de data ready (DR) indicator van de ontvanger. Wanneer een compleet karakter is ontvangen en overgebracht naar het ontvang-bufferregister wordt bit0 logisch 1. Wordt het ontvang-bufferregister uitgelezen dan wordt bit0 weer logisch 0.
- Bit1 is de overrun (OE) indicator. Wanneer bit1 = 1 is, betekent dit dat het karakter in het ontvang-bufferregister door het volgende karakter werd overschreven voordat het werd uitgelezen. De OE-indicator wordt iedere keer gereset als de CPU de inhoud van het lijn-statusregister leest.
- Bit2 is de indicator voor pariteitsfouten (PE). Bit2 wordt logisch 1 als de pariteit van het ontvangen data-karakter niet overeenkomt met de pariteit die in het lijn-besturingsregister (bit4) werd gekozen. Ook de PE-bit wordt gereset, telkens als de CPU de inhoud van het lijnstatusregister leest.
- Bit3 is de framing-error (FE) indicator. Wanneer dit bit logisch 1 wordt, wil dat zeggen dat het ontvangen karakter geen geldig (logisch 1) stopbit had. Het FE-bit wordt iedere keer gereset als de CPU de inhoud van het lijn-statusregister leest.
- Bit4 is de break interrupt (BI) indicator. Als dit bit logisch 1 wordt, werd de received data-ingang langer op logisch 0 gehouden dan de transmissietijd van een volledig woord (= de totale tijd voor start-, data-, pariteit en stop-bits). Het BI-bit wordt bij elke uitlezing van het lijn-statusregister gereset.
- Bit5 is de transmitter holding register empty (THRE) indicator en wordt logisch 1 als het zend-houdregister leeg is om aan te geven dat de ACE klaar staat om een nieuw karakter te ontvangen. Als de THRE interrupt is vrijgegeven wanneer het THRE-bit logisch 1 is, wordt een interrupt gegenereerd. THRE gaat naar logisch 1 op het moment dat de inhoud van het zend-houdregister wordt overgebracht naar het zend-schuifregister. THRE wordt gereset wanneer het register door de CPU wordt geladen.
- Bit6 is de transmitter empty (TEMT) indicator die logisch 1 wordt wanneer zowel het zend-houdregister als het zendschuifregister leeg zijn. Zodra één van beide registers een data-karakter bevat wordt het TEMT-bit weer logisch 0.
- Bit7 staat altijd op logisch 0.

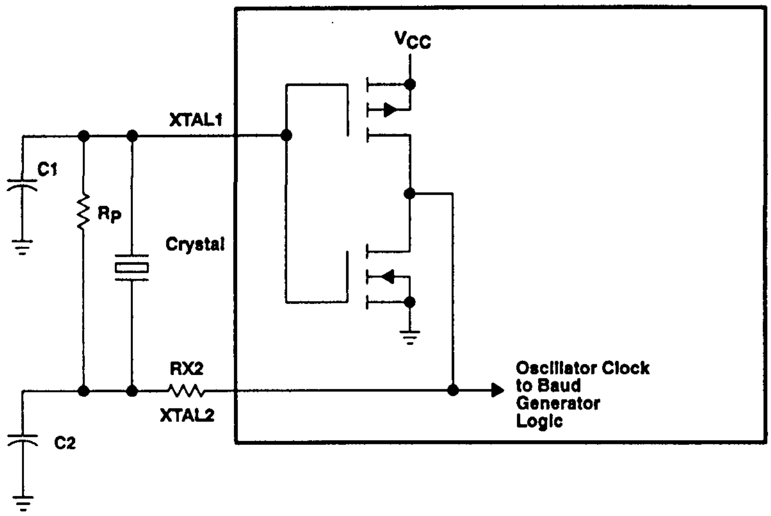
Modem Status Register (MSR)

Het modem status register is een 8 bit register dat de CPU informatie levert over de huidige toestand van de besturingslijnen van de modem, de data-set of een randapparaat. Bovendien worden veranderingen door vier bits van dit register gemeld: wanneer een besturingssignaal van de modem van toestand verandert, gaat het overeenkomstig bit naar logisch 1.

Wanneer het modem status register door de CPU wordt uitgelezen, resetten alle vier bits naar logisch 0. Tabel 9/3.5-2 geeft weer een overzicht van de mogelijke inhouden van dit register.

- Bit0 is de delta clear to send (DCTS) indicator. Hiermee wordt aangegeven dat de $\overline{CTS}$-ingang van toestand is veranderd sinds de laatste keer dat deze werd uitgelezen. Wanneer de DCTS-bit logisch 1 is en de modem-status interrupt is vrijgegeven, wordt een modem-status interrupt gegenereerd.
- Bit1 is de delta data set ready (DDSR) indicator, deze geeft aan dat de $\overline{DSR}$-ingang na de laatste uitlezing van toestand is veranderd. Wanneer de DDSR-bit logisch 1 en de modem-status interrupt is vrijgegeven, wordt een modem-status interrupt gegenereerd.
- Bit2 is de trailing edge of ring indicator (TERI) detector. Dit bit geeft aan dat de $\overline{RI}$-ingang naar de chip is veranderd van een LAGE in een HOGE toestand. Wanneer het TERI-bit logisch 1 is, terwijl de modem-status interrupt is vrijgegeven, wordt een modem-status interrupt gegenereerd.

3.5 Type-beschrijving 16Cxxx-familie

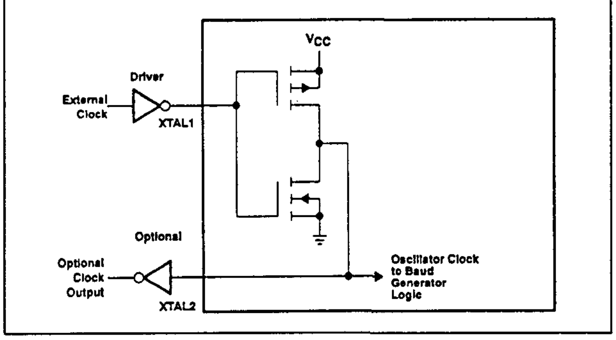


TYPICAL CRYSTAL OSCILLATOR NETWORK

CRYSTAL	Rp	RX2	C1	C2
3.1 MHz	1 MΩ	1.5 kΩ	10–30 pF	40–60 pF
1.8 MHz	1 MΩ	1.5 kΩ	10–30 pF	40–60 pF

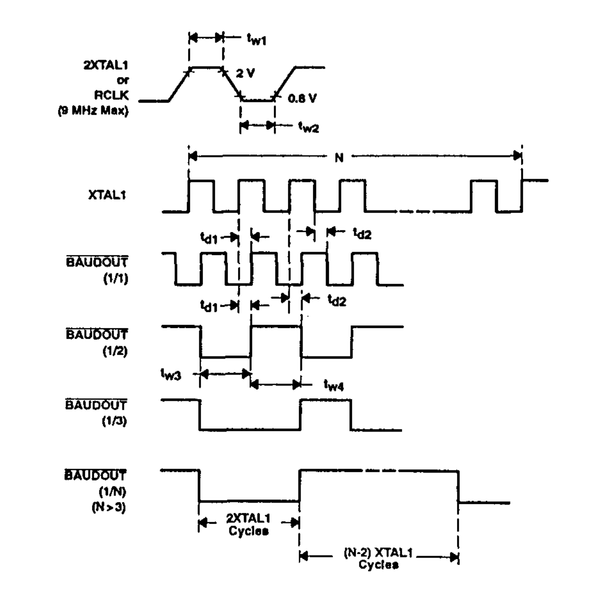
Figuur 9/3.5-3: Aansturing van de baud-generator door een kristal.

- Bit3 is de delta data carrier detect (DDCD) indicator. Hiermee wordt aangegeven dat het $\overline{DCD}$-signaal naar de chip van toestand is veranderd sinds de laatste keer dat bit3 door de CPU werd uitgelezen. Wanneer de modem-status interrupt is vrijgegeven en het DDCD-bit naar logisch 1 gaat, wordt een modem-status interrupt gegenereerd.
- Bit4 is het complement van de clear to send ($\overline{CTS}$) ingang. Als bit4 (loop) van het modem-besturingsregister logisch 1 wordt, is dit bit equivalent aan het modem-besturingsregister-bit1 (RTS).
- Bit5 is het complement van het data set ready ($\overline{DSR}$)-signaal. Als bit4 (loop) van het modem-besturingsregister logisch 1 is gemaakt, is dit bit equivalent aan het modem-besturingsregister-bit0 (DTR).
- Bit6 is het complement van het ring indicator ($\overline{RI}$)-signaal. Als bit4 (loop) van het modem-besturingsregister logisch 1 wordt, is dit bit equivalent aan het modem-besturingsregister-bit2 (OUT1).
- Bit7 is het complement van de data carrier detect ($\overline{DCD}$)-ingang.
  Als bit4 (loop) van het modem-besturingsregister logisch 1 is, is dit bit equivalent aan het modem-besturingsregister bit3 (OUT2).



Figuur 9/3.5-4: Aansluiting van de baud-generator op een externe clock.

3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-5: Timing van de baud-generator.

DESIRED BAUD RATE	DIVISOR USED TO GENERATE 16 X CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	2304	
75	1536	
110	1047	0.026
134.5	857	0.058
150	768	
300	384	
600	192	
1200	96	
1800	64	
2000	58	0.69
2400	48	
3600	32	
4800	24	
7200	16	
9600	12	
19200	6	
38400	3	
56000	2	2.86

Tabel 9/3.5-7: Baud-rates bij gebruik van een 1,8432 MHz kristal.

Scratch Register (SCR)

Het scratch register is een 8 bit register dat door de gebruiker kan worden gebruikt als een kladpapiertje: hierin kan tijdelijk data worden opgeslagen zonder dat het de werking van de ACE beïnvloedt.

DESIRED BAUD RATE	DIVISOR USED TO GENERATE 16 X CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	3840	
75	2560	
110	1745	0.026
134.5	1428	0.034
150	1280	
300	640	
600	320	
1200	160	
1800	107	0.312
2000	96	
2400	80	
3600	53	0.628
4800	40	
7200	27	1.23
9600	20	
19200	10	
38400	5	

Tabel 9/3.5-8: Baud-rates wanneer een 3,072 MHz kristal wordt gebruikt.

Programmable Baud Generator

De ACE bevat een programmeerbare baud-generator die clock-signalen tussen 0 (DC) en 9 MHz accepteert en deze deelt door een getal tussen 1 en (2^{16}-1). De uitgangsfrequentie is zestien maal (16X) de baud-rate. In figuur 9/3.5-3 is te zien hoe een kristal op de XTAL1 en XTAL2 ingangen moet worden aangesloten. Uiteraard kan ook van een reeds aanwezige clock gebruik worden gemaakt (figuur 9/3.5-4). De timing van de baud-generator wordt getoond in figuur 9/3.5-5. Twee 8 bit registers (deler-latches) worden gebruikt voor de opslag van de deler in een 16 bit binair formaat. Deze latches moeten gedurende de initialisatie van de ACE worden geladen om de baud-generator correct te laten werken.

Wanneer één van beide latches wordt geladen, wordt ook een 16 bit baud-teller geladen om te lang tellen aan het begin van het laden te vermijden.

In de tabellen 9/3.5-7 en -8 zijn de baud-rates bij kristalfrequenties van 1,8432 respectievelijk 3,072 MHz te zien.

Overige kenmerken

Tenslotte zijn in tabel 9/3.5-9 de reset-functies van de ACE te zien.

3.5 Type-beschrijving 16Cxxx-familie

REGISTER/SIGNAL	RESET CONTROL	RESET STATE
Interrupt Enable Register	Master Reset	All bits low (0–3 forced and 4–7 permanent)
Interrupt Identification Register	Master Reset	Bit 0 is high, bits 1 and 2 are low, and bits 3–7 are permanently low
Line Control Register		All bits low
Modem Control Register	Master Reset	All bits low
Line Status Register	Master Reset	Bits 5 and 6 are high, all other bits are low
Modem Status Register	Master Reset	Bits 0–3 are low, bits 4–7 are input signals
SOUT	Master Reset	High
INTRPT (receiver error flag)	Read LSR/MR	Low
INTRPT (received data available)	Read RBR/MR	Low
INTRPT (transmitter holding register empty)	Read IIR/Write THR/MR	Low
INTRPT (modem status changes)	Read MSR/MR	Low
$\overline{\text{OUT 2}}$	Master Reset	High
$\overline{\text{RTS}}$	Master Reset	High
$\overline{\text{DTR}}$	Master Reset	High
$\overline{\text{OUT 1}}$	Master Reset	High
Scratch Register	Master Reset	No effect
Divisor Latch (LSB and MSB) Register	Master Reset	No effect
Receiver Buffer Register	Master Reset	No effect
Transmitter Holding Register	Master Reset	No effect

Tabel 9/3.5-9: De reset-functies van de ACE.

Supply voltage range, V_{CC} (see Note 1) .... −0.5 V to 7 V
Input voltage range at any input, V_I .... −0.5 V to 7 V
Output voltage range, V_O .... −0.5 V to 7 V
Continuous total dissipation at (or below) 70°C free-air temperature: FN package .... 1100 mW
N package .... 800 mW
Operating free-air temperature range .... 0°C to 70°C
Storage temperature range .... −65°C to 150°C
Case temperature for 10 seconds: FN package .... 260°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: N package .... 260°C

NOTE 1: All voltage values are with respect to V_{SS}.

Tabel 9/3.5-10: Maximaal toegelaten waarden.

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.75	5	5.25	V
High-level input voltage, V_{IH}	2		V_{CC}	V
Low-level input voltage, V_{IL}	−0.5		0.8	V
Operating free-air temperature, T_A	0		70	°C

Tabel 9/3.5-11: Aanbevolen bedrijfscondities.

De overige elektrische en timing karakteristieken van de ACE TL16C450 van Texas Instruments zijn opgenomen in de tabellen 9/3.5-10 tot en met 9/3.5-18 en de figuren 9/3.5-6 tot en met 9/3.5-10.
Tenslotte tonen de figuren 9/3-5-11, -12 en -13 nog aanvullende informatie over hoe de ACE in de praktijk kan worden aangesloten.

3.5 Type-beschrijving 16Cxxx-familie

PARAMETER		TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{OH}‡	High-level output voltage	I_{OH} = −1 mA		2.4			V
V_{OL}‡	Low-level output voltage	I_{OL} = 1.6 mA				0.4	V
I_{lkg}	Input leakage current	V_{CC} = 5.25 V, V_I = 0 to 5.25 V,	V_{SS} = 0, All other pins floating			±10	µA
I_{OZ}	High-impedance output current	V_{CC} = 5.25 V, V_O = 0 V to 5.25 V,	V_{SS} = 0, Chip selected, write mode, or chip deselected			±20	µA
I_{CC}	Supply current	V_{CC} = 5.25 V, SIN, DSR, DCD, CTS, and RI at 2 V, All other inputs at 0.8 V, No load on outputs,	T_A = 25°C, XTAL1 at 4 MHz, Baud rate = 50 kb/s			10	mA
C_{XTAL1}	Clock input capacitance	V_{CC} = 0, f = 1 MHz, All other pins grounded	V_{SS} = 0, T_A = 25°C,		15	20	pF
C_{XTAL2}	Clock output capacitance				20	30	pF
C_I	Input capacitance				6	10	pF
C_O	Output capacitance				10	20	pF

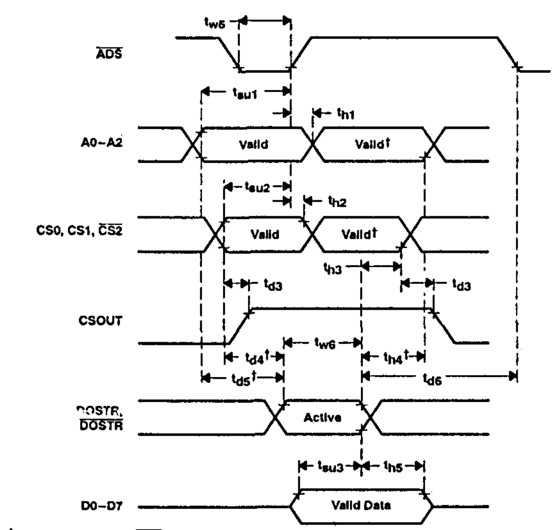
† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ These parameters apply for all outputs except XTAL2.

Tabel 9/3.5-12: Elektrische kenmerken onder de aanbevolen bedrijfscondities.

PARAMETER		MIN	MAX	UNIT
t_{cR}	Cycle time, read (t_{w7} + t_{d8} + t_{d9})	175		ns
t_{cW}	Cycle time, write (t_{w6} + t_{d5} + t_{d6})	175		ns
t_{w5}	Pulse duration, address strobe low	15		ns
t_{w6}	Pulse duration, write strobe	80		ns
t_{w7}	Pulse duration, read strobe	80		ns
t_{wMR}	Pulse duration, master reset	1000		ns
t_{su1}	Setup time, address	15		ns
t_{su2}	Setup time, chip select	15		ns
t_{su3}	Setup time, data	15		ns
t_{h1}	Hold time, address	0		ns
t_{h2}	Hold time, chip select	0		ns
t_{h3}	Hold time, write to chip select	20		ns
t_{h4}	Hold time, write to address	20		ns
t_{h5}	Hold time, data	15		ns
t_{h6}	Hold time, read to chip select	20		ns
t_{h7}	Hold time, read to address	20		ns
t_{d4}§	Delay time, select to write	15		ns
t_{d5}§	Delay time, address to write	15		ns
t_{d6}	Delay time, write cycle	80		ns
t_{d7}§	Delay time, chip select to read	15		ns
t_{d8}§	Delay time, address to read	15		ns
t_{d9}	Delay time, read cycle	80		ns

§ Only applies when ADS is low.

Tabel 9/3.5-13: Eisen die bij toepassing van de 16C450 aan de timing van het systeem gesteld worden (zie ook de figuren 9/3.5-6 en -7).



† Applicable only when ADS is tied low.

Figuur 9/3.5-6: Timing van een schrijfcyclus.

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_{w1}	Pulse duration, clock high	f = 9 MHz maximum	50		ns
t_{w2}	Pulse duration, clock low	f = 9 MHz maximum	50		ns
t_{d3}	Delay time, select to CS output	C_L = 100 pF		70	ns
t_{d10}	Delay time, read to data	C_L = 100 pF		60	ns
t_{d11}	Delay time, read to floating data	C_L = 100 pF	0	50	ns
$t_{dis(R)}$	Read to driver disable	C_L = 100 pF		60	ns

Tabel 9/3.5-14: Schakeltijden in het systeem.

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_{w3}	Pulse duration, BAUDOUT low	f = 6.25 MHz, CLK ÷ 1, C_L = 100 pF	80		ns
t_{w4}	Pulse duration, BAUDOUT high	f = 6.25 MHz, CLK ÷ 1, C_L = 100 pF	80		ns
t_{d1}	Delay time, BAUDOUT low to high	C_L = 100 pF		125	ns
t_{d2}	Delay time, BAUDOUT high to low	C_L = 100 pF		125	ns

Tabel 9/3.5-15: Schakeltijden voor de baud-generator.

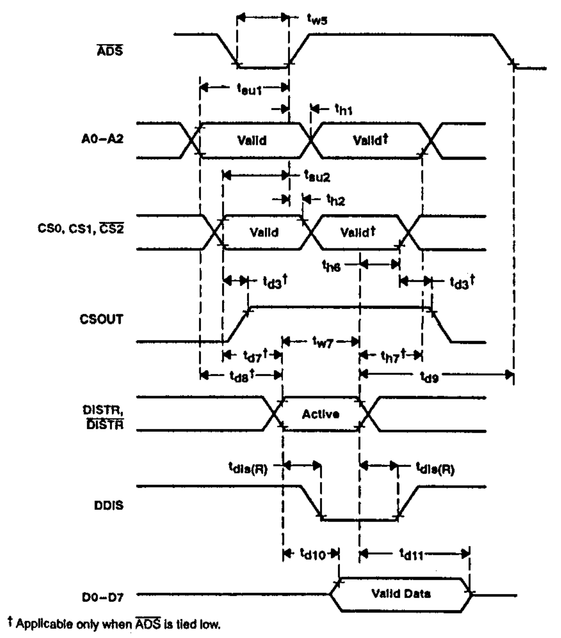
3.5 Type-beschrijving 16Cxxx-familie

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_{d12}	Delay time, RCLK to sample			100	ns
t_{d13}	Delay time, stop to set interrupt		1	1	RCLK cycles
t_{d14}	Delay time, read RBR/LSR to reset interrupt	C_L = 100 pF		140	ns

Tabel 9/3.5-16: Schakeltijden van het ontvanggedeelte (zie figuur 9/3.5-8).

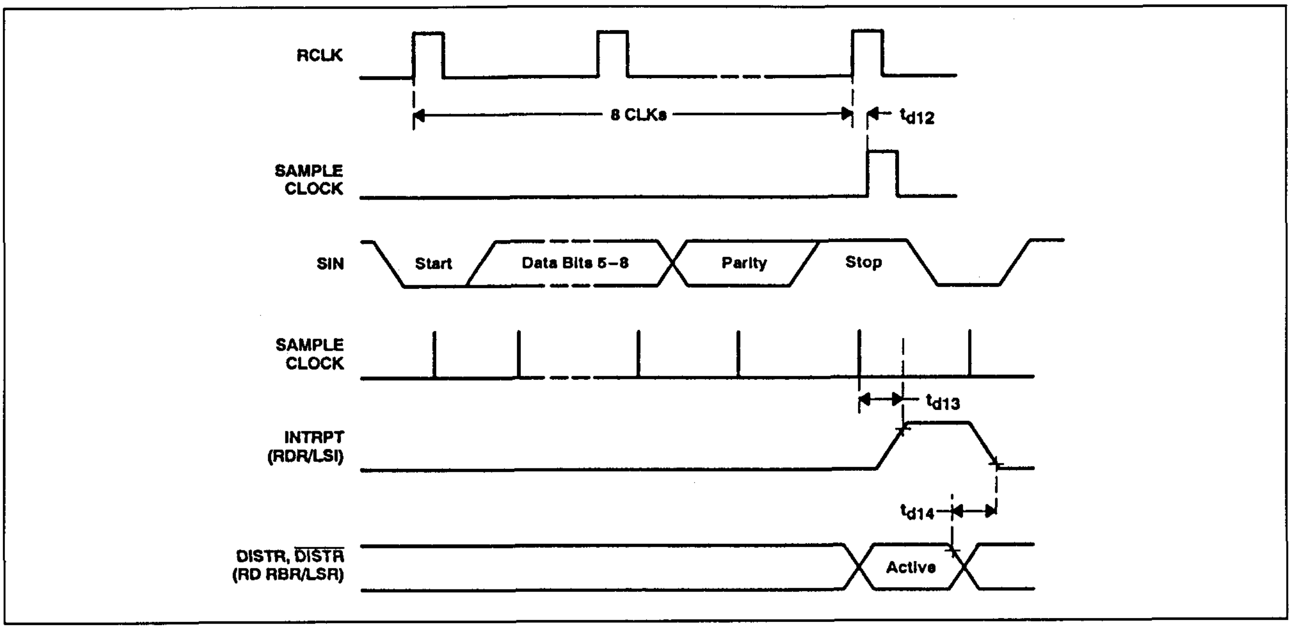
PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_{d15}	Delay time, initial write THR to transmit start		8	24	baudout cycles
t_{d16}	Delay time, stop to interrupt		8	8	baudout cycles
t_{d17}	Delay time, write THR to reset interrupt	C_L = 100 pF		140	ns
t_{d18}	Delay time, initial write to interrupt (THRE)		16	32	baudout cycles
t_{d19}	Delay time, read IIR to reset interrupt (THRE)	C_L = 100 pF		140	ns

Tabel 9/3.5-17: Schakeltijden van het zendgedeelte (zie figuur 9/3.5-9).

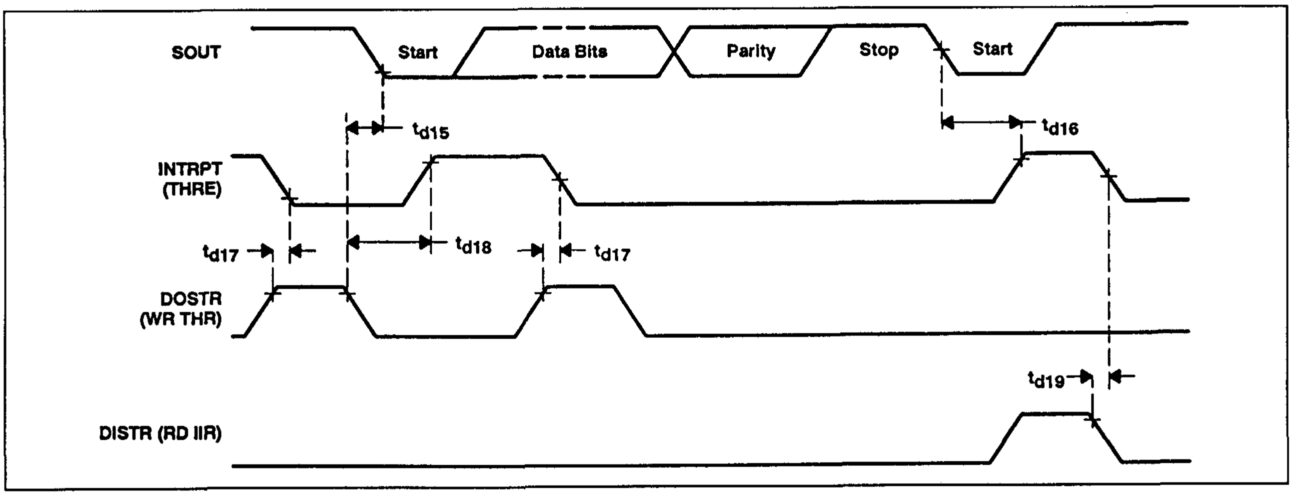


Figuur 9/3.5-7: Timing van een leescyclus.

3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-8: Timing van de ontvanger.

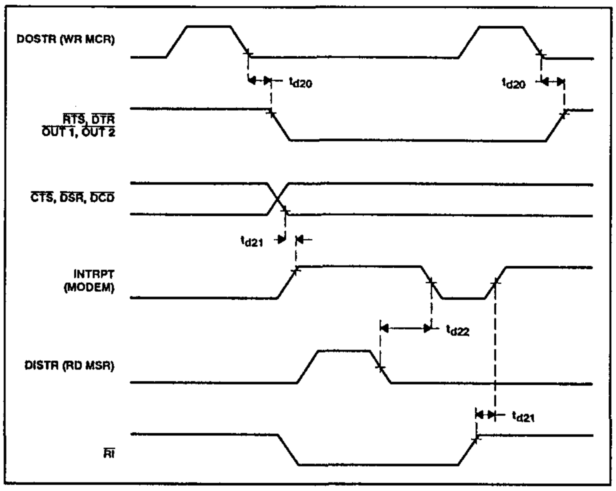


Figuur 9/3.5-9: Timing van de zender.

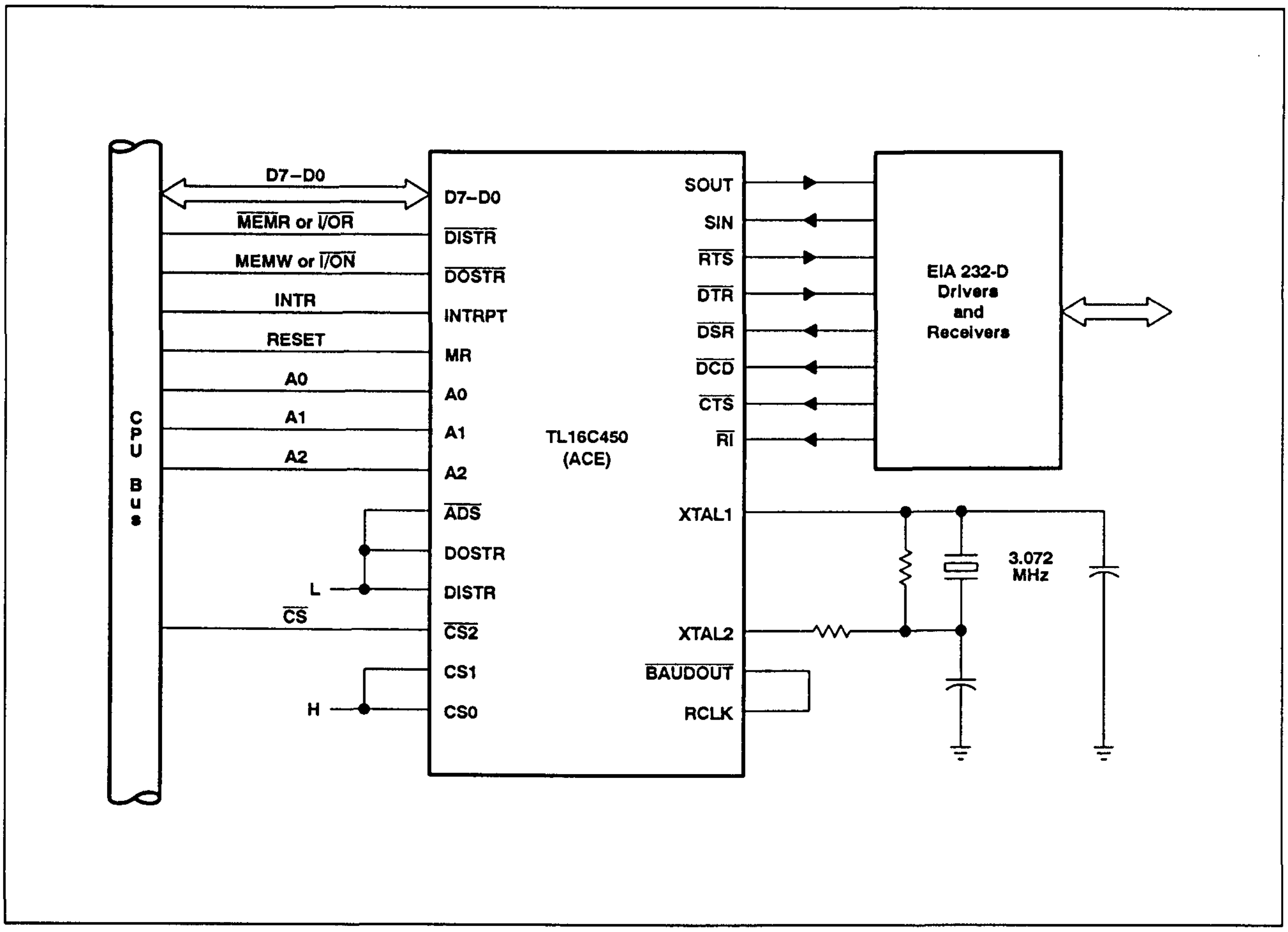
	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
t_{d20}	Delay time, write MCR to output	C_L = 100 pF		100	ns
t_{d21}	Delay time, modem input to set interrupt	C_L = 100 pF		170	ns
t_{d22}	Delay time, read MSR to reset interrupt	C_L = 100 pF		140	ns

Tabel 9/3.5-18: Schakeltijden voor de besturing van de modem (zie ook figuur 9/3.5-10).

3.5 Type-beschrijving 16Cxxx-familie

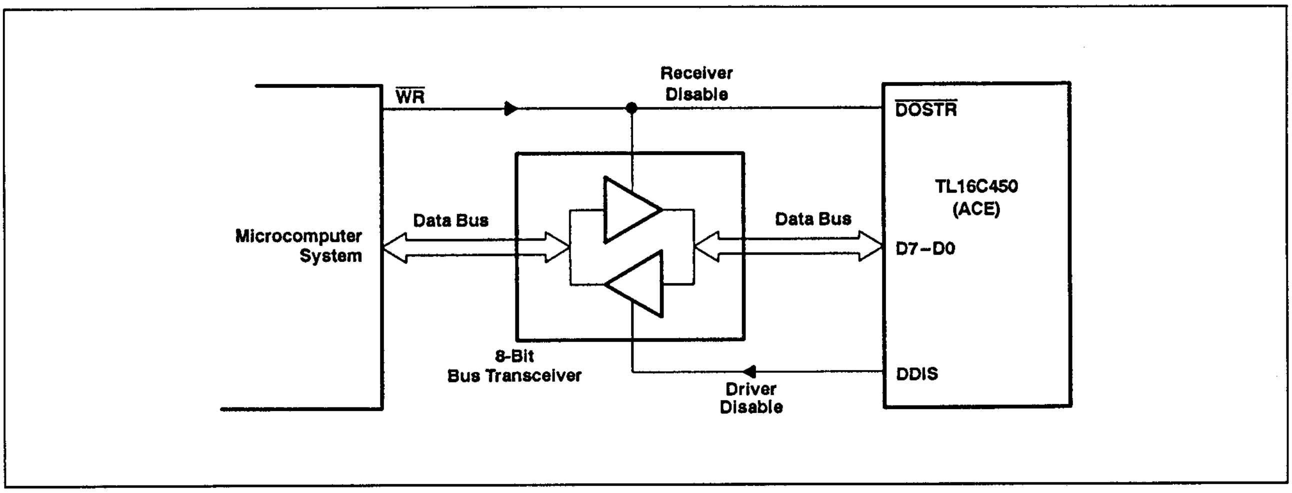


Figuur 9/3.5-10: Timing van de modem.

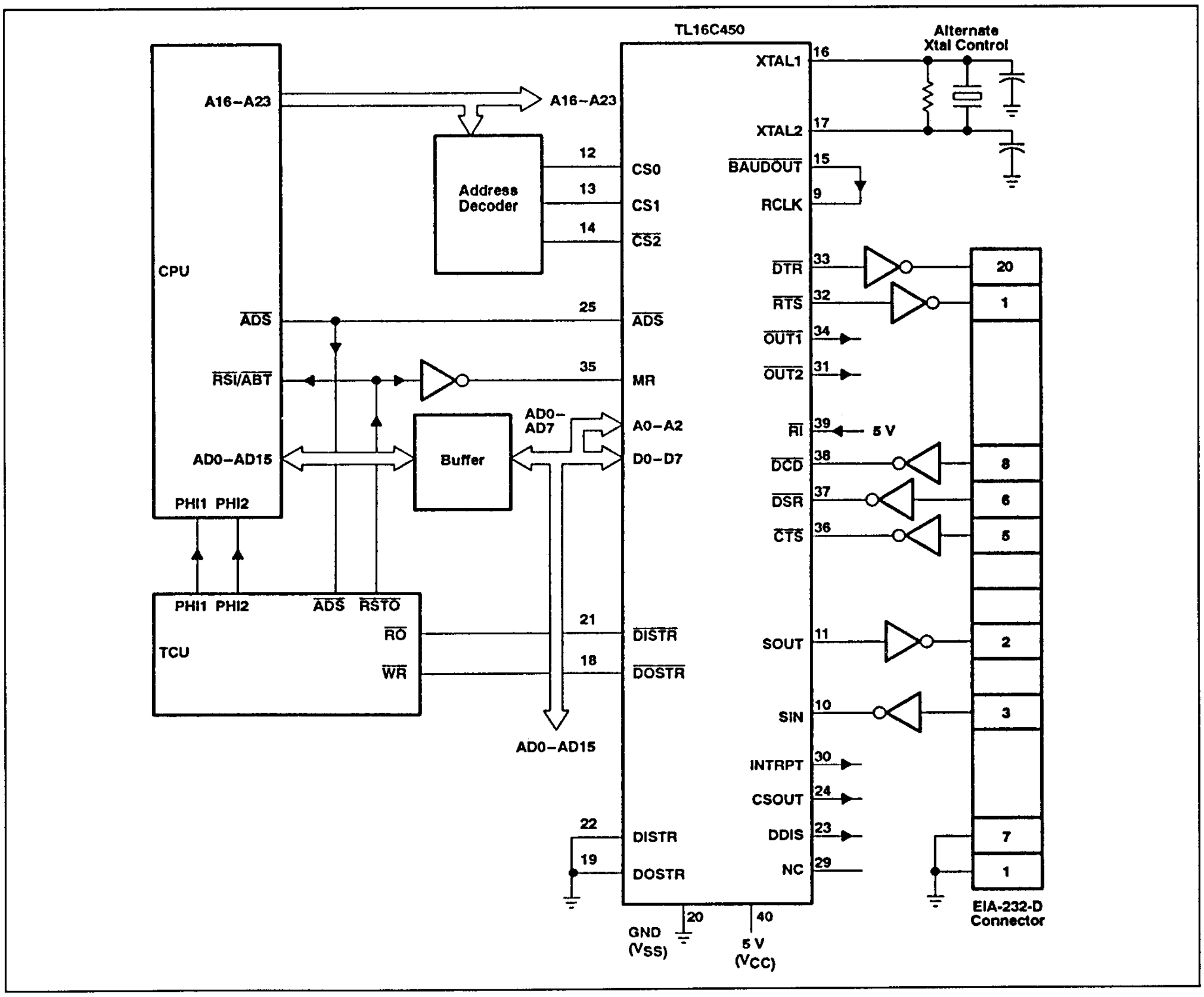


Figuur 9/3.5-11: Principiële configuratie rond de 16C450.

3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-12: Aansluiting op een snelle databus.



Figuur 9/3.5-13: Toepassingsvoorbeeld van aansluiting van de ACE op een CPU.

16C451, 16C452

enkel, respectievelijk dubbel asynchroon communicatie element (ACE) met Centronics-interface

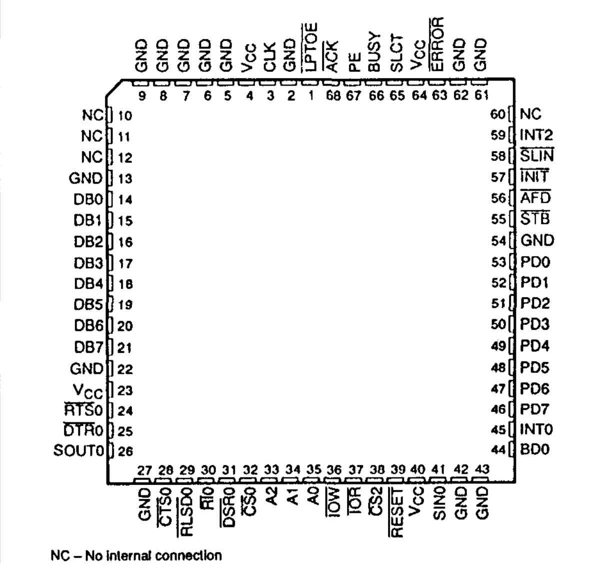
De 16C451 is in feite een 16C450 universele asynchrone zender/ontvanger met modembesturing (UART), uitgebreid met een Centronics printer-interface (zie ook blokschema figuur 9/3.5-15). De 16C452 is de dubbele uitvoering hiervan: twee maal 16C450 plus Centronics printer-interface (figuur 9/3.5-17). De seriële interfaces zetten de seriële data, afkomstig van een randapparaat of een modem, om in parallelle data voor de CPU en omgekeerd.

De parallelle interface vormt een bidirectionele parallelle data-poort die volledig voldoet aan de eisen die door een printer van het Centronics-type worden gesteld. Een CPU kan te allen tijde de status van het Asynchrone Communicatie Element (ACE) opvragen. Hieronder wordt onder andere verstaan:

- de toestand van de modem-signalen ($\overline{CTS}$, $\overline{DSR}$, $\overline{RLSD}$ en RI) en eventuele veranderingen van deze signalen sinds de laatste keer dat deze werden uitgelezen;
- de toestand van de zender en ontvanger, inclusief foutmeldingen en status van de printer.

Kenmerken van de 16C451 en 16C452

- kan bijna alle communicatie-functies van IBM PC/AT met één- of tweekanaals seriële poorten uitvoeren
- 16C451:
- één 16C450 + Centronics printer-interface
  behuizing: 68-pens PLCC
  (figuur 9/3.5-14)
- 16C452:
- twee 16C450's + Centronics-interface
  behuizing: 68-pens PLCC
  (figuur 9/3.5-16)
- programmeerbare baud-rate generator (0 tot 256 kb/s)
- dubbele buffering voor asynchroon bedrijf
- programmeerbare seriële karakters: 5, 6, 7 of 8 bit
- genereren/detecteren van even, oneven of geen pariteitsbit
- programmeerbaar: 1, 1,5 of 2 stopbits
- fabrikanten:
  NatSemi: NS16451
  Startech: ST16C452
  Texas Instruments:
  TL16C451, TL16C452
  VLSI Technology: VL16C452
  Western Digital: WD16C452
  Exar: XR-16C452



Figuur 9/3.5-14: Aansluitingen van de 16C451.

Functionele beschrijving

Aan de hand van tabel 9/3.5-20 (overzicht van de toegankelijke registers en betekenis van de bits hierin) worden alle functies van de 16C451/452 beschreven. Deze registers zijn via de CPU bereikbaar en dienen om de ACE-operaties te besturen en de datacommunicatie. De adressering van deze registers gebeurt met de adreslijnen A0, A1 en A2 en DLAB (Divisor Latch Access Bit: de belangrijkste bit (MSB) van het Line Control Register, zie tabel 9/3.5-21).

3.5 Type-beschrijving 16Cxxx-familie

PIN NAME†	PIN NO.	I/O	DESCRIPTION
A0 A1 A2	35 34 33	I	Register select. Three inputs used during read and write operations to select the register to read from or write to. Refer to Table 1 for register addresses, also refer to the chip select signals ($\overline{\text{CS}}$0, $\overline{\text{CS}}$1, $\overline{\text{CS}}$2).
$\overline{\text{ACK}}$	68	I	Line printer acknowledge. This input goes low to indicate a successful data transfer has taken place. It generates a printer-port interrupt during its positive transition.
$\overline{\text{AFD}}$	56	I/O	Line printer autofeed. This open-drain line provides the line printer with a low signal when continuous-form paper is to be autofed to the printer. An internal pullup is provided.
BDO	44	O	Bus buffer output. This output is active (high) when the CPU is reading data. When active, this output can be used to disable an external transceiver.
BUSY	66	I	Line printer busy. This is an input line from the line printer that goes high when the line printer is not ready to accept data.
CLK	4	I/O	External clock. Connects the ACE to the main timing reference.
$\overline{\text{CS}}$0 $\overline{\text{CS}}$1 [V_{CC}] $\overline{\text{CS}}$2	32 3 38	I	Chip selects. Each chip select enables read and write operations to its respective channel. $\overline{\text{CS}}$0 and $\overline{\text{CS}}$1 select serial channels 0 and 1, respectively, and $\overline{\text{CS}}$2 selects the parallel port.
$\overline{\text{CTS}}$0 $\overline{\text{CTS}}$1 [GND]	28 13	I	Clear to send. $\overline{\text{CTS}}$ is an active-low modem status signal whose state can be checked by reading bit 4 (CTS) of the modem status register. Bit 0 (DCTS) of the modem status register indicates that this signal has changed state since the last read from the modem status register. If the modem status interrupt is enabled when $\overline{\text{CTS}}$ changes state, an interrupt is generated.
DB0 DB1 DB2 DB3 DB4 DB5 DB6 DB7	14 15 16 17 18 19 20 21	I/O	Data bus. Eight 3-state data lines provide a bidirectional path for data, control, and status information between the TL16C451/TL16C452 and the CPU. DBO is the least significant bit (LSB).
$\overline{\text{DSR}}$0 $\overline{\text{DSR}}$1 [GND]	31 5	I	Data set ready. $\overline{\text{DSR}}$ is an active-low modem status signal whose state can be checked by reading bit 5 (DSR) of the modem status register. Bit 1 (DDSR) of the modem status register indicates that this signal has changed state since the last read from the modem status register. If the modem status interrupt is enabled when the $\overline{\text{DSR}}$ changes state, an interrupt is generated.
$\overline{\text{DTR}}$0 $\overline{\text{DTR}}$1 [NC]	25 11	O	Data terminal ready. When active (low), $\overline{\text{DTR}}$ informs a modem or data set that the ACE is ready to establish communication. $\overline{\text{DTR}}$ is placed in the active state by setting the DTR bit of the modem control register to a high level. $\overline{\text{DTR}}$ is placed in the inactive state either as a result of a reset or during loop mode operation or resetting bit 0 (DTR) of the modem control register.
$\overline{\text{ERROR}}$	63	I	Line printer error. This is an input line from the line printer. The line printer reports an error by holding this line low during the error condition.
$\overline{\text{INIT}}$	57	I/O	Line printer initialize. This open-drain line provides the line printer with a signal that allows the line printer initialization routine to be started. An internal pullup is provided.
INT0 INT1 [NC]	45 60	O	Interrupt. INTn is an active-high 3-state output that is enabled by bit 3 of the MCR. When active, INTn informs the CPU that the ACE has an interrupt to be serviced. Four conditions that cause an interrupt to be issued are: a receiver error, received data is available, the transmitter holding register is empty, and an enabled modem status interrupt. The INTn output is reset (low) either when the interrupt is serviced or as a result of a reset.
INT2	59	O	Printer port interrupt. This signal is an active-high 3-state output generated by the positive transition of $\overline{\text{ACK}}$. It is enabled by bit 4 of the write control register.
$\overline{\text{IOR}}$	37	I	Data read strobe. When $\overline{\text{IOR}}$ input is active (low) while the ACE is selected, the CPU is allowed to read status information or data from a selected ACE register.
$\overline{\text{IOW}}$	66	I	Data write strobe. When $\overline{\text{IOW}}$ input is active (low) while the ACE is selected, the CPU is allowed to write control words or data into a selected ACE register.

† Names shown in brackets are for the TL16C451.

Tabel 9/3.5-19a: Functies van de aansluitpennen (tussen haken: aansluitingen van de 16C451).

3.5 Type-beschrijving 16Cxxx-familie

PIN NAME†	PIN NO.	I/O	DESCRIPTION
$\overline{LPTOE}$	1	I	Parallel data output enable. When low, this signal enables the write data register to the PD0–PD7 lines. A high puts the PD0–PD7 lines in the high-impedance state allowing them to be used as inputs. $\overline{LPTOE}$ is usually tied low for line printer operation.
PD0–PD7	53–46	I/O	Parallel data bits (0–7). These eight lines provide a byte-wide input or output port to the system. The eight lines are held in a high-impedance state when $\overline{LPTOE}$ is high.
PE	67	I	Line printer paper empty. This is an input line from the line printer that goes high when the printer runs out of paper.
$\overline{RESET}$	39	I	Reset. When active (low), $\overline{RESET}$ clears most ACE registers and sets the state of various output signals. Refer to Table 2.
$\overline{RI}$0 $\overline{RI}$1 [GND]	30 6	I	Ring indicator. $\overline{RI}$ is an active-low modem status signal whose state can be checked by reading bit 6 (RI) of the modem status register. Bit 2 (TERI) of the modem status register indicates that the $\overline{RI}$ input has transitioned from a low to a high state since the last read from the modem status register. If the modem status interrupt is enabled when this transition occurs, an interrupt is generated.
$\overline{RLSD}$0 $\overline{RLSD}$1 [GND]	29 8	I	Receive line signal detect. $\overline{RLSD}$0 is an active-low modem status signal whose state can be checked by reading bit 7 of the modem status register. Bit 3 (DRLSD) of the modem status register indicates that this signal has changed state since the last read from the modem status register. If the modem status interrupt is enabled when $\overline{RLSD}$0 changes state, an interrupt is generated. This bit is low when a data carrier is detected.
$\overline{RTS}$0 $\overline{RTS}$1 [NC]	24 12	O	Request to send. When active (low), this signal informs the modem or data set that the ACE is ready to transmit data. $\overline{RTS}$ is set to its active state by setting the RTS modem control register bit and is set to its inactive (high) state either as a result of a reset or during loop mode operations or by resetting bit 1 (RTS) of the modem control register.
SIN0 SIN1 [GND]	41	I	Serial input. Serial data input from a connected communications device.
SLCT	65	I	Line printer selected. This is an input line from the line printer that goes high when the line printer has been selected.
$\overline{SLIN}$	58	I/O	Line printer select. This open-drain line selects the printer when it is active (low). An internal pullup is provided.
SOUT0 SOUT1 [NC]	26 10	I	Serial output. Composite serial data output to a connected communication device. SOUT is set to the marking (logic 1) state as a result of reset.
$\overline{STB}$	55	I/O	Line printer strobe. This open-drain line provides communication synchronization between the TL16C451/TL16C452 and the line printer. When it is active (low), it provides the line printer with a signal to latch the data currently on the parallel port. An internal pullup is provided.
V_{CC}	23,40, 64		5-V supply voltage
GND	2,7,9 22,27,42, 43,54,61		Supply common

† Names shown in brackets are for the TL16C451.

Tabel 9/3.5-19b: Vervolg van de functies van de aansluitpennen (tussen haken: aansluitingen van de 16C451).

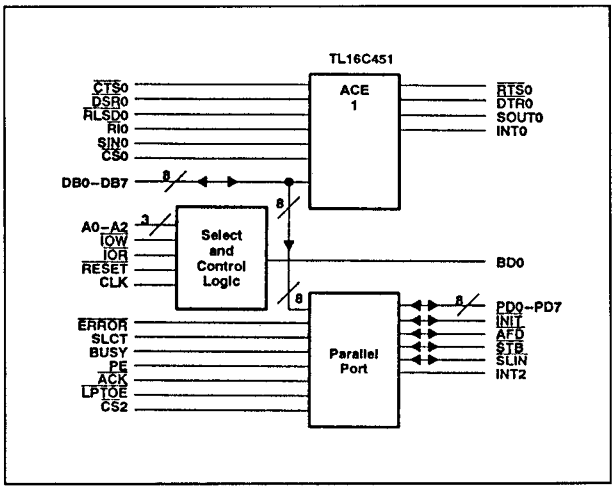
3.5 Type-beschrijving 16Cxxx-familie

Bit No.	REGISTER ADDRESS										
	0 DLAB = 0	0 DLAB = 0	1 DLAB = 0	2	3	4	5	6	7	0 DLAB = 1	1 DLAB = 0
	Receiver Buffer Register (Read Only)	**Transmitter Holding Register (Write Only)**	**Interrupt Enable Register**	**Interrupt Ident. Register (Read Only)**	**Line Control Register**	**Modem Control Register**	**Line Status Register**	**Modem Status Register**	**Scratch Register**	**Divisor Latch (LSB)**	**Latch (MSB)**
	RBR	THR	IER	IIR	LCR	MCR	LSR	MSR	SCR	DLL	DLM
0	Data Bit 0†	Data Bit 0	Enable Received Data Available Interrupt (ERBF)	"0" If Interrupt Pending	Word Length Select Bit 0 (WLSO)	Data Terminal Ready (DTR)	Data Ready (DR)	Delta Clear to Send (DCTS)	Bit 0	Bit 0	Bit 8
1	Data Bit 1	Data Bit 1	Enable Transmitter Holding Register Empty Interrupt (ETBE)	Interrupt ID Bit (0)	Word Length Select Bit 1 (WLS1)	Request to Send (RTS)	Overrun Error (OE)	Delta Data Set Ready (DDSR)	Bit 1	Bit 1	Bit 9
2	Data Bit 2	Data Bit 2	Enable Receiver Line Status Interrupt (ELSI)	Interrupt ID Bit (1)	Number of Stop Bits (STB)	Out 1	Parity Error (PE)	Trailing Edge Ring Indicator (TERI)	Bit 2	Bit 2	Bit 10
3	Data Bit 3	Data Bit 3	Enable Modem Status Interrupt (EDSSI)	0	Parity Enable (PEN)	Out 2 (Interrupt Enable)	Framing Error (FE)	Delta Receive Line Signal Detect (DRLSD)	Bit 3	Bit 3	Bit 11
4	Data Bit 4	Data Bit 4	0	0	Even Parity Select (EPS)	Loop	Break Interrupt (BI)	Clear to Send (CTS)	Bit 4	Bit 4	Bit 12
5	Data Bit 5	Data Bit 5	0	0	Stick Parity	0	Transmit-ter Holding Register (THRE)	Data Set Ready (DSR)	Bit 5	Bit 5	Bit 13
6	Data Bit 6	Data Bit 6	0	0	Set Break	0	Transmit-ter Empty (TEMT)	Ring Indicator (RI)	Bit 6	Bit 6	Bit 14
7	Data Bit 7	Data Bit 7	0	0	Divisor Latch Access Bit (DLAB)	0	0	Receive Line Signal Detect (RLSD)	Bit 7	Bit 7	Bit 15

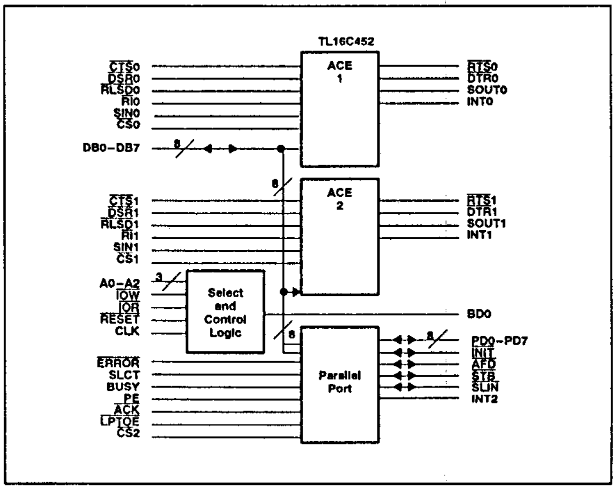
† Bit 0 is the least significant bit. It is the first bit serially transmitted or received.

Tabel 9/3.5-20: Samenvatting van de toegankelijke registers in de 16C451 en 16C452 (plus functies van de bits).

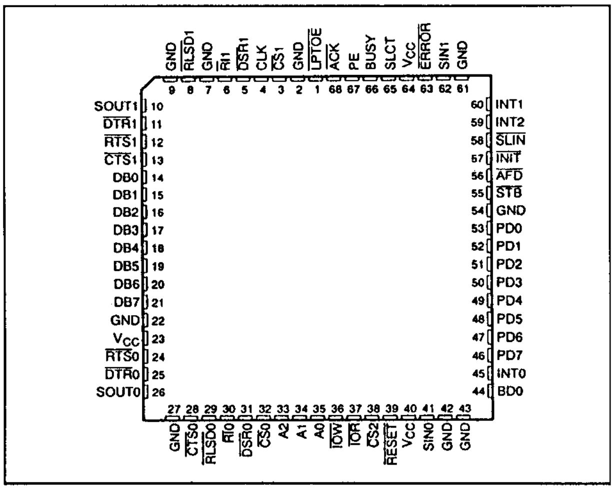
3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-15: Functioneel blokschema van de 16C451 (ACE + Centronics-interface).



Figuur 9/3.5-17: Functioneel blokschema van de 16C452 (2 x ACE + Centronics-interface).



Figuur 9/3.5-16: Aansluitingen van de 16C452.

DLAB†	A2	A1	A0	REGISTER
0	L	L	L	Receiver buffer (read), transmitter holding register (write)
0	L	L	H	Interrupt enable
X	L	H	L	Interrupt identification (read only)
X	L	H	H	Line control
X	H	L	L	Modem control
X	H	L	H	Line status
X	H	H	L	Modem status
X	H	H	H	Scratch
1	L	L	L	Divisor latch (LSB)
1	L	L	H	Divisor latch (MSB)

† The divisor latch access bit (DLAB) is the most significant bit of the line control register. The DLAB signal is controlled by writing to this bit location (see Table 3).

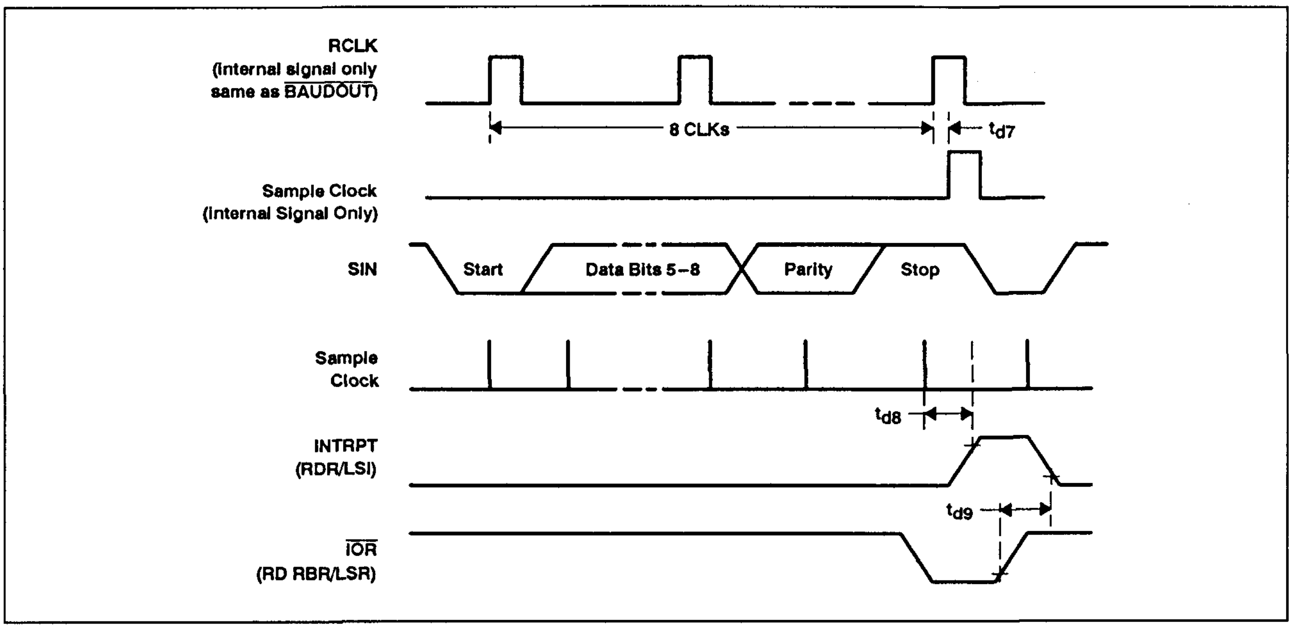
Tabel 9/3.5-21: Selectie (adressering) van de registers.

Receiver Buffer Register (RBR)

De ontvanger van de ACE is opgebouwd uit een ontvang-schuifregister (Receiver Shift Register) en een ontvang-bufferregister (Receiver Buffer Register).
De timing wordt verzorgd door de 16X Receiver Clock (RCLK), zie ook figuur 9/3.5-18.
De besturing van de ontvanger is een functie van het ACE Line Control Register.

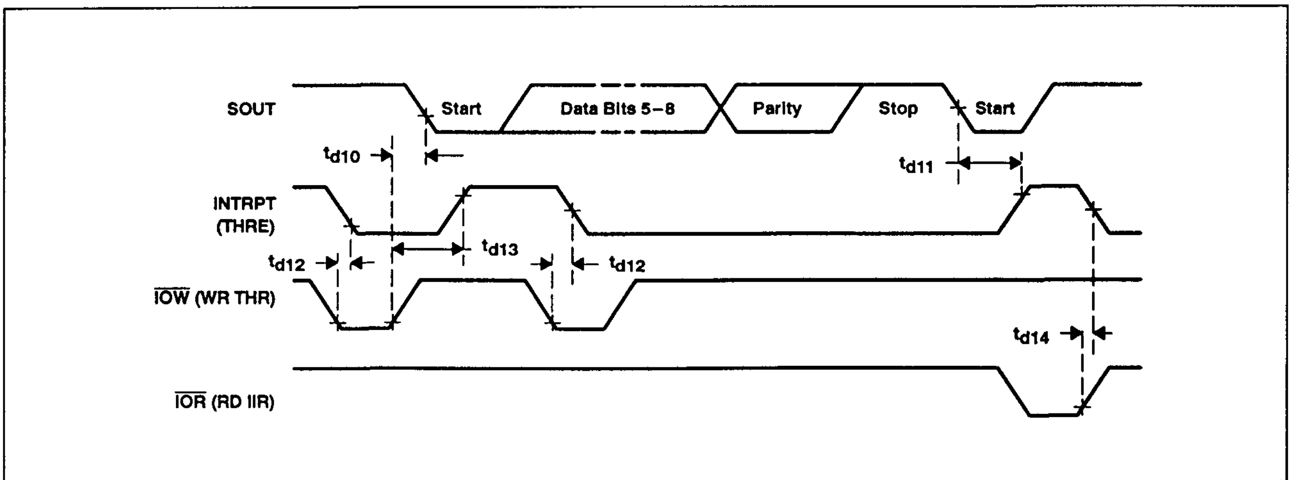
Via de serial input-pen (SIN) krijgt het ontvang-schuifregister seriële data binnen en zet deze om in parallelle data die in het ontvang-bufferregister wordt geladen.
Er wordt een interrupt gegenereerd als een karakter in het ontvang-bufferregister wordt gezet en de interrupt “ontvangen data beschikbaar” is vrijgegeven. Door lezen van data uit het ontvang-bufferregister wordt de interrupt weggenomen.

3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-18: Timing van de ontvanger.

Transmitter Holding Register (THR)
De zender van de ACE bestaat uit een zend-houdregister (Transmitter Holding Register) en een zend-schuifregister (Transmitter Shift Register). De timing is afkomstig van Baud Out clock-signaal (BAUDOUT), zie ook figuur 9/3.5-20. De besturing van het zendgedeelte is een functie van het ACE Line Control Register, zie figuur 9/3.5-19. Het ACE zend-houdregister krijgt data van de interne databus die naar het zend-schuifregister wordt getransporteerd als dit register niet in gebruik is. Het zend-schuifregister maakt de data serieel en brengt die over naar de serial output-pen (SOUT). Als het zend-houdregister leeg is en de "zend-houdregister leeg" (THRE) interrupt werd vrijgegeven, wordt een interrupt gegenereerd. Deze interrupt verdwijnt weer als een karakter in het register wordt geladen.



Figuur 9/3.5-19: Timing van de zender.

3.5 Type-beschrijving 16Cxxx-familie

INTERRUPT IDENTIFICATION REGISTER			PRIORITY LEVEL	INTERRUPT TYPE	INTERRUPT SOURCE	INTERRUPT RESET METHOD
BIT 2	BIT 1	BIT 0				
0	0	1	None	None	None	–
1	1	0	1	Receiver line status	Overrun error, parity error, framing error or break interrupt	Reading the line status register
1	0	0	2	Received data available	Receiver data available	Reading the receiver buffer register
0	1	0	3	Transmitter holding register empty	Transmitter holding register empty	Reading the interrupt identification register (if source of interrupt) or writing into the transmitter holding register
0	0	0	4	Modem status	Clear to send, data set ready, ring indicator, or data carrier detect	Reading the modem status register

Tabel 9/3.5-22: Interrupt control-functies.

Interrupt Enable Register (IER)

Met het interrupt enable register zijn vier typen interrupt mogelijk (zie tabel 9/3.5-22) en ontstaat het INTRPT-signaal als reactie op een interrupt. Met het IER kan het interrupt-systeem ook worden gesperd door de bits 0 tot en met 3 op logisch 0 te zetten. De mogelijke inhoud van dit register is te zien in tabel 9/3.5-20.

Interrupt Identification Register (IIR)

De ACE levert interrupts op vier prioriteitsniveaus:

- Prioriteit 1:
  Receiver line status (hoogste prioriteit);
- Prioriteit 2:
  Receiver data ready;
- Prioriteit 1:
  Transmitter holding register empty;
- Prioriteit 1:
  Modem status (laagste prioriteit).

Wanneer een interrupt wordt opgewekt, geeft het IIR met de drie minst belangrijke bits (bits 0, 1, 2) aan dat om interruptie is gevraagd en de soort. De mogelijke inhoud van het register is te zien in tabel 9/3.5-20 en de betekenis staat in tabel 9/3.5-22.

Line Control Register (LCR)

Het formaat van de asynchrone datacommunicatie kan worden ingesteld met het lijn-besturingsregister (Line Control Register). De programmeur kan de inhoud van dit register opvragen, inspecteren en veranderen, waardoor het niet nodig is de lijnkarakteristieken apart in het systeemgeheugen op te slaan. De mogelijke inhouden van dit register zijn te zien in tabel 9/3.5-20.

- Met de bits 0 en 1 wordt het aantal bits per verzonden of ontvangen karakter ingesteld (zie tabel 9/3.5-23).
- Met bit2 wordt het aantal stopbits per karakter ingesteld (tabel 9/3.5-24). In de ontvanger wordt alleen het eerste stopbit gecheckt, onafhankelijk van het werkelijk gekozen aantal.

Bit 1	Bit 0	Word Length
0	0	5 Bits
0	1	6 Bits
1	0	7 Bits
1	1	8 Bits

Tabel 9/3.5-23: Met de bits 0 en 1 van het LCR wordt de woordlengte geselecteerd.

Bit 2	Word Length Selected by Bits 1 and 2	Number of Stop Bits Generated
0	Any word length	1
1	5 bits	1 1/2
1	6 bits	2
1	7 bits	2
1	8 bits	2

Tabel 9/3.5-24: Selectie van het aantal stopbits bij een reeds gekozen woordlengte.

- Bit3 is het pariteit-enable bit. Als bit3 = 0 is, wordt geen pariteit gegenereerd of gecheckt, terwijl wel een pariteitsbit in de verzonden data tussen de laatste datawoord-bit en het eerste stopbit komt als bit3 = 1 is. Van de ontvangen data wordt de pariteit gecheckt als bit3 logisch 1 is.

- Met bit4 wordt even pariteit geselecteerd. Als er sprake is van pariteit (bit3) produceert een logische 1 in bit4 even pariteit en een logische 0 in bit4 oneven pariteit (een oneven aantal logische enen).
- Bit5 is het stick pariteitsbit. Als bits 3, 4 en 5 logisch 1 zijn, wordt de pariteitsbit verzonden en gecheckt als een logische 0. Als bits 3 en 5 logisch 1 zijn en bit4 logisch 0, wordt het pariteitsbit verzonden en gecheckt als een logische 1.
- Bit6 is het break-controlbit. Bit6 wordt op logisch 1 gezet om een break-conditie te forceren, een conditie waarbij de SOUT-pen in de space-toestand (logisch 0) wordt gedwongen. Wanneer bit6 = 0 is, wordt de break-conditie gesperd.
  De break-conditie heeft geen invloed op de zendlogika, maar alleen op het seriële uitgangssignaal.
- Bit7 is het divisor latch access-bit (DLAB). Bit7 moet op logisch 1 worden gezet om toegang te verkrijgen tot de deel-latches van de baud-generator tijdens het lezen of schrijven. Om ontvang-bufferregister, zend-houdregister of interrupt-enable register gedurende lezen of schrijven te kunnen bereiken moet bit7 = 0 zijn.

Modem Control Register (MCR)
Het modem-controlregister is een 8 bit register dat een interface met een modem, dataset of randapparaat dat een modem emuleert bestuurt. De mogelijke inhoud van dit register is weer te zien in tabel 9/3.5-20.

- Bit0 bestuurt de data terminal ready ($\overline{DTR}$) uitgang. Een logische 1 maakt de $\overline{DTR}$-uitgang aktief LAAG. Als bit0 = 0 is, gaat $\overline{DTR}$ HOOG.
- Bit1 bestuurt de request to send $\overline{RTS}$ uitgang op dezelfde manier als bit0 doet met $\overline{DTR}$.
- Bit2 ($\overline{OUT1}$) is een gereserveerde lokatie voor gebruik in de loop-back mode.
- Bit3 ($\overline{OUT2}$) regelt de output-enable voor het interrupt-signaal. Als bit3 = 1, dan is de interrupt vrijgegeven (als bit3 = 0, dan is de interrupt gesperd).
- Bit4 maakt een lokale loopback mogelijk om de ACE te testen. Als bit4 = 1 is, gebeurt het volgende:
  - De transmitter serial output (SOUT) wordt HOOG gezet.
  - De receiver serial input (SIN) wordt losgemaakt.
  - De uitgang van het zend-schuifregister wordt teruggekoppeld naar de ingang van het ontvangschuifregister.
  - De modem-besturingsingangen ($\overline{CTS}$, $\overline{DSR}$, $\overline{DCD}$ en $\overline{RI}$ worden losgekoppeld.
  - De modem-besturingsuitgangen ($\overline{DTR}$, $\overline{RTS}$, $\overline{OUT1}$ en $\overline{OUT2}$ worden intern verbonden met de modem-besturingsingangen.
  - De vier modem-besturingsuitgangspennen worden aktief (HOOG) gemaakt.

  In de diagnostische mode wordt verzonden data onmiddellijk weer ontvangen. Hierdoor kan de processor de datapaden voor zenden en ontvangen van de ACE verifiëren. De interrupts van ontvanger en zender zijn volledig operationeel, evenals die van de modembesturing, maar de interrupt-bronnen van de modembesturing zijn nu de laagste vier bits van het modem control register (in plaats van de vier modem-control ingangen). Alle interrupts worden nog steeds bestuurd door het interrupt enable-register.
- De bits 5, 6 en 7 worden op logisch 0 gezet.

Line Status Register (LSR)
Het lijn-statusregister (Line Status Register) mag alleen worden uitgelezen en voorziet de CPU van informatie over de status van de data-overdrachten. De mogelijke inhoud van dit register wordt getoond in tabel 9/3.5-20.

- Bit0 is de data ready (DR) indicator van de ontvanger. Wanneer een compleet karakter is ontvangen en overgebracht naar het ontvang-bufferregister wordt bit0 = 1. Is het ontvang-bufferregister uitgelezen dan wordt bit0 weer logisch 0.

3.5 Type-beschrijving 16Cxxx-familie

- Bit1 is de overrun (OE) indicator. Wanneer bit1 = 1 is, werd het karakter in het ontvang-bufferregister door het volgende karakter overschreven voordat uitlezing plaats vond. De OE-indicator wordt telkens gereset als de CPU de inhoud van het lijn-statusregister uitleest.
- Bit2 is de indicator voor pariteitsfouten (PE). Als de pariteit van het ontvangen data-karakter niet overeenkomt met de pariteit die in het lijn-besturingsregister (bit4) werd gekozen, wordt bit2 logisch 1 . Ook het PE-bit wordt telkens gereset als de CPU de inhoud van het lijn-statusregister leest.
- Bit3 is de framing-error (FE) indicator. Wanneer bit3 logisch 1 wordt, had het ontvangen karakter geen geldig (logisch 1) stopbit. Het FE-bit wordt iedere keer gereset als de CPU de inhoud van het lijn-statusregister leest.
- Bit4 is de break interrupt (BI) indicator. Bit4 wordt logisch 1 als de received data-ingang langer op logisch 0 werd gehouden dan de transmissietijd van een volledig woord (= de totale tijd voor start-, data-, pariteit en stop-bits).
  Het BI-bit wordt bij elke uitlezing van het lijn-statusregister gereset.
- Bit5 is de "transmitter holding register empty" (THRE) indicator en wordt logisch 1 als het zend-houdregister leeg is, waarmee wordt aangegeven dat de ACE klaar staat om een nieuw karakter te ontvangen. Er wordt een interrupt gegenereerd als de THRE-interrupt is vrijgegeven en het THRE-bit logisch 1 is. THRE wordt logisch 1 op het moment dat de inhoud van het zend-houdregister wordt overgebracht naar het zend-schuifregister. THRE wordt gereset wanneer het register door de CPU wordt geladen.
- Bit6 is de transmitter empty (TEMT) indicator die logisch 1 is wanneer zowel het zend-houdregister als het zend-schuifregister leeg zijn. Zodra één van beide registers een data-karakter bevat wordt de TEMT-bit weer logisch 0.
- Bit 7 staat altijd op logisch 0.

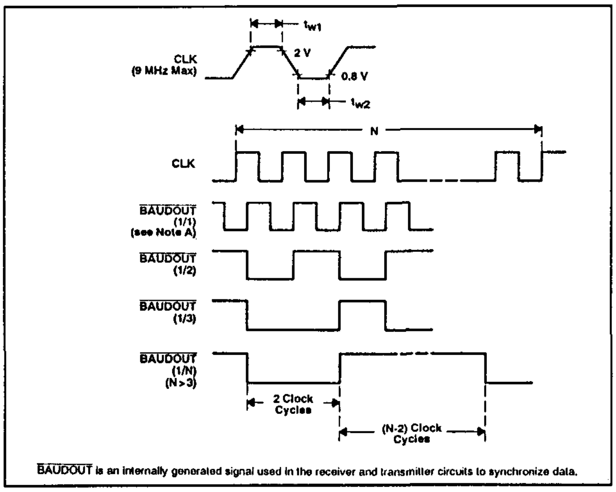
Modem Status Register (MSR)
Het modem status register is een 8 bit register dat de CPU informeert over de huidige toestand van de besturingslijnen van de modem, de data-set of een randapparaat. Bovendien reageert dit register op veranderingen: wanneer een besturingssignaal van de modem van toestand verandert, gaat het overeenkomstige bit naar logisch 1. Wanneer het modem status register door de CPU wordt uitgelezen, resetten alle vier bits naar logisch 0. Tabel 9/3.5-20 geeft een overzicht van de mogelijke inhoud van dit register.

- Bit0 is de delta clear to send (DCTS) indicator waarmee wordt aangegeven dat de $\overline{CTS}$-ingang van toestand is veranderd sinds de laatste keer dat die werd uitgelezen. Wanneer het DCTS-bit logisch 1 is en de modem-status interrupt is vrijgegeven, wordt een modem-status interrupt gegenereerd.
- Bit1 is de delta data set ready (DDSR) indicator die aangeeft dat de $\overline{DSR}$-ingang na de laatste uitlezing van toestand is veranderd. Wanneer het DDSR-bit logisch 1 en de modem-status interrupt is vrijgegeven, wordt een modem-status interrupt gegenereerd.
- Bit2 is de trailing edge of ring indicator (TERI) detector die aangeeft dat de $\overline{RI}$-ingang naar de chip is veranderd van een LAGE in een HOGE toestand. Wanneer het TERI-bit logisch 1 is, terwijl de modem-status interrupt is vrijgegeven, wordt een modem-status interrupt gegenereerd.
- Bit3 is de delta receive line signal detect (DRLSD) indicator waarmee wordt aangegeven dat het $\overline{RLSD}$-signaal naar de chip van toestand is veranderd sinds de laatste keer dat bit3 door de CPU werd uitgelezen. Als het RLSD-bit = 1 is en de modem-status interrupt is vrijgegeven, wordt een modem-status interrupt gegenereerd.
- Bit4 is het complement van de clear to send ($\overline{CTS}$) ingang. Als bit4 (loop) van het

3.5 Type-beschrijving 16Cxxx-familie

modem-besturingsregister logisch 1 wordt, is dit bit equivalent aan het modem-besturingsregister-bit 1 (RTS).

- Bit5 is het complement van het data set ready-signaal ($\overline{DSR}$). Als bit4 (loop) van het modem-besturingsregister logisch 1 wordt, is dit bit equivalent aan de modem-besturingsregister-bit 0 (DTR).
- Bit6 is het complement van het ring indicator-signaal ($\overline{RI}$). Als bit4 (loop) van het modem-besturingsregister logisch 1 wordt, is dit bit equivalent aan de modem-besturingsregister-bit 2 (OUT1).
- Bit7 is het complement van de receive line signal detect-ingang ($\overline{RLSD}$). Als bit4 (loop) van het modem-besturingsregister logisch 1 is, is dit bit equivalent aan het modem-besturingsregister-bit 3 (OUT2).



Figuur 9/3.5-20: Timing van de baud-generator.

Scratch Register (SCR)

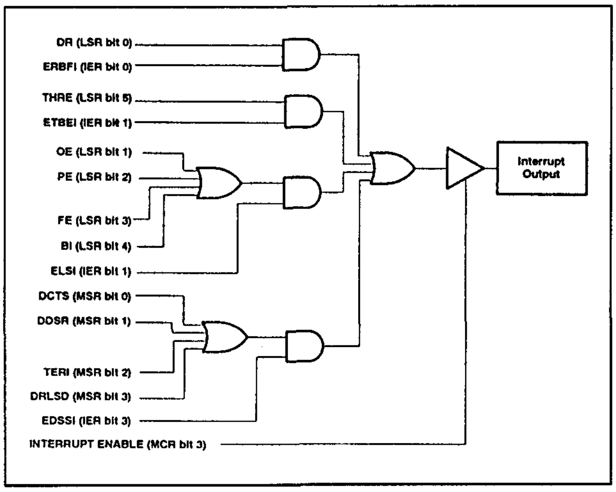
Het scratch register is een 8 bit register dat door de gebruiker kan worden gebruikt voor notities. Hierin kan tijdelijk data worden opgeslagen zonder dat daardoor de werking van de ACE wordt beïnvloed.

Programmable Baud Generator

De ACE bevat een programmeerbare baud-generator die clock-signalen tussen 0 (DC) en 9 MHz accepteert en deze deelt door een getal tussen 1 en 2^{16}-1. De uitgangs-frequentie is zestien maal (16X) de baud-rate. De deler wordt in een 16 bit binair formaat opgeslagen in twee 8 bit registers (deler-latches). Deze latches moeten gedurende de initialisatie van de ACE worden geladen om de baud-generator correct te laten werken. Wanneer één van beide latches wordt geladen, wordt ook een 16 bit baud-teller geladen om te lang tellen aan het begin van het laden te voorkomen. In de tabellen 9/3.5-7 en -8 van de 16C450 zijn de baud-rates bij kristal-frequenties van 1,8432 respectievelijk 3,072 MHz te zien.

Interrupt Control Logic

De logika die voor de uitvoering van de verschillende interrupts wordt toegepast, is te zien in figuur 9/3.5-21.



Figuur 9/3.5-21: Opbouw van de interrupt-besturingslogika.

Parallelle poortregisters

Met behulp van de parallelle poortregisters kunnen beide ACE's op een printer van het Centronics-type worden aangesloten. Als de chip-select2 ($\overline{CS2}$) LAAG is, is de parallelle poort geselecteerd. In de tabellen 9/3.5-25 en -26 zijn de registers te zien die aan deze parallelle poort zijn verbonden. De lees- of schrijffunctie van het register wordt geregeld door de toestand van de lees- ($\overline{IOR}$) en schrijf- ($\overline{IOW}$) pennen. Het Read Data Register stelt de CPU in staat om de informatie op

3.5 Type-beschrijving 16Cxxx-familie

de parallelle bus te lezen, terwijl het Read Status Register de status van de printer bekijkt die beschikbaar is in de vijf belangrijkste bits. Het zijn de bekende handshake functies:
- printer bezig ($\overline{BUSY}$);
- acknowledge ($\overline{ACK}$);
- paper empty (PE);
- printer selected (SLCT);
- error ($\overline{ERROR}$).

Met het Read Control Register kan de toestand van de besturingslijnen worden uitgelezen. Het Write Control Register zet de besturingslijnen op de juiste waarden:
- interrupt enable (IRQ ENB);
- select in (SLIN);
- initialize printer ($\overline{INIT}$);
- autofeed paper (AFD);
- strobe (STB).

Hiermee wordt de printer ingelicht over de aanwezigheid van een geldige byte op de parallelle bus. Door een reset worden deze signalen op 0 gezet.

REGISTER	REGISTER BITS							
	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Read Data	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
Read Status	$\overline{BUSY}$	$\overline{ACK}$	PE	SLCT	$\overline{ERROR}$	1	1	1
Read Control	1	1	1	IRQ ENB	SLIN	$\overline{INIT}$	AFD	STB
Write Data	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
Write Control	1	1	1	IRQ ENB	SLIN	$\overline{INIT}$	AFD	STB

Tabel 9/3.5-25: Functies van de bits in de parallelle poortregisters.

CONTROL PINS					REGISTER SELECTED
$\overline{IOR}$	$\overline{IOW}$	$\overline{CS2}$	A1	A0	
L	H	L	L	L	Read Data
L	H	L	L	H	Read Status
L	H	L	H	L	Read control
L	H	L	H	H	Invalid
H	L	L	L	L	Write Data
H	L	L	L	H	Invalid
H	L	L	H	L	Write Control
H	L	L	H	H	Invalid

Tabel 9/3.5-26: Selectie (adressering) van de parallelle poortregisters.

REGISTER/SIGNAL	RESET CONTROL	RESET STATE
Interrupt Enable Register	$\overline{Reset}$	All bits low (0–3 forced and 4–7 permanent)
Interrupt Identification Register	Reset	Bit 0 is high, bits 1 and 2 are low, and bits 3–7 are permanently low
Line Control Register	$\overline{Reset}$	All bits low
Modem Control Register	$\overline{Reset}$	All bits low
Line Status Register	$\overline{Reset}$	Bits 5 and 6 are high, all other bits are low
Modem Status Register	$\overline{Reset}$	Bits 0–3 are low, bits 4–7 are input signals
SOUT	$\overline{Reset}$	High
INTRPT (receiver error flag)	Read LSR/$\overline{Reset}$	Low
INTRPT (received data available)	Read RBR/$\overline{Reset}$	Low
INTRPT (transmitter holding register empty)	Read IIR/Write THR/$\overline{Reset}$	Low
INTRPT (modem status changes)	Read MSR/$\overline{Reset}$	Low
$\overline{OUT\ 2}$ (interrupt enable)	$\overline{Reset}$	High
$\overline{RTS}$	$\overline{Reset}$	High
$\overline{DTR}$	$\overline{Reset}$	High
$\overline{OUT\ 1}$	$\overline{Reset}$	High
Scratch Register	$\overline{Reset}$	No effect
Divisor Latch (LSB and MSB) Registers	$\overline{Reset}$	No effect
Receiver Buffer Registers	$\overline{Reset}$	No effect
Transmitter Holding Registers	$\overline{Reset}$	No effect

Tabel 9/3.5-27: De reset-functies van de ACE.

3.5 Type-beschrijving 16Cxxx-familie

Supply voltage range, V_{CC} (see Note 1) ... −0.5 V to 7 V
Input voltage range at any input, V_I .... −0.5 V to 7 V
Output voltage range, V_O .... −0.5 V to 7 V
Continuous total power dissipation .... 1100 mW
Operating free-air temperature range ...... 0°C to 70°C
Storage temperature range .... −65°C to 150°C
Case temperature for 10 seconds .... 260°C

NOTE 1: All voltage values are with respect to GND.

Tabel 9/3.5-28: Maximaal toegelaten waarden.

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.75	5	5.25	V
High-level input voltage, V_{IH}	2		V_{CC}	V
Low-level input voltage, V_{IL}	−0.5		0.8	V
Operating free-air temperature, T_A	0		70	°C

Tabel 9/3.5-29: Aanbevolen bedrijfscondities.

Overige kenmerken

De reset-functies van de ACE zijn opgenomen in tabel 9/3.5-27. De resterende elektrische en timing karakteristieken van de ACE's TL16C451 en TL16C452 van Texas Instruments worden behandeld in de tabellen 9/3.5-28 tot en met 9/3.5-36 en de figuren 9/3.5-22 tot en met 9/3.5-25. Tenslotte zijn in de figuren 9/3-5-26 en -27 enkele praktische toepassingen van de ACE's te zien.

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V_{OH}	High-level output voltage	I_{OH} = −0.4 mA on DB0−DB7 I_{OH} = −2 mA to 4 mA on PD0−PD7 I_{OH} = −0.2 mA on INIT, $\overline{AFD}$, $\overline{STB}$, and $\overline{SLIN}$ I_{OH} = −0.2 mA on all other outputs	2.4			V
V_{OL}	Low-level output voltage	I_{OL} = 4 mA on DB0−DB7 I_{OL} = 12 mA on PD0−PD7 I_{OL} = 10 mA on INIT, $\overline{AFD}$, $\overline{STB}$, and $\overline{SLIN}$ (see Note 2) I_{OL} = 2 mA on all other outputs			0.4	V
I_{lkg}	Input leakage current	V_{CC} = 5.25 V, V_{SS} = 0, V_I = 0 to 5.25 V, All other pins floating			±10	µA
	High-impedance output current	V_{CC} = 5.25 V, V_{SS} = 0, V_O = 0 to 5.25 V, Chip selected and write mode, or chip deselected			±20	µA
I_{CC}	Supply current	V_{CC} = 5.25 V, V_{SS} = 0, SIN, $\overline{DSR}$, $\overline{RLSD}$, $\overline{CTS}$, and $\overline{RI}$ at 2 V, All other inputs at 0.8 V, XTAL1 at 4 MHz, No load on outputs, Baud rate = 50 kilobits per second			10	mA
C_{XTAL1}	Clock input capacitance	V_{CC} = 0, V_{SS} = 0, f = 1 MHz, T_A = 25°C, All others pins grounded		15	20	pF
C_{XTAL2}	Clock output capacitance			20	30	pF
C_i	Input capacitance			6	10	pF
C_o	Output capacitance			10	20	pF

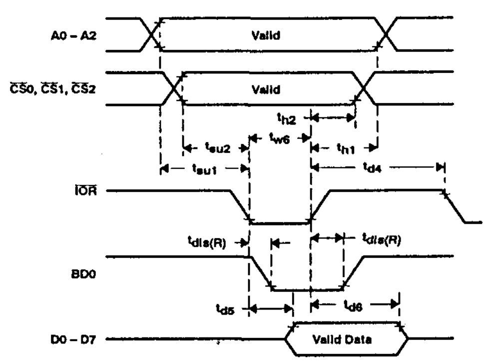
† All typical values are at V_{CC} = 5 V, T_A = 25°C.
NOTE 2: $\overline{INIT}$, $\overline{AFD}$, $\overline{STB}$, and $\overline{SLIN}$ are open-collector output pins that each have an internal pullup to V_{CC}. This will generate a maximum of 2 mA of internal I_{OL} per pin. In addition to this internal current, each pin will sink at least 10 mA while maintaining the V_{OL} specification of 0.4 V Max.

Tabel 9/3.5-30: Elektrische karakteristieken bij de aanbevolen bedrijfscondities.

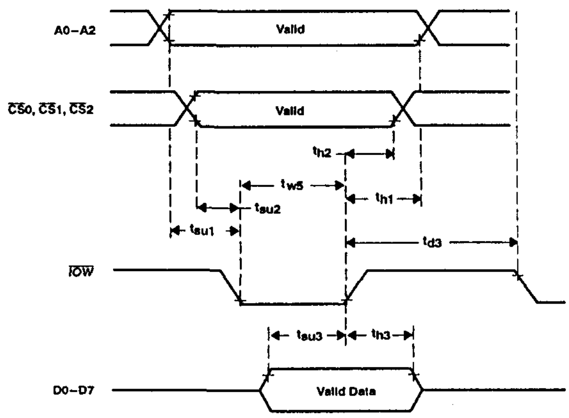
3.5 Type-beschrijving 16Cxxx-familie

PARAMETER		MIN	MAX	UNIT
t_{cR}	Cycle time, read (t_{w7} + t_{d8} + t_{d9})	175		ns
t_{cW}	Cycle time, write (t_{w6} + t_{d5} + t_{d6})	175		ns
t_{w1}	Pulse duration, clock high	50		ns
t_{w2}	Pulse duration, clock low	50		ns
t_{w5}	Pulse duration, write strobe	80		ns
t_{w6}	Pulse duration, read strobe	80		ns
t_{wRST}	Pulse duration, reset	1000		ns
t_{su1}	Setup time, address	15		ns
t_{su2}	Setup time, chip select	15		ns
t_{su3}	Setup time, data	15		ns
t_{h1}	Hold time, address	20		ns
t_{h2}	Hold time, chip select	20		ns
t_{h3}	Hold time, data	15		ns
t_{d3}	Delay time, write cycle	80		ns
t_{d4}	Delay time, read cycle	80		ns

Tabel 9/3.5-31: Schakeltijden voor de 16C451/16C452 onder de aanbevolen bedrijfscondities (zie de figuren 9/3.5-22 en -23).



Figuur 9/3.5-22: Timing en golfvormen van een leescyclus.

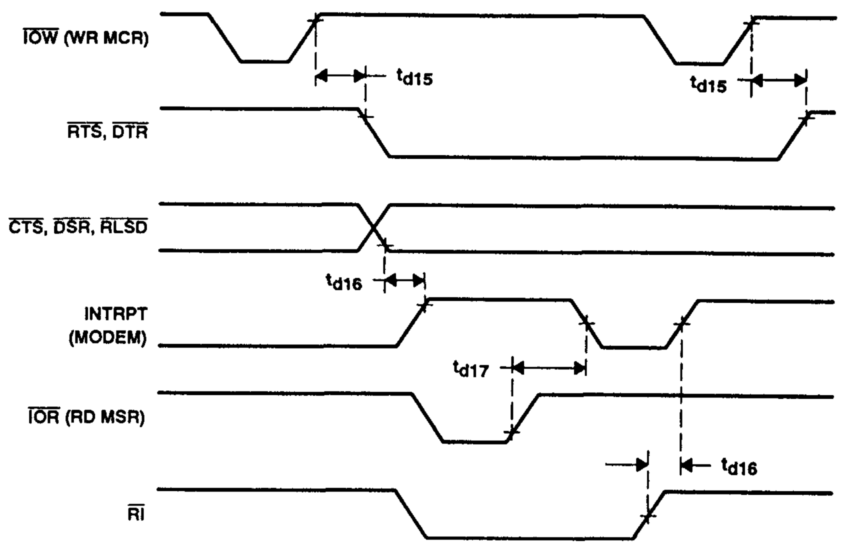


Figuur 9/3.5-23: Timing en golfvormen van een schrijfcyclus.

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_{d5}	Delay time, read to data	C_L = 100 pF		60	ns
t_{d6}	Delay time, read to floating data	C_L = 100 pF	0	60	ns
$t_{dis(R)}$	Read to driver disable	C_L = 100 pF		60	ns

Tabel 9/3.5-32: Schakeltijden bij het lezen (zie ook figuur 9/3.5-22).

3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-24: Timing en golfvormen van de modem-besturing.

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_{d7}	Delay time, RCLK to sample			100	ns
t_{d8}	Delay time, stop to set interrupt		1	1	RCLK cycles
t_{d9}	Delay time, read RBR/LSR to reset interrupt	C_L = 100 pF		140	ns

Tabel 9/3.5-33: Schakeltijden van de ontvanger (zie ook figuur 9/3.5-18).

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_{d10}	Delay time, initial write THR to transmit start		8	24	baudout cycles
t_{d11}	Delay time, stop to interrupt		8	8	baudout cycles
t_{d12}	Delay time, write THR to reset interrupt	C_L = 100 pF		140	ns
t_{d13}	Delay time, initial write to interrupt (THRE)		16	32	baudout cycles
t_{d14}	Delay time, read IIR to reset interrupt (THRE)	C_L = 100 pF		140	ns

Tabel 9/3.5-34: Schakeltijden van de zender (zie figuur 9/3.5-19).

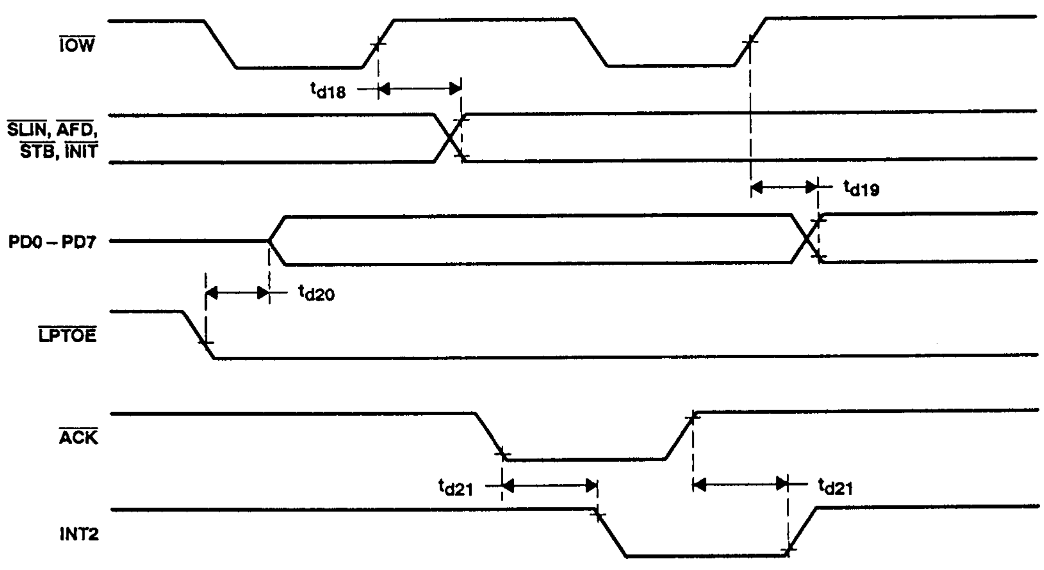
PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_{d15}	Delay time, write MCR to output	C_L = 100 pF		100	ns
t_{d16}	Delay time, modem input to set interrupt	C_L = 100 pF		170	ns
t_{d17}	Delay time, read MSR to reset interrupt	C_L = 100 pF		140	ns

Tabel 9/3.5-35: Schakeltijden voor de besturing van de modem (zie ook figuur 9/3.5-24).

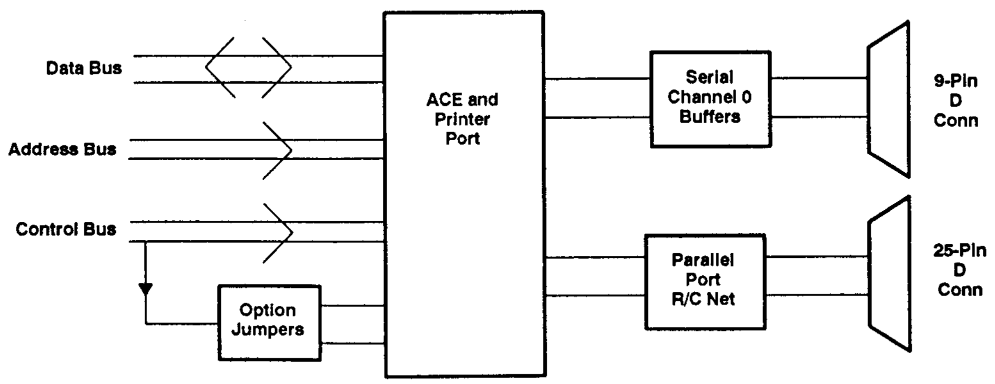
3.5 Type-beschrijving 16Cxxx-familie

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_{d18}	Delay time, write parallel port control to output	C_L = 100 pF		60	ns
t_{d19}	Delay time, write parallel port data to output	C_L = 100 pF		60	ns
t_{d20}	Delay time, output enable to data	C_L = 100 pF		60	ns
t_{d21}	Delay time, $\overline{ACK}$ to INT2	C_L = 100 pF		100	ns

Tabel 9/3.5-36: Schakeltijden voor de parallelle poort (zie ook figuur 9/3.5-25).

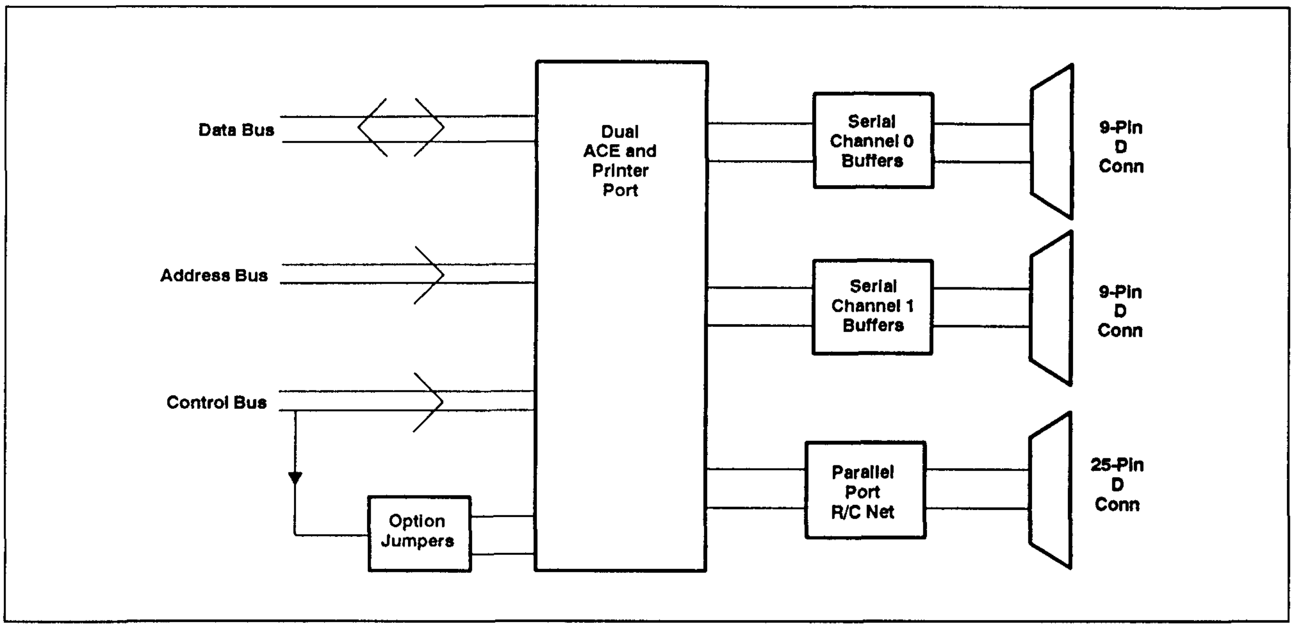


Figuur 9/3.5-25: Timing van de parallelle poort.



Figuur 9/3.5-26: Toepassingsvoorbeeld met de 16C451.

3.5 Type-beschrijving 16Cxxx-familie

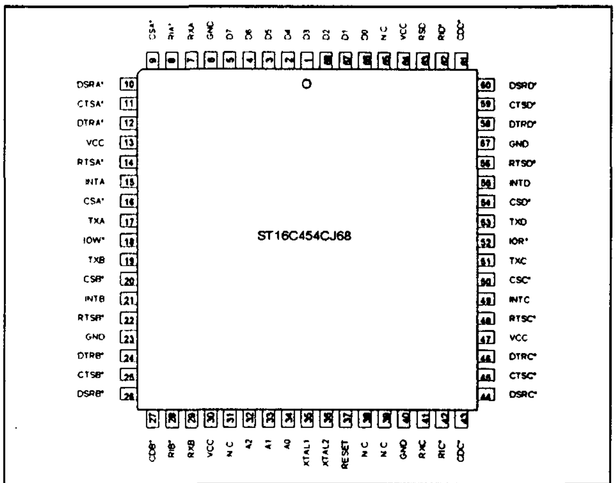


Figuur 9/3.5-27: Mogelijke aansluitingen van een 16C452.

16C454

viervoudige asynchrone zender/ontvanger (UART)

De 16C454 is een viervoudige universele asynchrone zender en ontvanger (UART) met modem-besturing. De 16C454 is een verbeterde (snellere) en uitgebreide versie van de 16C450. Deze UART heeft een programmeerbare baud-rate generator waarmee kloksnelheden voor zenden en ontvangen instelbaar zijn tussen 50 Hz en 448 kHz. De 16C454 beschikt over interne statusregisters die informatie over eventuele fouten en de toestand en de typen data-overdracht verstrekken. Ook is een komplete inrichting voor het besturen van modems aanwezig, plus een processor-interrupt systeem dat met software kan worden aangepast aan de eisen van de gebruiker. Voor het testen van de 16C454 kan een interne loop-back worden toegepast.



Figuur 9/3.5-28: Aansluitingen van de 68-pens PLCC-versie van de 16C454 (met *) gemerkte signalen zijn inverterend).

Kenmerken van de 16C454

- 4 x 16C450 UART's (quad) op één chip
- pen-compatibel met 16C554
- modem-besturingsfuncties: $\overline{\text{CTS}}$, $\overline{\text{RTS}}$, $\overline{\text{DSR}}$, $\overline{\text{DTR}}$, $\overline{\text{RI}}$ en $\overline{\text{DCD}}$
- programmeerbare karakter-lengten: 5, 6, 7 of 8 bit
- genereren/detecteren van even, oneven of geen pariteitsbit
- onafhankelijke besturing van zenden en ontvangen
- status-register

3.5 Type-beschrijving 16Cxxx-familie

Symbol	Pin	Signal Type	Pin Description
D0-D7	5-66	I/O	Bi-directional data bus. Eight bit, three state data bus to transfer information to or from the CPU. D0 is the least significant bit of the data bus and the first serial data bit to be received or transmitted.
RX A-B RX C-D	7,29 41,63	I	Serial data input. The serial information (data) received from serial port to ST16C454 receive input circuit. A mark (high) is logic one and a space (low) is logic zero. During the local loopback mode the RX input is disabled from external connection and connected to the TX output internally.
TX A-B TX C-D	17,19 51,53	O	Serial data output. The serial data is transmitted via this pin with additional start, stop and parity bits. The TX will be held in mark (high) state during reset, local loopback mode or when the transmitter is disabled.
CS A-B* CS C-D*	16,20 50,54	I	Chip select. (active low) A low at this pin enables the ST16C454 / CPU data transfer operation. Each UART section of the ST16C454 can be accessed independently.
XTAL1	35	I	Crystal input 1 or external clock input. A crystal can be connected to this pin and XTAL2 pin to utilize the internal oscillator circuit. An external clock can be used to clock internal circuit and baud rate generator for custom transmission rates.
XTAL2	36	O	Crystal input 2 or buffered clock output. See XTAL1.
IOW*	18	I	Write strobe. (active low) A low on this pin will transfer the contents of the CPU data bus to the addressed register.
GND GND	6,23 40,61	O	Signal and power ground.
IOR*	52	I	Read strobe. (active low) A low level on this pin transfers the contents of the ST16C454 data bus to the CPU.
A2	32	I	Address select line 2. To select internal registers.
A1	33	I	Address select line 1. To select internal registers.
A0	34	I	Address select line 0. To select internal registers.
INT A-B INT C-D	15,21 49,55	O	Interrupt output. (active high) This pin goes high (when enabled by the interrupt enable register) whenever a receiver error, receiver data available, transmitter empty, or modem status condition flag is detected.
RTS A-B* RTS C-D*	14,22 48,56	O	Request to send. (active low) To indicate that the transmitter has data ready to send. Writing a "1" in the modem control register (MCR bit-1) will set this pin to a low state. After the reset this pin will be set to high. Note that this pin does not have any effect on the transmit or receive operation.

Tabel 9/3.5-37a: Functies van de aansluitpennen.

3.5 Type-beschrijving 16Cxxx-familie

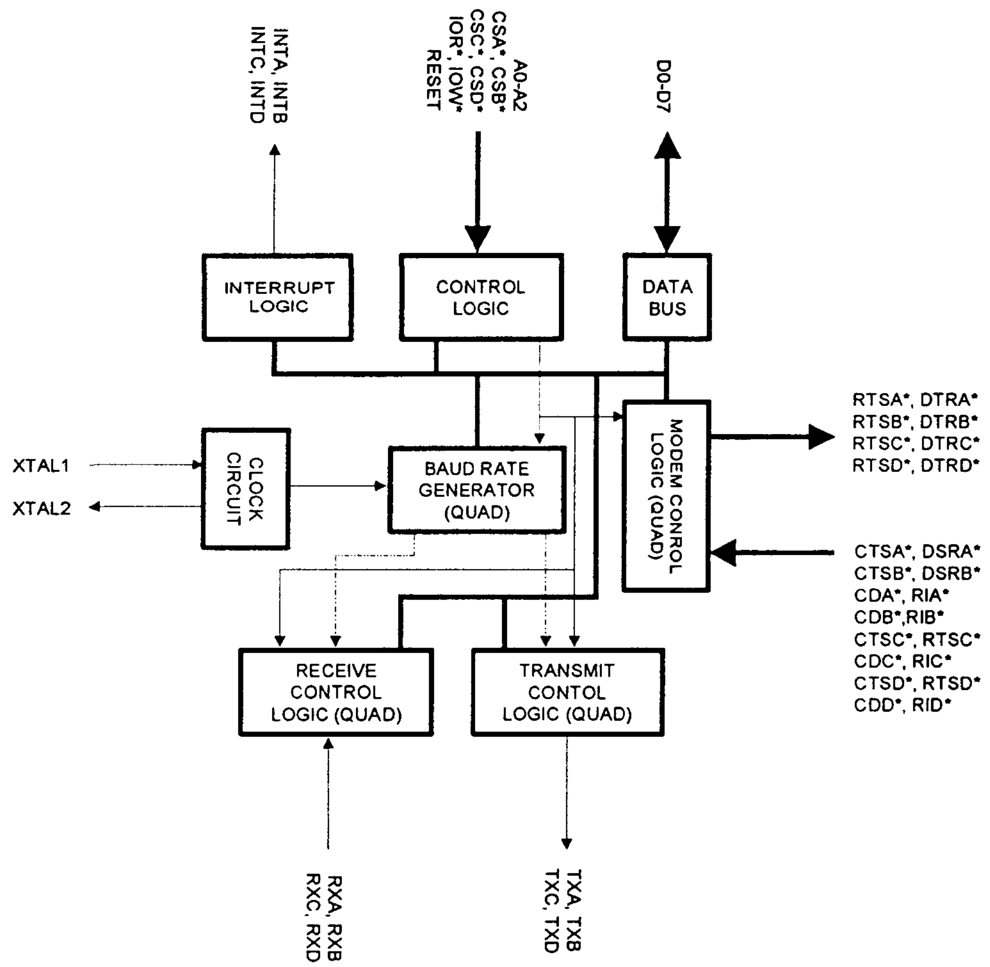
- onafhankelijke besturing van zenden en ontvangen
- TTL-compatibele in- en uitgangen
- 448 kHz ontvangen/zenden met 7,372 MHz kristal of externe frequentie
- behuizing: 68-pens PLCC (figuur 9/3.5-28)
- fabrikant: Startech (ST16C454)

Functionele beschrijving
Met behulp van het blokschema (figuur 9/3.5-29) en het overzicht van de toegankelijke registers (tabel 9/3.5-38) worden de functies van de UART beschreven. Alle, in tabel 9/3.5-38 vermelde, registers zijn via de CPU bereikbaar. Zoals in tabel 9/3.5-39 te zien is, kunnen deze registers met behulp van de adreslijnen A0, A1 en A2 worden geselecteerd.

Symbol	Pin	Signal Type	Pin Description
DTR A-B* DTR C-D*	12,24 46,58	O	Data terminal ready. (active low) To indicate that ST16C454 is ready to receive data. This pin can be controlled via the modem control register (MCR bit-0). Writing a "1" at the MCR bit-0 will set the DTR* output to low. This pin will be set to high state after writing a "0" to that register or after the reset . Note that this pin does not have any effect on the transmit or receive operation.
RESET	37	I	Master reset. (active high) A high on this pin will reset all the outputs and internal registers. The transmitter output and the receiver input will be disabled during reset time.
CTS A-B* CTS C-D*	11,25 45,59	I	Clear to send. (active low) The CTS* signal is a MODEM control function input whose conditions can be tested by reading the MSR BIT-4. CTS* has no effect on the transmit or receive operation.
DSR A-B* DSR C-D*	10,26 44,60	I	Data set ready. (active low) A low on this pin indicates the MODEM is ready to exchange data with UART. This pin does not have any effect on the transmit or receive operation.
CD A-B* CD C-D*	9,27 43,61	I	Carrier detect. (active low) A low on this pin indicates the carrier has been detected by the modem.
RI A-B* RI C-D*	8,28 42,62	I	Ring detect indicator. (active low) A low on this pin indicates the modem has received a ringing signal from telephone line.
VCC VCC	13,60 47,64	I	Power supply input.

Tabel 9/3.5-37b: Functies van de aansluitpennen (vervolg).

3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-29: Functioneel blokschema en overzicht van de registers en signalen (viervoudig: A, B, C en D) van de 16C454.

3.5 Type-beschrijving 16Cxxx-familie

A2 A1 A0	Register	BIT-7	BIT-6	BIT-5	BIT-4	BIT-3	BIT-2	BIT-1	BIT-0
0 0 0	RHR	bit-7	bit-6	bit-5	bit-4	bit-3	bit-2	bit-1	bit-0
0 0 0	THR	bit-7	bit-6	bit-5	bit-4	bit-3	bit-2	bit-1	bit-0
0 0 1	IER	0	0	0	0	modem status interrupt	receive line status interrupt	transmit holding register	receive holding register
0 1 0	ISR	0	0	0	0	0	int priority bit-1	int priority bit-0	int status
0 1 1	LCR	divisor latch enable	set break	set parity	even parity	parity enable	stop bits	word length bit-1	word length bit-0
1 0 0	MCR	0	0	0	loop back	INT enable	Not used	RTS*	DTR*
1 0 1	LSR	0	trans. empty	trans. holding empty	break interrupt	framing error	parity error	overrun error	receive data ready
1 1 0	MSR	CD	RI	DSR	CTS	delta CD*	delta RI*	delta DSR*	delta CTS*
1 1 1	SPR	bit-7	bit-6	bit-5	bit-4	bit-3	bit-2	bit-1	bit-0
0 0 0	***DLL***	***bit-7***	***bit-6***	***bit-5***	***bit-4***	***bit-3***	***bit-2***	***bit-1***	***bit-0***
0 0 1	***DLM***	***bit-15***	***bit-14***	***bit-13***	***bit-12***	***bit-11***	***bit-10***	***bit-9***	***bit-8***

DLL and DLM are accessible only when LCR bit-7 is set to "1".

Tabel 9/3.5-38: Overzicht van de toegankelijke registers in de 16C454 en functie van de bits.

3.5 Type-beschrijving 16Cxxx-familie

A2	A1	A0	READ MODE	WRITE MODE
0	0	0	Receive Holding Register	Transmit Holding Register
0	0	1		Interrupt Enable Register
0	1	0	Interrupt Status Register	
0	1	1		Line Control Register
1	0	0		Modem Control Register
1	0	1	Line Status Register	
1	1	0	Modem Status Register	
1	1	1	Scratchpad Register	Scratchpad Register
0	0	0		LSB of Divisor Latch
0	0	1		MSB of Divisor Latch

Tabel 9/3.5-39: Selectie van de registers.

BAUD RATE	16 x CLOCK DIVISOR	% ERROR
50	2304	
75	1536	
110	1047	0.026
134.5	857	0.058
150	768	
300	384	
600	192	
1200	96	
2400	48	
3600	32	
4800	24	
7200	16	
9600	12	
19.2K	6	
38.4K	3	
56K	2	2.86
115.2K	1	

Tabel 9/3.5-40: Baud-rates bij gebruik van een 1,8432 MHz kristal.

Transmit/Receive Holding Register (THR en RHR)

Het zendgedeelte bestaat uit een zend-houdregister (Transmitter Holding Register: THR) en een zend-schuifregister (Transmitter Shift Register: TSR). De status van het zend-houdregister wordt bijgehouden in het Line Status Register (LSR). Door te schrijven naar het THR wordt de informatie op de databus (D0 tot en met D7) overgebracht naar het THR of het TSR als die leeg zijn.
Als het zend-houdregister leeg is of als data naar het zend-schuifregister is overgebracht, wordt de “zend-houdregister leeg” (THRE) vlag op “1” gezet. Schrijf-operaties dienen dus te worden uitgevoerd wanneer de THRE-vlag gezet is.
Op de dalende flank van de startbit begint de interne ontvangteller 7 1/2 clocksignalen van de 16X clock te tellen, waarmee het midden van het startbit wordt bepaald.
Als de RX dan nog LAAG is, is het startbit geldig. Door het startbit te verifiëren wordt voorkomen dat de ontvanger een fout datakarakter assembleert wanneer bijvoorbeeld een LAAG gaande storing op de RX-ingang optreedt. Ook de status-codes van de ontvanger worden bijgehouden in het Line Status Register.

Programmable Baud-rate Generator

De 16C454 bevat een programmeerbare baud-rate generator die clock-signalen tussen 0 (DC) en 8 MHz kan opnemen en delen door een getal tussen 1 en 2^{16}-1. De uitgangsfrequentie van $\overline{\text{Baudout}}$ is zestien maal (16X) de zendbaud-rate. Door een juiste keuze van LSB en MSB kunnen gestan-

daardiseerde Baud-rates worden ingesteld (zie ook tabel 9/3.5-40).

Interrupt Enable Register (IER)
Het interrupt enable register (IER) maskeert de binnenkomende interrupties van de Receiver Ready, Transmitter Empty, Line Status en Modem Status registers naar de INT uitgangspen.

- IER bit 0:
  1 = Receiver Ready interrupt vrijgegeven (enable).
  0 = Receiver Ready interrupt gesperd (disable).
- IER bit 1:
  1 = Transmitter Empty interrupt vrijgegeven (enable).
  0 = Transmitter Empty interrupt gesperd (disable).
- IER bit 2:
  1 = Receiver Line Status interrupt vrijgegeven (enable).
  0 = Receiver Line Status interrupt gesperd (disable).
- IER bit 3:
  1 = Modem Status Register interrupt vrijgegeven (enable).
  0 = Modem Status Register interrupt gesperd (disable).
- IER bit 7 tot 4:
  Al deze bits worden 0 gemaakt.

P	D2	D1	D0	Source of the interrupt
1	1	1	0	LSR (Receiver Line Status Register)
2	1	0	0	RXRDY (Received Data Ready)
3	0	1	0	TXRDY(Transmitter Holding Register Empty)
4	0	0	0	MSR (Modem Status Register)

Tabel 9/3.5-41: Interruptie-niveaus.

Interrupt Status Register (ISR)
De 16C454 beschikt over interrupt condities op vier prioriteitsniveaus, waardoor de hoeveelheid software voor het overbrengen van data minimaal kan zijn. Het Interrupt Status Register (ISR) verschaft informatie over de interrumperende bron.
Gedurende de leescyclus levert de 16C454 eerst het prioriteitsniveau met de hoogste prioriteit. Andere interrupties worden pas bevestigd als de betreffende interrupt is afgewerkt.
Tabel 9/3.5-41 toont de interruptieniveaus.

- ISR bit 0:
  0 = er “hangt” een interruptie en de inhoud van het ISR kan worden gebruikt als pointer naar de betreffende interrupt serviceroutine.
  1 = er is geen hangende interruptie.
- ISR bits 1 en 2:
  De logische combinatie van deze bits levert de interruptie met de hoogste prioriteit.
- ISR bit 3 tot 7:
  Deze bits worden niet gebruikt en worden op 0 gezet.

Line Control Register (LCR)
Het Line Control register (LCR) wordt gebruikt om het formaat van de asynchrone data-communicatie te specificeren. Door de juiste bits in dit register te schrijven kan men het getal van de woordlengte, stopbits en pariteit kiezen.

- LCR bit 1 en 0:
  Deze bits specificeren het aantal bits per verzonden of ontvangen woord (zie tabel 9/3.5-42).
- LCR bit 2:
  Met bit 2 wordt het aantal stopbits ingesteld (zie tabel 9/3.5-43).
- LCR bit 3:
  Met bit 3 wordt de pariteit gekozen.
  0 = geen pariteit.
  1 = bij het zenden wordt een pariteitsbit gegenereerd en bij het ontvangen wordt de pariteit gecontroleerd.
- LCR bit 4:
  Als voor pariteit is gekozen, selecteert men met bit 4 op even of oneven pariteit.

3.5 Type-beschrijving 16Cxxx-familie

BIT-1	BIT-0	Word length
0	0	5
0	1	6
1	0	7
1	1	8

Tabel 9/3.5-42: Instelling van de woordlengte.

BIT-2	Word length	Stop bit(s)
0	5,6,7,8	1
1	5	1-1/2
1	6,7,8	2

Tabel 9/3.5-43: Selectie van het aantal stopbits.

0 = oneven pariteit (odd). De verzonden data bevat dan een oneven aantal enen, terwijl de ontvangen data op hetzelfde formaat wordt gecheckt.
1 = even pariteit.

- LCR bit 5:
  Als voor pariteit is gekozen, wordt met bit 5 het geforceerde pariteitsformaat geselecteerd.
  Als bit 5 = 1 en bit 4 = 0, wordt het pariteitsbit in de verzonden en ontvangen data een logische 1. Als bit 5 en bit 4 beide = 1 zijn, wordt het pariteitsbit in de verzonden en ontvangen data een logische 0.
- LCR bit 6:
  Dit is de break-controlbit, waarmee een break-conditie wordt geforceerd (TX wordt LAAG gehouden).
  0 = normale bedrijfsconditie.
  1 = de uitgang van de zender (TX) gaat LAAG om de communicatie-terminal te waarschuwen.
- PLCR bit 7:
  Dit is de latch-enable van de interne baudrate-teller.
  0 = normale werking.
  1 = selecteer het divisor latch register.

Modem Control Register (MCR)
Dit register regelt de interface met de modem of een ander randapparaat (RS232).

- MCR bit 0:
  0 = forceer $\overline{\text{DTR}}$ HOOG.
  1 = forceer $\overline{\text{DTR}}$ LAAG.
- MCR bit 1:
  0 = forceer $\overline{\text{RTS}}$ HOOG.
  1 = forceer $\overline{\text{RTS}}$ LAAG.
- MCR bit 2:
  Wordt alleen in de interne loop-back mode gebruikt.
- MCR bit 3:
  0 = zet de INT uitgangspen in de 3-state mode.
  1 = zet de INT uitgangspen in de normale bedrijfsmode.
- MCR bit 4:
  0 = normale bedrijfsmode.
  1 = maakt lokale loopback mode mogelijk (voor diagnostische test). De transmitter uitgang (TX) wordt HOOG gezet (mark conditie), terwijl de receiver ingang (RX) en $\overline{\text{CTS}}$, $\overline{\text{DSR}}$, $\overline{\text{CD}}$ en $\overline{\text{RI}}$ worden losgekoppeld. Inwendig wordt de transmitter uitgang verbonden met de receiver ingang en worden $\overline{\text{DTR}}$, $\overline{\text{RTS}}$, $\overline{\text{OP1}}$ en $\overline{\text{OP2}}$ verbonden met de modem-besturingsingangen. In deze mode zijn de interrupts van ontvanger en zender volledig operationeel. Ook de interrupts van de modembesturing zijn operationeel, maar de interrupt-bronnen van de modembesturing zijn nu de laagste vier bits van het modem control register in plaats van de vier modem-control ingangen. De interrupts worden nog steeds bestuurd door het IER.
- MCR bit 5 tot 7:
  Deze bits worden niet gebruikt en zijn permanent op 0 gehouden.

Line Status Register (LSR)
Dit register voorziet de CPU van informatie over de status van de data-overdracht.

- LSR bit 0:
  0 = geen data in het Receive Holding register.
  1 = er is data ontvangen en opgeborgen in het Receive Holding register.
- LSR bit 1:
  0 = geen overrun fout (normaal).
  1 = overrun error (het volgende karakter kwam binnen voordat het Receive Holding register werd leeg gemaakt).
- LSR bit 2:
  0 = geen pariteitsfout (normaal).
  1 = pariteitsfout (de ontvangen data heeft niet de juiste pariteitsinformatie).
- LSR bit 3:
  0 = geen framing fout (normaal).
  1 = er is een framing error ontvangen (de ontvangen data had geen geldig stopbit).
- LSR bit 4:
  0 = geen break conditie (normaal).
  1 = er werd een break-signaal ontvangen (RX was gedurende één karakter- tijdframe laag).
- LSR bit 5:
  0 = het Transmit Holding register is vol. De 16C454 accepteert geen data voor versturing.
  1 = Transmit Holding register is leeg: de CPU kan het volgende karakter laden.
- LSR bit 6:
  0 = Tranmitter Holding- en schuifregisters zijn vol.
  1 = Tranmitter Holding- en schuifregisters zijn leeg.
- LSR bit 7:
  Wordt niet gebruikt en is altijd 0.

Modem Status Register (MSR)
Dit register voorziet de CPU van informatie over de huidige toestand van de besturingslijnen van de modem. Vier bits van dit register worden gebruikt om veranderingen aan te geven. Deze bits worden op "1" gezet als een besturingssignaal van de modem van toestand verandert. Wanneer dit register door de CPU wordt uitgelezen, gaan ze naar logisch 0.

- MSR bit 0:
  Geeft aan dat het $\overline{CTS}$-signaal van toestand is veranderd sinds het de laatste keer werd uitgelezen.
- MSR bit 1:
  Geeft aan dat het $\overline{DSR}$-signaal naar de 16C454 na de laatste uitlezing van toestand is veranderd.
- MSR bit 2:
  Geeft aan dat de $\overline{RI}$-ingang naar de chip is veranderd van een LAGE in een HOGE toestand.
- MSR bit 3:
  Geeft aan dat het $\overline{DCD}$-signaal naar de chip van toestand is veranderd sinds de laatste keer dat bit 3 door de CPU werd uitgelezen.
- MSR bit 4:
  Bit 4 is equivalent aan RTS in het Modem Control register tijdens de lokale loopback mode. Het is het complement van het $\overline{CTS}$-signaal.
- MSR bit 5:
  Bit 5 is equivalent aan DTR in het MCR gedurende de lokale loop-back mode. Het is het complement van het $\overline{DSR}$-signaal.
- MSR bit 6:
  Bit 6 is equivalent aan OP1 in het Modem Control register gedurende de lokale loopback mode en het complement van het $\overline{RI}$-signaal.
- MSR bit 7:
  Bit 7 is equivalent aan OP2 in het MCR tijdens de lokale loop-back mode en het complement van het $\overline{CD}$-signaal.

LET OP: Telkens wanneer MSR bit 3 tot en met 0 op logisch "1" zijn gezet, wordt een modem status interrupt gegenereerd.

Scratch Register (SCR)
In het scratch register kan 8 bit informatie tijdelijk worden opgeslagen.

Overige kenmerken
In tabel 9/3.5-44 zijn de reset-functies en in tabel 9/3.5-45 de geresette toestanden van de UART-signalen te zien.
De overige elektrische en timing karakteristieken van het Startech type ST16C454 zijn

3.5 Type-beschrijving 16Cxxx-familie

opgenomen in de tabellen 9/3.5-46 tot en met 9/3.5-48 en de figuren 9/3.5-30 tot en met 9/3.5-35.

SIGNALS	RESET STATE
TX	High
OP1*	High
OP2*	High
RTS*	High
DTR*	High
INT	Three state

Tabel 9/3.5-45: Toestand van de signaal-uitgangen na resetten.

REGISTERS	RESET STATE
IER	IER BITS 0-7=0
ISR	ISR BIT-0=1, ISR BITS 1-7=0
LCR	LCR BITS 0-7=0
MCR	MCR BITS 0-7=0
LSR	LSR BITS 0-4=0, LSR BITS 5-6=1 LSR, BIT 7=0
MSR	MSR BITS 0-3=0,
MSR	BITS 4-7=input signals

Tabel 9/3.5-44: Externe reset-condities van de 16C454.

Supply range	7 Volts
Voltage at any pin	GND-0.3 V to VCC+0.3 V
Operating temperature	0° C to +70° C
Storage temperature	-40° C to +150° C
Package dissipation	500 mW

Tabel 9/3.5-46: Maximaal toegelaten waarden.

T_A=25° C, V_{CC}=5.0 V ± 5% unless otherwise specified.

Symbol	Parameter	Limits Min	Typ	Max	Units	Conditions
V_{ILCK}	Clock input low level	-0.5		0.6	V	
V_{IHCK}	Clock input high level	3.0		VCC	V	
V_{IL}	Input low level	-0.5		0.8	V	
V_{IH}	Input high level	2.2		VCC	V	
V_{OL}	Output low level on all outputs			0.4	V	I_{OL}= 6 mA
V_{OH}	Output high level	2.4			V	I_{OH}= -6 mA
I_{CC}	Avg. power supply current			6	mA	
I_{IL}	Input leakage			±10	μA	
I_{CL}	Clock leakage			±10	μA	

Tabel 9/3.5-47: Elektrische (gelijkspanning) kenmerken onder normale bedrijfscondities.

3.5 Type-beschrijving 16Cxxx-familie

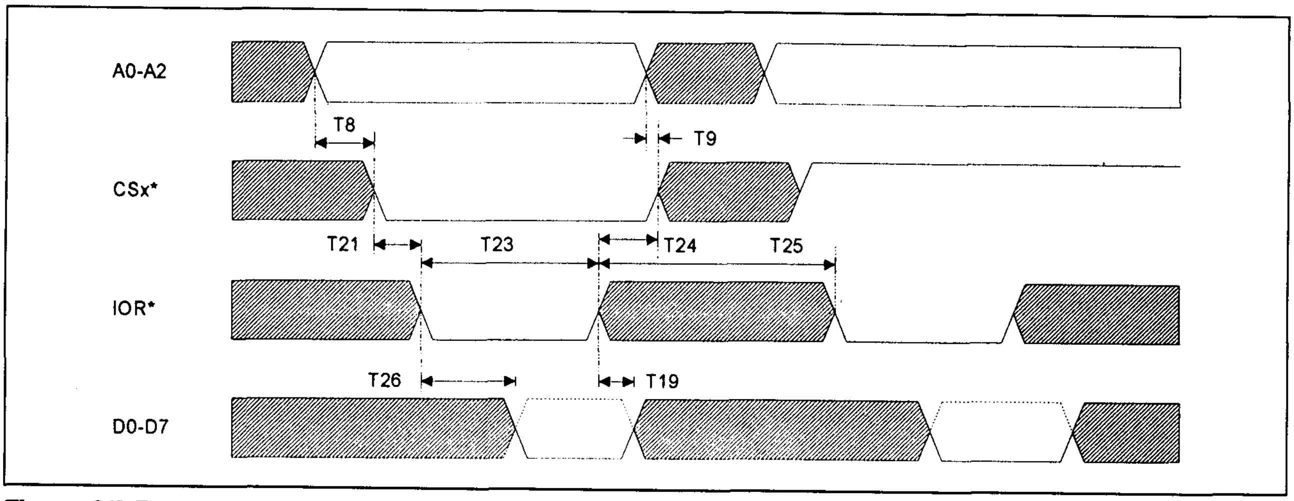
T_A=25° C, V_{CC}=5.0 V ± 5% unless otherwise specified.

Symbol	Parameter	Limits Min	Typ	Max	Units	Conditions
T_1	Clock high pulse duration	50			ns	
T_2	Clock low pulse duration	50			ns	External clock
T_3	Clock rise/fall time			10	ns	
T_8	Chip select setup time	15			ns	
T_9	Chip select hold time	0			ns	
T_{12}	Data set up time	15			ns	
T_{13}	Data hold time	15			ns	
T_{14}	IOW* delay from chip select	10			ns	
T_{15}	IOW* strobe width	50			ns	
T_{16}	Chip select hold time from IOW*	0			ns	
T_{17}	Write cycle delay	55			ns	
Tw	Write cycle=T_{15}+T_{17}	105			ns	
T_{18}	Data setup time	15			ns	
T_{19}	Data hold time	15			ns	
T_{21}	IOR* delay from chip select	10			ns	
T_{23}	IOR* strobe width	65			ns	
T_{24}	Chip select hold time from IOR*	0			ns	
T_{25}	Read cycle delay	55			ns	
Tr	Read cycle=T_{23}+T_{25}	115			ns	
T_{26}	Delay from IOR* to data			35	ns	100 pF load
T_{28}	Delay from IOW* to output			50	ns	100 pF load
T_{29}	Delay to set interrupt from MODEM input			70	ns	100 pF load
T_{30}	Delay to reset interrupt from IOR*			70	ns	100 pF load
T_{31}	Delay from stop to set interrupt			1_{Rck}	ns	100 pF load
T_{32}	Delay from IOR* to reset interrupt			200	ns	100 pF load
T_{33}	Delay from initial INT reset to transmit start	8		24	*	
T_{34}	Delay from stop to interrupt			100	ns	
T_{35}	Delay from IOW* to reset interrupt			175	ns	
N	Baud rate devisor	1		2^{16}-1		

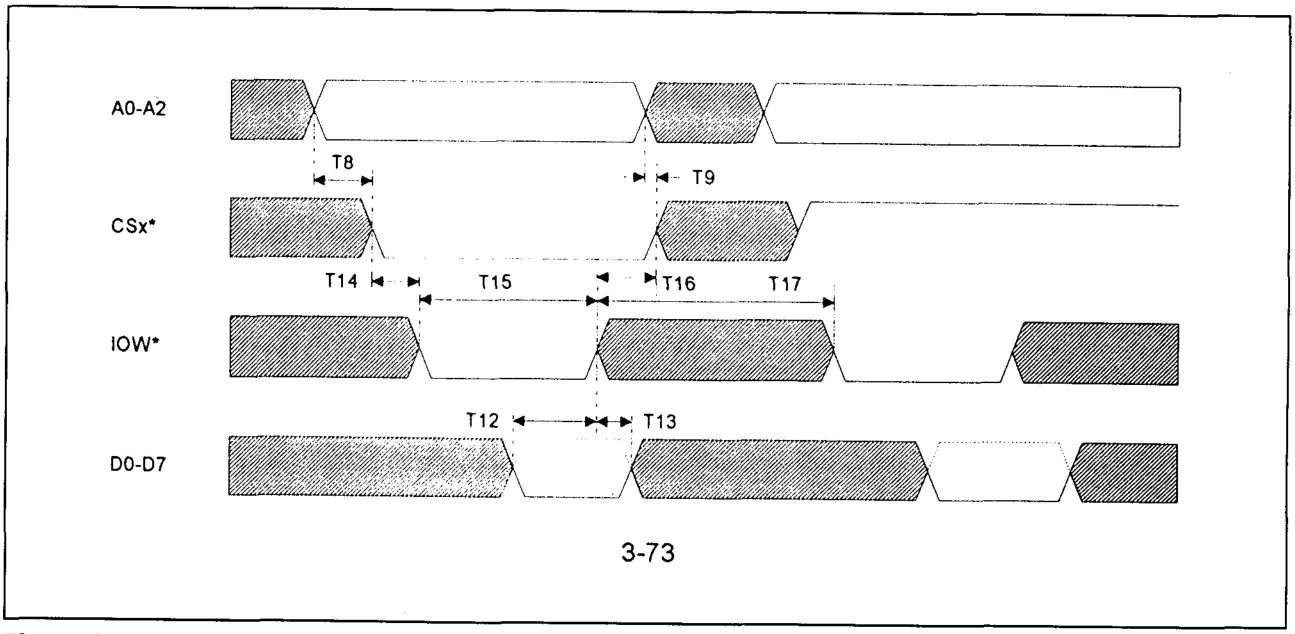
Note 1: * = Baudout* cycle

Tabel 9/3.5-48: Alle schakeltijden voor de 16C454.

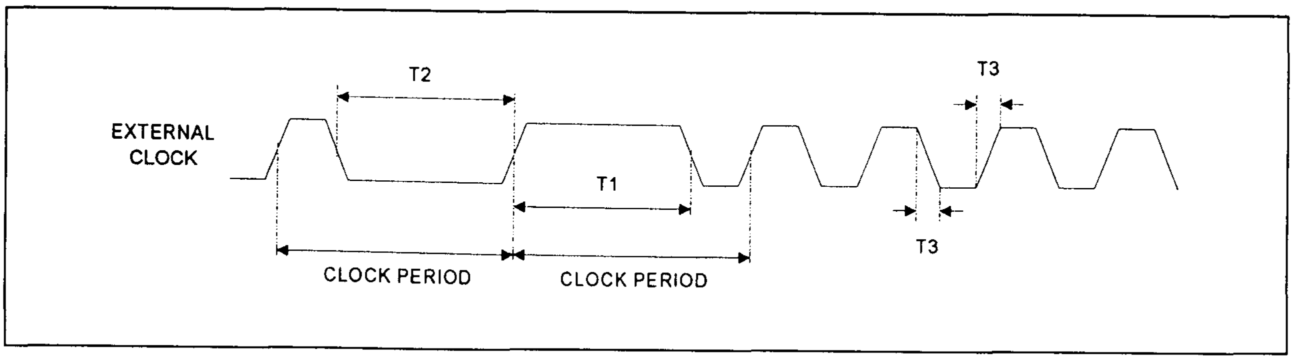
3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-30: Timing van een leescyclus.

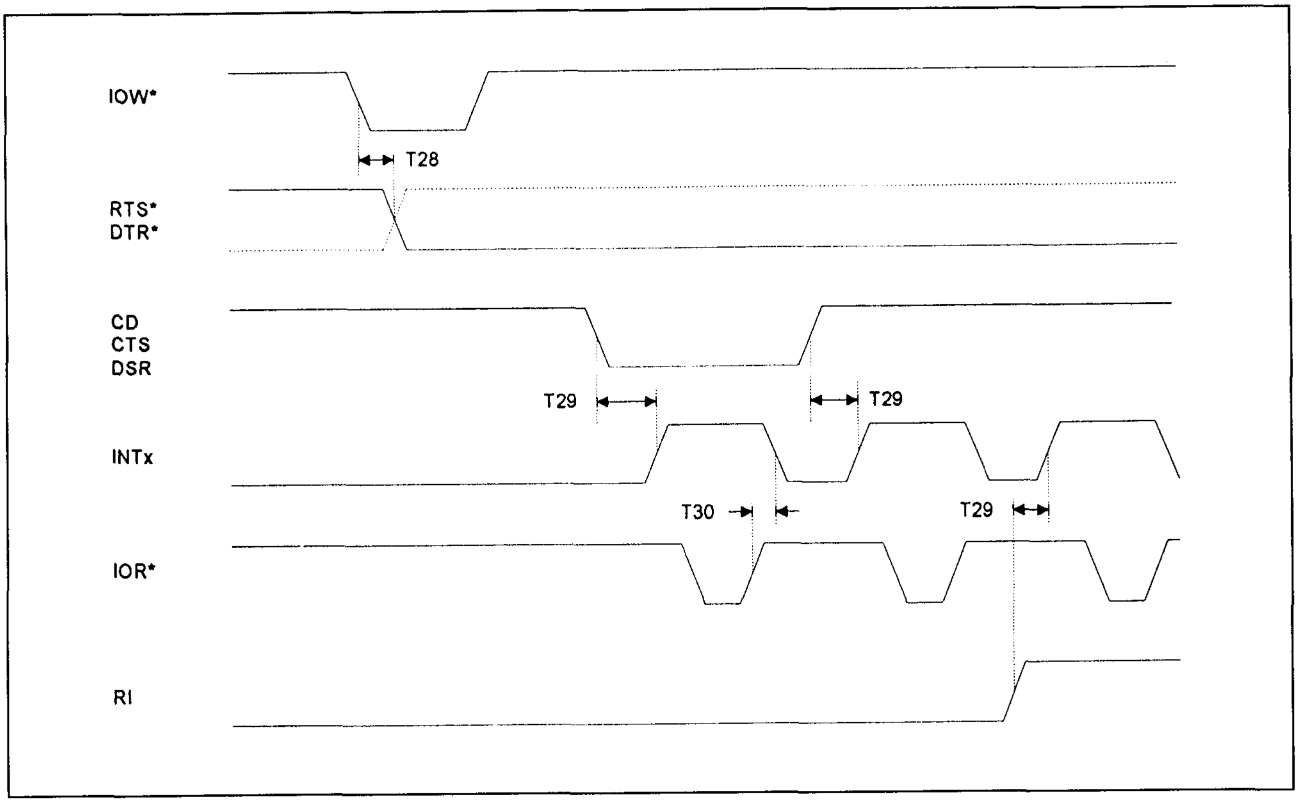


Figuur 9/3.5-31: Timing van een schrijfcyclus.

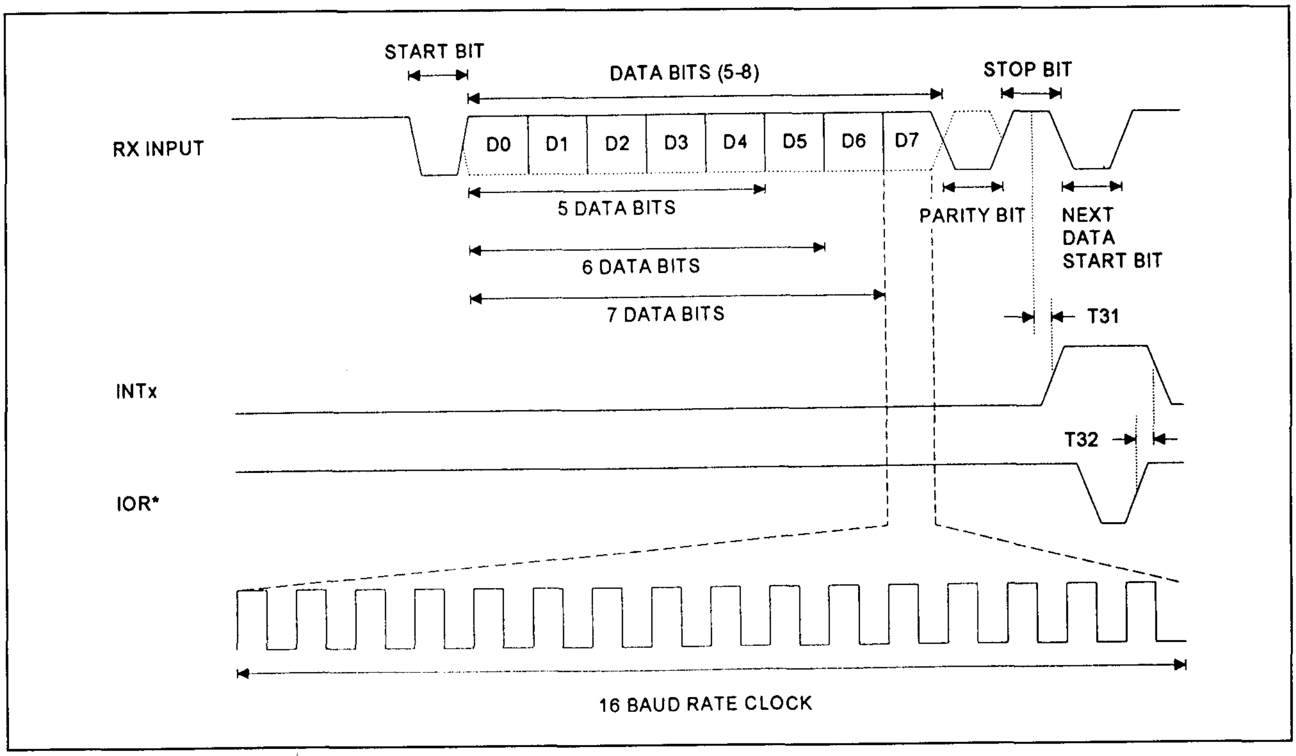


Figuur 9/3.5-32: Benodigde timing bij gebruik van een externe clock.

3.5 Type-beschrijving 16Cxxx-familie

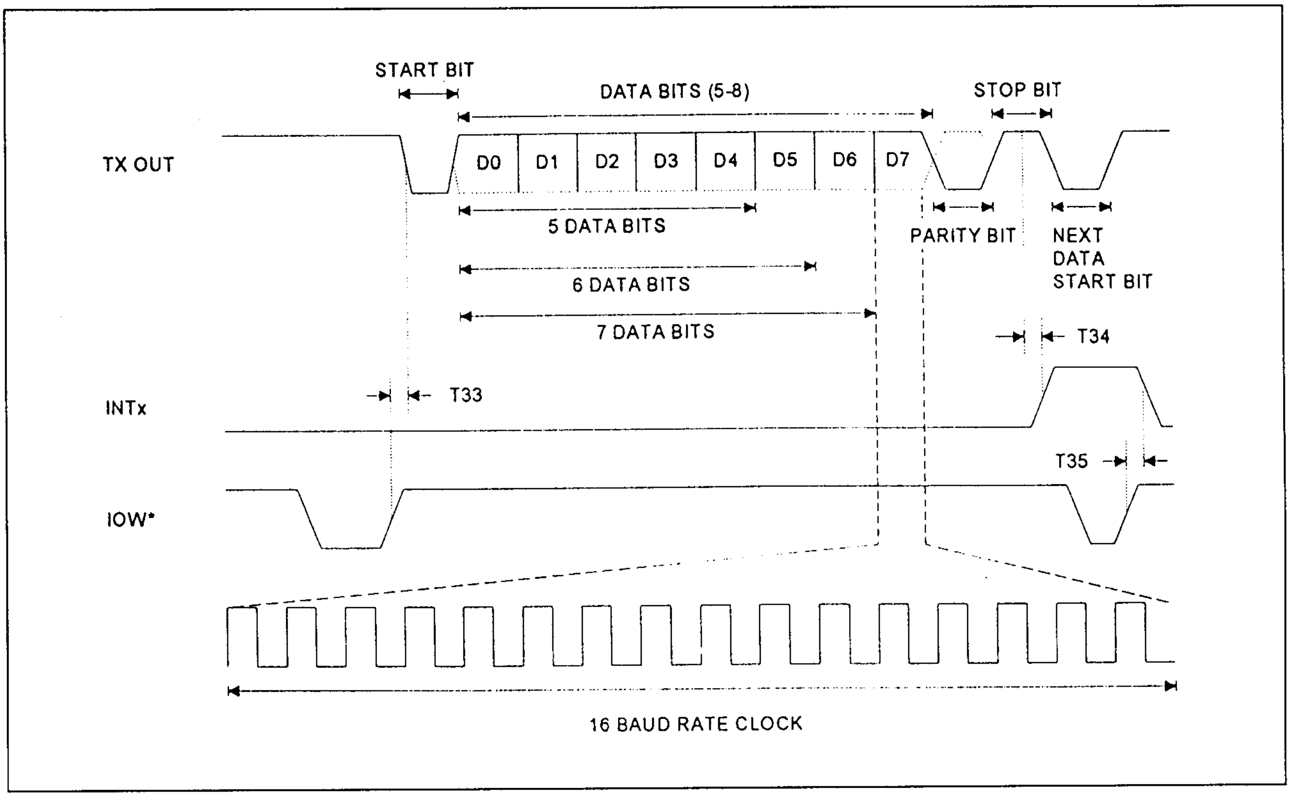


Figuur 9/3.5-33: Optredende golfvormen en timing bij gebruik van een modem.



Figuur 9/3.5-34: Timing bij het ontvangen van data.

3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-35: Timing bij het verzenden van data.

16C550
asynchrone zender/ontvanger (UART) met FIFO's

De 16C550 is een universele asynchrone zender/ontvanger met 16 byte FIFO's (First-In, First-Out geheugens) aan zend- en ontvangzijde, plus drie extra bits per byte in de ontvang-FIFO voor foutmeldingen. Deze UART heeft een programmeerbare baudrate generator, waarmee kloksnelheden voor zenden en ontvangen van 50 Hz tot en met 448 kHz kunnen worden ingesteld. Tevens beschikt de 16C550 over interne statusregisters die informatie verschaffen over foutcondities en soort en status van de lopende data-overdracht. De 16C550 beschikt over alle functies voor het besturen van een modem plus een processor-interrupt systeem dat met behulp van software aan de eisen van de gebruiker kan worden aangepast. Bovendien is interne loop-back voor testdoeleinden mogelijk. Het Texas Instruments type TL16C550C kan in de FIFO-mode gebruik maken van "Auto Flow".
Hierbij wordt de seriële datastroom automatisch geregeld met behulp van de $\overline{RTS}$-uitgangssignalen en $\overline{CTS}$-ingangssignalen.

Kenmerken van de 16C550

- pen- en functioneel compatibel met NS16550 en VL16C550
- 16 byte zend-FIFO
- 16 byte ontvang-FIFO met error-vlaggen
- modembesturingsfuncties: $\overline{CTS}$, $\overline{RTS}$, $\overline{DSR}$, $\overline{DTR}$, $\overline{RI}$ en $\overline{DCD}$
- programmeerbare karakterlengte: 5, 6, 7 of 8 bit
- genereren/detectie van even, oneven of geen pariteitsbit
- onafhankelijke besturing van zenden en ontvangen
- TTL-compatibele in- en uitgangen
- softwarecompatibel met INS8250 en NS16C450

3.5 Type-beschrijving 16Cxxx-familie

- zenden/ontvangen op 448 kHz bij toepassing van 7,372 MHz kristal of externe clock
- behuizingen: 40-pens plastic DIL, 44-pens PLCC of 48-pens TQFP (figuur 9/3.5-36)
- fabrikanten o.a.:

NatSemi: NS16550
Startech: ST16C550
Texas Instruments: TL16C550C
VLSI Technology: VL16C550
Western Digital: WD16C550
Exar: XR16C550
Silicon Systems: SSI73M550

Terminal Functions

TERMINAL NAME	NO. N	NO. FN	NO. PT	I/O	DESCRIPTION
A0 A1 A2	28 27 26	31 30 29	28 27 26	I	Register select. A0–A2 are used during read and write operations to select the ACE register to read from or write to. Refer to Table 1 for register addresses, and refer to the address strobe ($\overline{ADS}$) signal description.
$\overline{ADS}$	25	28	24	I	Address strobe. When $\overline{ADS}$ is active (low), the register-select signals (A0, A1, and A2) and chip-select signals (CS0, CS1, $\overline{CS2}$) drive the internal select logic directly; when $\overline{ADS}$ is high, the register-select and chip-select signals are held at the logic levels they were in when the low-to-high transition of $\overline{ADS}$ occured.
$\overline{BAUDOUT}$	15	17	12	O	Baud out. $\overline{BAUDOUT}$ is a 16× clock signal for the transmitter section of the ACE. The clock rate is established by the reference oscillator frequency divided by a divisor specified by the baud-generator-divisor latches. $\overline{BAUDOUT}$ may also be used for the receiver section by tying this output to RCLK.
CS0 CS1 $\overline{CS2}$	12 13 14	14 15 16	9 10 11	I	Chip select. When CS0 and CS1 are high and $\overline{CS2}$ is low, these three inputs select the ACE. If any of these inputs are inactive, the ACE remains inactive. Refer to the $\overline{ADS}$ (address-strobe) signal description.
$\overline{CTS}$	36	40	38	I	Clear to send. $\overline{CTS}$ is a modem-status signal whose condition can be checked by reading bit 4 (CTS) of the modem-status register. Bit 0 (ΔCTS) of the modem-status register indicates that this signal has changed levels since the last read from the modem-status register. If the modem-status interrupt is enabled when $\overline{CTS}$ changes levels and the auto-$\overline{CTS}$ mode is not enabled, an interrupt is generated. $\overline{CTS}$ is also used in the auto-$\overline{CTS}$ mode to control the transmitter.
D0 D1 D2 D3 D4 D5 D6 D7	1 2 3 4 5 6 7 8	2 3 4 5 6 7 8 9	43 44 45 46 47 2 3 4	I/O	Data bus. Eight data lines with 3-state outputs provide a bidirectional path for data, control, and status information between the ACE and the CPU.
$\overline{DCD}$	38	42	40	I	Data-carrier detect. $\overline{DCD}$ is a modem-status signal whose condition can be checked by reading bit 7 (DCD) of the modem-status register. Bit 3 (ΔDCD) of the modem-status register indicates that this signal has changed levels since the last read from the modem-status register. If the modem-status interrupt is enabled when $\overline{DCD}$ changes levels, an interrupt is generated.
DDIS	23	26	22	O	Driver disable. This output is active (high) when the CPU is not reading data. When active, this output can be used to disable an external transceiver.
$\overline{DSR}$	37	41	39	I	Data-set ready. $\overline{DSR}$ is a modem-status signal whose condition can be checked by reading bit 5 (DSR) of the modem-status register. Bit 1 (ΔDSR) of the modem-status register indicates this signal has changed levels since the last read from the modem-status register. If the modem-status interrupt is enabled when the $\overline{DSR}$ changes levels, an interrupt is generated.
$\overline{DTR}$	33	37	33	O	Data-terminal ready. When active (low), $\overline{DTR}$ informs a modem or data set that the ACE is ready to establish communication. $\overline{DTR}$ is placed in its active level by setting the DTR bit of the modem-control register to one. $\overline{DTR}$ is placed in its inactive level either as a result of a master reset, during loop-mode operation, or resetting the DTR bit.
INTRPT	30	33	30	O	Interrupt. When active (high), INTRPT informs the CPU that the ACE has an interrupt to be serviced. Four conditions that cause an interrupt to be issued are: a receiver error, received data that is available or timed out (FIFO-mode only), an empty transmitter holding register, or an enabled modem-status interrupt. The INTRPT output is reset (deactivated) either when the interrupt is serviced or as a result of a master reset.
MR	35	39	35	I	Master reset. When active (high), MR clears most ACE registers and sets the levels of various output signals. Refer to Table 2, ACE reset functions.

Tabel 9/3.5-49a: Functies van de aansluitpennen.

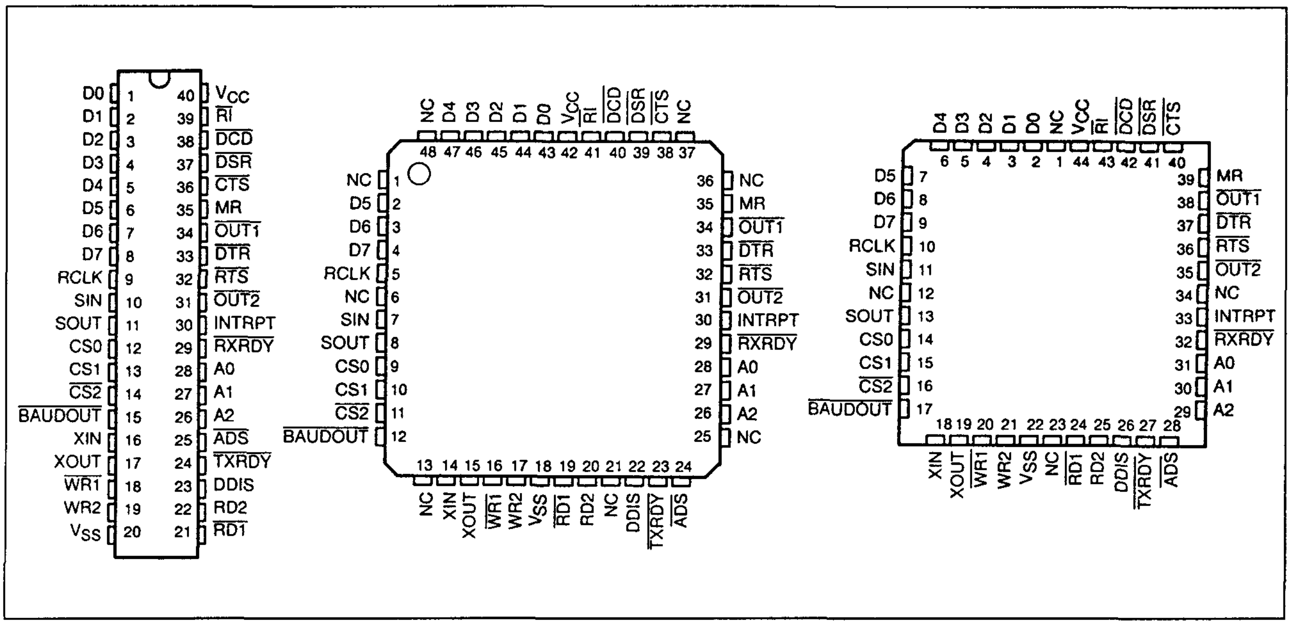
3.5 Type-beschrijving 16Cxxx-familie

Terminal Functions (Continued)

TERMINAL NAME	NO. N	NO. FN	NO. PT	I/O	DESCRIPTION
$\overline{OUT1}$ $\overline{OUT2}$	34 31	38 35	34 31	O	Outputs 1 and 2. These are user-designated output terminals that are set to their active (low) level by setting their respective modem-control register (MCR) bits (OUT1 and OUT2) to one. $\overline{OUT1}$ and $\overline{OUT2}$ are set to their inactive (high) level as a result of master reset, during loop-mode operations, or by resetting bit 2 (OUT1) or bit 3 (OUT2) of the MCR.
RCLK	9	10	5	I	Receiver clock. RCLK is the 16× baud-rate clock for the receiver section of the ACE.
$\overline{RD1}$ RD2	21 22	24 25	19 20	I	Read inputs. When either input is active (low or high, respectively) while the ACE is selected, the CPU is allowed to read status information or data from a selected ACE register. Only one of these inputs is required for the transfer of data during a read operation; the other input should be tied to its inactive level (i.e., RD2 tied low or $\overline{RD1}$ tied high).
$\overline{RI}$	39	43	41	I	Ring indicator. $\overline{RI}$ is a modem-status signal whose condition can be checked by reading bit 6 (RI) of the modem-status register. Bit 2 (TERI) of the modem-status register indicates that $\overline{RI}$ has transitioned from a low to a high level since the last read from the modem-status register. If the modem-status interrupt is enabled when this transition occurs, an interrupt is generated.
$\overline{RTS}$	32	36	32	O	Request to send. When active, $\overline{RTS}$ informs the modem or data set that the ACE is ready to receive data. $\overline{RTS}$ is set to its active level by setting the RTS modem-control register bit and is set to its inactive (high) level either as a result of a master reset or during loop-mode operations or by resetting bit 1 (RTS) of the MCR. In the auto-$\overline{RTS}$ mode, $\overline{RTS}$ is set to its inactive level by the receiver threshold control logic.
$\overline{RXRDY}$	29	32	29	O	Receiver ready. Receiver direct-memory access (DMA) signalling is available with this terminal. When operating in the FIFO mode, one of two types of DMA signalling can be selected via the FIFO control-register bit 3 (FCR3). When operating in the TL16C450 mode, only DMA mode 0 is allowed. Mode 0 supports single-transfer DMA in which a transfer is made between CPU bus cycles. Mode 1 supports multitransfer DMA in which multiple transfers are made continuously until the receiver FIFO has been emptied. In DMA mode 0 (FCR0 = 0 or FCR0 = 1, FCR3 = 0), if there is at least one character in the receiver FIFO or receiver holding register, $\overline{RXRDY}$ is active (low). When $\overline{RXRDY}$ has been active but there are no characters in the FIFO or holding register, $\overline{RXRDY}$ goes inactive (high). In DMA mode 1 (FCR0 = 1, FCR3 = 1), when the trigger level or the time out has been reached, $\overline{RXRDY}$ goes active (low); when it has been active but there are no more characters in the FIFO or holding register, it goes inactive (high).
SIN	10	11	7	I	Serial data. Input from a connected communications device
SOUT	11	13	8	O	Composite serial data output to a connected communication device. SOUT is set to the marking (logic H) level as a result of master reset.
$\overline{TXRDY}$	24	27	23	O	Transmitter ready. Transmitter DMA signalling is available with this terminal. When operating in the FIFO mode, one of two types of DMA signalling can be selected via FCR3. When operating in the TL16C450 mode, only DMA mode 0 is allowed. Mode 0 supports single-transfer DMA in which a transfer is made between CPU bus cycles. Mode 1 supports multitransfer DMA in which multiple transfers are made continuously until the transmit FIFO has been filled.
V_{CC}	40	44	42		5-V supply voltage
V_{SS}	20	22	18		Supply common
$\overline{WR1}$ WR2	18 19	20 21	16 17	I	Write inputs. When either input is active (low or high, respectively) and while the ACE is selected, the CPU is allowed to write control words or data into a selected ACE register. Only one of these inputs is required to transfer data during a write operation; the other input should be tied to its inactive level (i.e., WR2 tied low or $\overline{WR1}$ tied high).
XIN XOUT	16 17	18 19	14 15	I/O	External clock. These terminals connect the ACE to the main timing reference (clock or crystal).

Tabel 9/3.5-49b: Functies van de aansluitpennen (vervolg).

3.5 Type-beschrijving 16Cxxx-familie



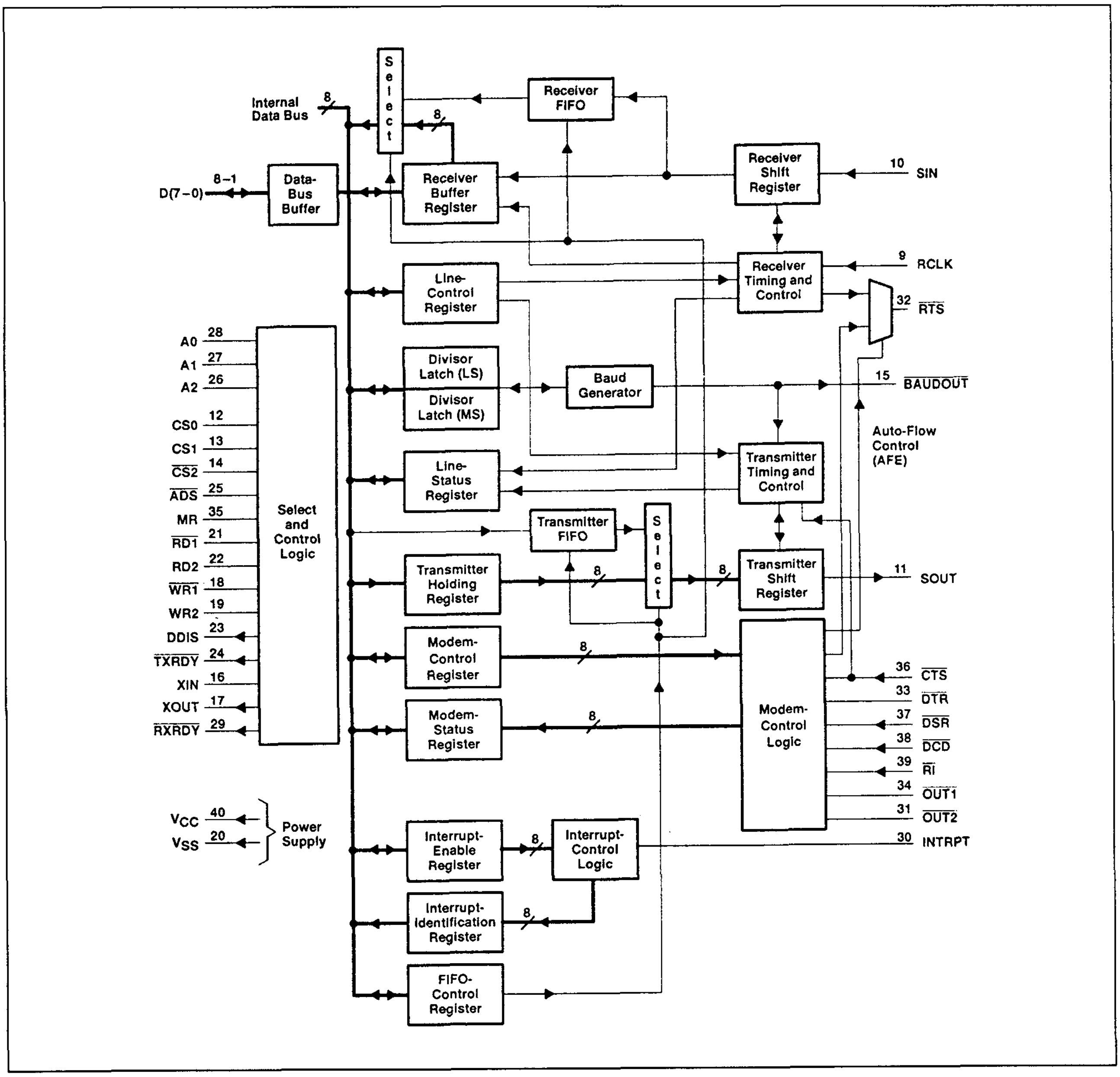
Figuur 9/3.5-36: Aansluitingen van de 40-pens DIL, 44-pens PLCC en 48-pens TQFP versie van de 16C550.

BIT NO.	REGISTER ADDRESS											
	0 DLAB = 0	0 DLAB = 0	1 DLAB = 0	2	2	3	4	5	6	7	0 DLAB = 1	1 DLAB = 1
	Receiver Buffer Register (Read Only)	Transmitter Holding Register (Write Only)	Interrupt-Enable Register	Interrupt-Ident. Register (Read Only)	FIFO Control Register (Write Only)	Line-Control Register	Modem-Control Register	Line-Status Register	Modem-Status Register	Scratch Register	Divisor Latch (LSB)	Latch (MSB)
	RBR	THR	IER	IIR	FCR	LCR	MCR	LSR	MSR	SCR	DLL	DLM
0	Data Bit 0†	Data Bit 0	Enable Received-Data-Available Interrupt (ERBI)	0 if interrupt Pending	FIFO Enable	Word-Length Select Bit 0 (WLS0)	Data Terminal Ready (DTR)	Data Ready (DR)	Delta Clear to Send (ΔCTS)	Bit 0	Bit 0	Bit 8
1	Data Bit 1	Data Bit 1	Enable Transmitter Holding-Register-Empty Interrupt (ETBEI)	Interrupt ID Bit 1	Receiver FIFO Reset	Word-Length Select Bit 1 (WLS1)	Request to Send (RTS)	Overrun Error (OE)	Delta Data-Set Ready (ΔDSR)	Bit 1	Bit 1	Bit 9
2	Data Bit 2	Data Bit 2	Enable Receiver Line-Status Interrupt (ELSI)	Interrupt ID Bit 2	Transmitter FIFO Reset	Number of Stop Bits (STB)	OUT1	Parity Error (PE)	Trailing-Edge Ring Indicator (TERI)	Bit 2	Bit 2	Bit 10
3	Data Bit 3	Data Bit 3	Enable Modem-Status Interrupt (EDSSI)	Interrupt ID Bit 3 (see Note 4)	DMA Mode Select	Parity Enable (PEN)	OUT2	Framing Error (FE)	Delta Data-Carrier Detect (ΔDCD)	Bit 3	Bit 3	Bit 11
4	Data Bit 4	Data Bit 4	0	0	Reserved	Even-Parity Select (EPS)	Loop	Break Interrupt (BI)	Clear to Send (CTS)	Bit 4	Bit 4	Bit 12
5	Data Bit 5	Data Bit 5	0	0	Reserved	Stick Parity	Auto-Flow Control Enable (AFE)	Transmitter Holding Register (THRE)	Data Set Ready (DSR)	Bit 5	Bit 5	Bit 13
6	Data Bit 6	Data Bit 6	0	FIFOs Enabled (see Note 4)	Receiver Trigger (LSB)	Break Control	0	Transmitter Empty (TEMT)	Ring Indicator (RI)	Bit 6	Bit 6	Bit 14
7	Data Bit 7	Data Bit 7	0	FIFOs Enabled (see Note 4)	Receiver Trigger (MSB)	Divisor-Latch Access Bit (DLAB)	0	Error in RCVR FIFO (see Note 4)	Data-Carrier Detect (DCD)	Bit 7	Bit 7	Bit 15

† Bit 0 is the least significant bit. It is the first bit serially transmitted or received.
NOTE 4: These bits are always 0 in the TL16C450 mode.

Tabel 9/3.5-50: Overzicht van de toegankelijke registers in de 16C550 en functie van de bits. DLL en DLM zijn alleen toegankelijk als LCR-bit 7 op "1" is gezet.

3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-37: Functioneel blokschema en overzicht van de registers en signalen van de 16C550.

Functionele beschrijving
Aan de hand van het blokschema (figuur 9/3.5-37) en het overzicht van de (via de CPU) toegankelijke registers (tabel 9/3.5-50) worden de functies van de UART beschreven. In tabel 9/3.5-51 is te zien hoe deze registers met behulp van de adreslijnen A0, A1 en A2 kunnen worden bereikt. Het divisor-latch access bit (DLAB) is het meest belangrijke bit van het Line Control Register. Het DLAB-signaal kan worden ingesteld door naar deze bitlokatie te schrijven.

3.5 Type-beschrijving 16Cxxx-familie

DLAB†	A2	A1	A0	REGISTER
0	L	L	L	Receiver buffer (read), transmitter holding register (write)
0	L	L	H	Interrupt enable
X	L	H	L	Interrupt identification (read only)
X	L	H	L	FIFO control (write)
X	L	H	H	Line control
X	H	L	L	Modem control
X	H	L	H	Line status
X	H	H	L	Modem status
X	H	H	H	Scratch
1	L	L	L	Divisor latch (LSB)
1	L	L	H	Divisor latch (MSB)

Tabel 9/3.5-51: Selectie van de registers.

Transmit Holding Register (THR) en Receive Buffer Register (RBR)

Het gedeelte voor serieel zenden bestaat uit een zend-houdregister (Transmit Holding Register: THR) en een zend-schuifregister (Transmit Shift Register: TSR). De status van het zend-houdregister wordt bijgehouden in het Line Status Register (LSR). Door schrijven naar het THR wordt de inhoud van de databus (D0 tot en met D7) naar THR overgebracht als THR of TSR leeg zijn. De "zend-houdregister leeg" vlag (THRE) wordt "1" als het zend-houdregister leeg is of als data naar het zend-schuifregister wordt overgebracht. Het TSR zet de data om in seriële vorm en verstuurt deze via de seriële uitgang (SOUT). Schrijfoperaties moeten worden uitgevoerd wanneer de THRE-vlag is gezet!
Het ontvanggedeelte bestaat uit een ontvang-schuifregister (RSR) en een ontvang-bufferregister (RBR). De seriële data komt binnen op de SIN-pen. Het RBR is in feite een 16 byte FIFO. De timing wordt geregeld door de 16X receiver clock (RCLK). Op de dalende flank van het startbit begint de interne ontvangteller 7 1/2 clocksignalen van de 16X clock af te tellen om het midden van het startbit te bepalen. Het startbit is geldig als SIN op dat moment nog LAAG is. Verificatie van het startbit voorkomt dat de ontvanger een fout datakarakter assembleert (bijvoorbeeld wanneer een LAAG gaande storing op de SIN-ingang optreedt). De statuscodes van de ontvanger worden bijgehouden in het Line Status Register.

Werking met de FIFO in de interrupt-mode

Wanneer de ontvang-FIFO (FCR-bit 0 = 1) en ontvang-interrupts (IER-bit 0 = 1) zijn vrijgegeven, treden ontvanger-interrupts op de volgende manieren op:

- De "data beschikbaar-interrupts" van de ontvanger gaan naar de CPU als de FIFO zijn geprogrammeerde triggerniveau heeft bereikt. De INT-uitgang wordt gecleared zodra de FIFO weer onder zijn triggerniveau komt.
- Ook de ISR "ontvangen data beschikbaar" indicatie treedt op wanneer het FIFO-triggerniveau wordt bereikt.
  Net als de interrupt wordt ook deze gecleared als de FIFO weer onder zijn triggerniveau komt.
- Het "data ready" bit (LSR-bit 0) wordt gezet zodra een karakter van het schuifregister wordt overgebracht naar de ontvang-FIFO. Als de FIFO leeg is, wordt dit bit gereset.

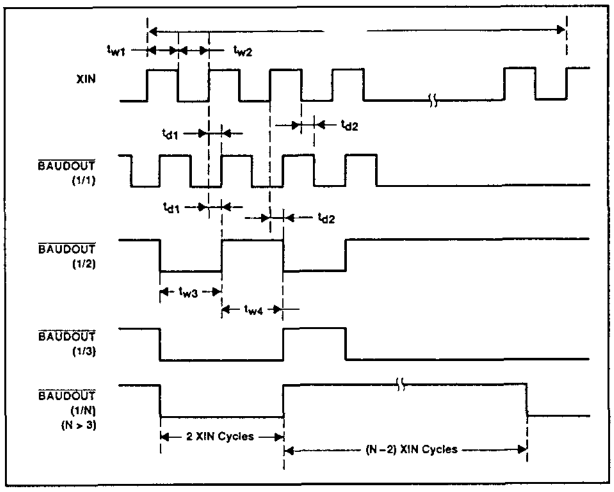
Werking met afvragen van de FIFO

De FIFO's in de 16C550 kunnen ook worden afgevraagd (de zogenaamde "polled" mode) door FCR-bit 0 = 1 en IER-bit 3 = 0 te maken. Aangezien de ontvanger en de zender apart worden bestuurd, kan elke FIFO apart of beide tegelijk worden afgevraagd met behulp van het Line Status Register:

- LSR-bit 0 wordt gezet zolang er een byte in de ontvang-FIFO is.
- LSR-bit 1 tot en met 4 specificeren de fouten die zijn opgetreden.
- LSR-bit 5 geeft aan wanneer de zend-FIFO leeg is.
- LSR-bit 6 meldt wanneer zowel de zend- als de ontvang-FIFO leeg zijn.
- LSR-bit 7 waarschuwt wanneer er fouten in de ontvang-FIFO zijn opgetreden.

Bij de 16C550 moet de FIFO-enable in twee stappen plaatsvinden om de triggerniveaus van de ontvanger vrij te kunnen geven.

3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-38: Timing van de baud-rate generator.

DESIRED BAUD RATE	DIVISOR USED TO GENERATE 16× CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	2304	
75	1536	
110	1047	0.026
134.5	857	0.058
150	768	
300	384	
600	192	
1200	96	
1800	64	
2000	58	0.69
2400	48	
3600	32	
4800	24	
7200	16	
9600	12	
19200	6	
38400	3	
56000	2	2.86

Tabel 9/3.5-52: Baud-rates bij gebruik van een 1,8432 MHz kristal.

Programmeerbare baud-rate generator
De 16C550 heeft een programmeerbare baud-rate generator die clock-signalen tussen 0 (DC) en 16 MHz kan ontvangen en delen door een getal tussen 1 en 2^{16} - 1. De uitgangsfrequentie van $\overline{\text{BAUDOUT}}$ is gelijk aan zestien maal (16X) de zend-baudrate. Door LSB en MSB in te stellen op de juiste deelwaarden kunnen gestandaardiseerde baud-rates worden verkregen (zie figuur 9/3.5-38 en de tabellen 9/3.5-52 en -53).

Interrupt Enable Register (IER)
Het interrupt enable register (IER) maskeert de binnenkomende interrupts van de Receiver Ready, Transmitter Empty, Line Status en Modem Status registers naar de INTRPT uitgangspen.

- IER-bit 0:
  0 = Receiver Ready interrupt gesperd (disable)
  1 = Receiver Ready interrupt vrijgegeven (enable)
- IER-bit 1:
  0 = Transmitter Empty interrupt gesperd
  1 = Transmitter Empty interrupt vrijgegeven
- IER-bit 2:
  0 = Receiver Line Status interrupt gesperd
  1 = Receiver Line Status interrupt vrijgegeven
- IER-bit 3:
  0 = Modem Status Register interrupt gesperd
  1 = Modem Status Register interrupt vrijgegeven
- IER-bit 4 tot en met 7:
  Deze bits worden allemaal op logisch 0 gezet.

DESIRED BAUD RATE	DIVISOR USED TO GENERATE 16× CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	3840	
75	2560	
110	1745	0.026
134.5	1428	0.034
150	1280	
300	640	
600	320	
1200	160	
1800	107	0.312
2000	96	
2400	80	
3600	53	0.628
4800	40	
7200	27	1.23
9600	20	
19200	10	
38400	5	

Tabel 9/3.5-53: Baud-rates bij gebruik van een 3,072 MHz kristal.

3.5 Type-beschrijving 16Cxxx-familie

INTERRUPT-IDENTIFICATION REGISTER				PRIORITY LEVEL	INTERRUPT TYPE	INTERRUPT SOURCE	INTERRUPT RESET METHOD
BIT 3	BIT 2	BIT 1	BIT 0				
0	0	0	1	None	None	None	None
0	1	1	0	1	Receiver line status	Overrun error, parity error, framing error, or break interrupt	Read the line-status register
0	1	0	0	2	Received data available	Receiver data available in the TL16C450 mode or trigger level reached in the FIFO mode	Read the receiver buffer register
1	1	0	0	2	Character time-out indication	No characters have been removed from or input to the receiver FIFO during the last four character times, and there is at least one character in it during this time	Read the receiver buffer register
0	0	1	0	3	Transmitter holding-register empty	Transmitter holding-register empty	Read the interrupt-identification register (if source of interrupt) or writing into the transmitter holding register
0	0	0	0	4	Modem status	Clear to send, data-set ready, ring indicator, or data-carrier detect	Read the modem-status register

Tabel 9/3.5-54: Prioriteitsniveaus.

Interrupt Identification Register (IIR)

De 16C550 voorziet in interrupt condities op vier prioriteitsniveaus, zodat de hoeveelheid software voor het overbrengen van datakarakters zo gering mogelijk kan zijn. Het Interrupt Identificatieregister (IIR) geeft informatie over de interrumperende bron. Gedurende de leescyclus wordt de interrupt met het hoogste niveau bediend door de CPU. Op andere interrupts wordt pas ingegaan als de lopende interrupt is afgewerkt.
In tabel 9/3.5-54 worden de prioriteitsniveaus van de interrupties getoond.

- IIR-bit 0:
  0 = er moet nog een interrupt worden behandeld en de inhoud van het ISR kan als pointer naar de betreffende interrupt serviceroutine worden gebruikt.
  1 = er is geen hangende interrupt.
- IIR-bits 1 tot en met 3:
  De logische combinatie van deze bits levert de interruptie met de hoogste prioriteit op.
- IIR-bits 4 tot en met 7:
  Deze bits worden niet gebruikt en worden in de 16C450-mode op "0" gezet. De ISR-bits 6 en 7 worden op "1" gezet in de 16C550-mode.

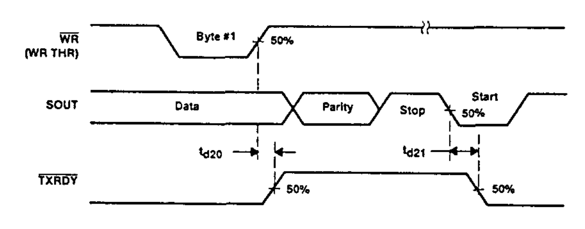
FIFO Control Register (FCR)

Dit register wordt gebruikt om de FIFO's vrij te geven voor gebruik (enable), om de FIFO's leeg te maken (clear), om het triggerniveau van de ontvang-FIFO in te stellen en het type DMA-signalering te selecteren.

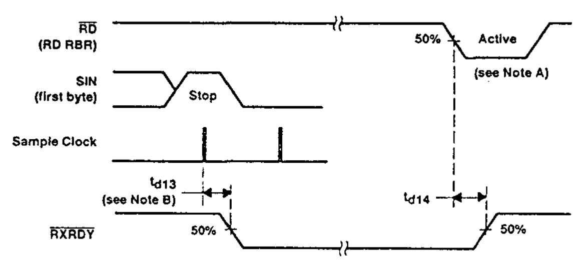
- FCR-bit 0:
  0 = Transmit en Receiver FIFO gesperd (disable)
  1 = Transmit en Receiver FIFO vrijgegeven (enable)
  Dit bit dient te worden vrijgegeven voordat de FIFO triggerniveaus worden ingesteld.
- FCR-bit 1:
  0 = geen verandering.
  1 = maakt de ontvang-FIFO leeg en zet de tellogika daarvan op 0. Het ontvang-schuifregister wordt niet leeggemaakt of veranderd. Na het leegmaken van de FIFO's gaat dit bit terug op "0".
- FCR-bit 2:
  0 = geen verandering.
  1 = maakt de zend-FIFO leeg en zet diens teller op 0. Het zend-schuifregister wordt niet leeggemaakt of veranderd. Na het leegmaken van de FIFO's gaat dit bit terug op "0".
- FCR-bit 3:

0 = geen verandering.
1 = verandert de RXRDY- en TXRDY-pennen van mode "0" in mode "1".

Zenden in mode "0"
Wanneer de 16C550 zich in de 16C450-mode (FCR-bit 0 = 0) of in de FIFO-mode (FCR-bit 0 = 1, FCR-bit 3 = 0) bevindt, gaat de $\overline{\text{TXRDY}}$-pen LAAG als er geen karakters in de zend-FIFO of in het zend-houdregister zijn. Wanneer de $\overline{\text{TXRDY}}$-pen aktief is gaat hij HOOG (niet-aktief) nadat het eerste karakter in het zend-houdregister is geladen (figuur 9/3.5-39).



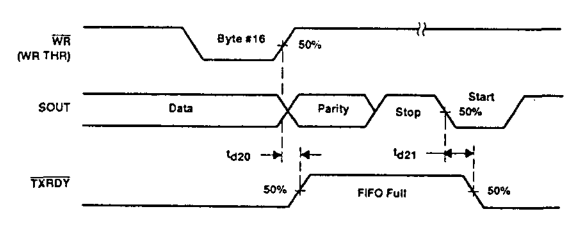
Figuur 9/3.5-39: Gedrag van Transmitter Ready (TXRDY) bij zenden in mode 0.



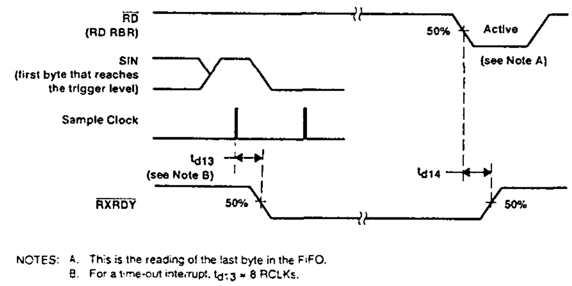
Figuur 9/3.5-40: Gedrag van Receiver Ready (RXRDY) bij ontvangen in mode 0.

Ontvangen in mode "0"
Bevindt de 16C550 zich in de 16C450-mode (FCR-bit 0 = 0) of in de FIFO-mode (FCR-bit 0 = 1, FCR-bit 3 = 0), dan gaat de $\overline{\text{RXRDY}}$-pen LAAG als de ontvang-FIFO tenminste 1 karakter bevat. Zodra de $\overline{\text{RXRDY}}$-pen aktief is, wordt hij niet-aktief (HOOG) als er geen karakters meer in de ontvanger zijn (figuur 9/3.5-40).

Zenden in mode "1"
Wanneer de 16C550 zich in de FIFO-mode bevindt (FCR-bit 0 = 1, FCR-bit 3 = 1), wordt de $\overline{\text{TXRDY}}$-pen HOOG (niet-aktief) als de zend-FIFO geheel gevuld is. $\overline{\text{TXRDY}}$ is LAAG als één of meer FIFO-lokaties leeg zijn (figuur 9/3.5-41).



Figuur 9/3.5-41: Transmitter Ready-signaal (TXRDY) bij zenden in mode 1.



Figuur 9/3.5-42: Receiver Ready-signaal (RXRDY) bij ontvangen in mode 1.

Ontvangen in mode "1"
Als de 16C550 zich in de FIFO-mode bevindt (FCR-bit 0 = 1, FCR-bit 3 = 1) en het trigger-niveau of de time-out is bereikt, dan gaat de $\overline{\text{RXRDY}}$-pen LAAG. Zodra $\overline{\text{RXRDY}}$ is geak-

tiveerd, gaat hij HOOG (niet-aktief) als er geen karakters meer in de FIFO zijn (figuur 9/3.5-42).

- FCR-bits 4 en 5:
  deze bits worden (nog) niet gebruikt.
- FCR-bits 6 en 7:
  deze bits dienen om het interrupt triggerniveau van de ontvang-FIFO in te stellen.

BIT 7	BIT 6	RECEIVER FIFO TRIGGER LEVEL (BYTES)
0	0	01
0	1	04
1	0	08
1	1	14

Tabel 9/3.5-55: Instelling van de FIFO-triggerniveaus.

BIT 1	BIT 0	WORD LENGTH
0	0	5 bits
0	1	6 bits
1	0	7 bits
1	1	8 bits

Tabel 9/3.5-56: Instelling van de woordlengte.

BIT 2	WORD LENGTH SELECTED BY BITS 1 AND 2	NUMBER OF STOP BITS GENERATED
0	Any word length	1
1	5 bits	1 1/2
1	6 bits	2
1	7 bits	2
1	8 bits	2

Tabel 9/3.5-57: Selectie van het aantal stopbits.

Line Control Register (LCR)

Het Line Control register (LCR) dient om het formaat van de asynchrone datacommunicatie te specificeren. Woordlengte, aantal stopbits en pariteit kunnen worden gekozen door de betreffende bits van dit register in te vullen.

- LCR-bits 1 en 0:
  deze twee bits specificeren de woordlengte bij zenden of ontvangen (zie tabel 9/3.5-56).
- LCR-bit 2:
  met dit bit wordt het aantal stopbits gespecificeerd (tabel 9/3.5-57).
- LCR-bit 3:
  met dit bit wordt wel of geen pariteit gekozen.
  0 = geen pariteit.
  1 = bij het zenden wordt een pariteitsbit gegenereerd, terwijl de ontvanger de pariteit controleert.
- LCR-bit 4:
  als het pariteitsbit is vrijgegeven, selecteert LCR-bit 4 het even of oneven pariteitsformaat.
  0 = oneven pariteit (odd), de verzonden data bevat dan een oneven aantal enen, terwijl de ontvangen data op hetzelfde formaat wordt gecheckt.
  1 = even pariteit (even aantal enen).
- LCR-bit 5:
  als voor pariteit is gekozen, wordt met LCR-bit 5 (de Stick-parity bit) het geforceerde pariteitsformaat gekozen.
  Als LCR-bit 5 = 1 en LCR-bit 4 = 0, wordt het pariteitsbit "1" in de verzonden en ontvangen data.
  Als LCR-bits 5 en 4 = 1 zijn, wordt het pariteitsbit "0" in de verzonden en ontvangen data.
- LCR-bit 6:
  dit is het break-controlbit, waarmee een break-conditie wordt verzonden (SOUT wordt LAAG gehouden).
  0 = normale bedrijfsconditie.
  1 = de uitgang van de zender (SOUT) gaat LAAG om de communicatieterminal te waarschuwen.
- LCR-bit 7:
  de latch-enable (DLAB) van de interne baudrate-teller.
  0 = normale werking.
  1 = selecteert het divisor latch register.

3.5 Type-beschrijving 16Cxxx-familie

Modem Control Register (MCR)

Dit register regelt de interface met de modem of een ander randapparaat (RS232).

- MCR-bit 0:
  0 = forceer de $\overline{DTR}$-uitgang HOOG.
  1 = forceer de $\overline{DTR}$-uitgang LAAG.
- MCR-bit 1:
  0 = forceer de $\overline{RTS}$-uitgang HOOG.
  1 = forceer de $\overline{RTS}$-uitgang LAAG.
- MCR-bit 2:
  0 = zet de $\overline{OUT1}$-uitgang HOOG.
  1 = zet de $\overline{OUT1}$-uitgang LAAG.
- MCR-bit 3:
  0 = zet de $\overline{OUT2}$-uitgang HOOG.
  1 = zet de $\overline{OUT2}$-uitgang LAAG.
- MCR-bit 4:
  0 = normale bedrijfsmode.
  1 = geeft lokale loopback mode vrij (voor diagnostische tests), de transmitter uitgang (SOUT) wordt HOOG gezet (mark conditie), terwijl de receiver ingang (SIN) en ($\overline{CTS}$, $\overline{DSR}$, $\overline{CD}$ en $\overline{RI}$ worden losgekoppeld. Inwendig wordt de transmitter-uitgang verbonden met de receiver-ingang en worden ($\overline{DTR}$, $\overline{RTS}$, $\overline{OUT1}$ en $\overline{OUT2}$ verbonden met de modem-besturingsingangen.
  In deze mode zijn de interrupts van ontvanger en zender volledig operationeel. Ook de interrupts van de modembesturing zijn operationeel, maar de interruptbronnen van de modembesturing zijn nu de laagste vier bits van het Modem Control Register in plaats van de vier modembesturingsingangen. De interrupts worden nog steeds bestuurd door het IER.
- MCR-bit 5:
  dit de het Auto Flow Enable (AFE) bit. Als AFE = 1 is, treedt bij het Texas Instruments type de Auto Flow control in werking (tabel 9/3.5-58).
  In de diagnostische mode wordt uitgezonden data onmiddellijk weer ontvangen. De CPU kan daardoor de datapaden voor zenden en ontvangen naar de UART controleren. De interrupts van zender en ontvanger zijn hierbij volledig operationeel.
- MCR-bit 6 en 7:
  deze bits worden niet gebruikt en zijn permanent "0".

MCR BIT 5 (AFE)	MCR BIT 1 (RTS)	ACE FLOW CONFIGURATON
1	1	Auto $\overline{RTS}$ and auto $\overline{CTS}$ enabled (auto-flow control enabled)
1	0	Auto $\overline{CTS}$ only enabled
0	X	Auto $\overline{RTS}$ and auto $\overline{CTS}$ disabled

Tabel 9/3.5-58: Instelling van de datastroom met behulp van MCR-bit 5 en bit 1.

Line Status Register (LSR)

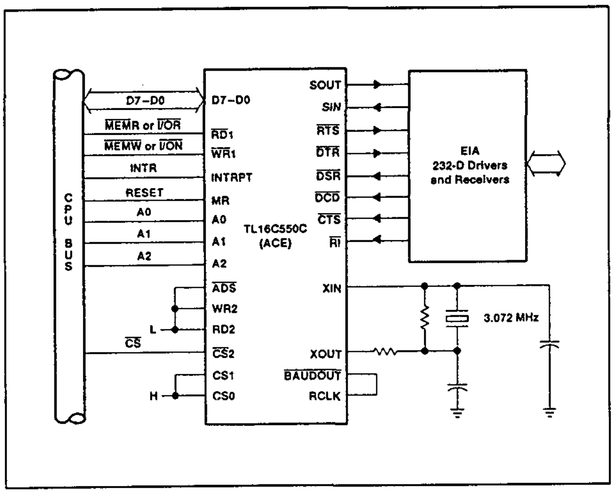
Dit register voorziet de CPU van informatie over de status van de data-overdracht.

- LSR-bit 0, Data Ready (DR) indicator:
  0 = geen data in het Receive Buffer register of in de FIFO.
  1 = ontvangen data is opgeborgen in het Receive Buffer register of in de FIFO.
- LSR-bit 1, Overrun-Error (OE) indicator:
  0 = geen overrun-fout (= normaal).
  1 = overrun error: Het volgende karakter arriveerde voordat het Receive Buffer register werd leeggemaakt of voordat de FIFO's waren vrijgegeven. Een overrun-fout treedt alleen op als de FIFO vol is en het volgende karakter compleet in het schuifregister is opgenomen. Let op dat het karakter in het schuifregister wel wordt overschreven, maar niet wordt overgebracht naar de FIFO.
- LSR-bit 2, Parity-Error (PE) indicator:
  0 = geen pariteitsfout (= normaal).
  1 = pariteitsfout: ontvangen data heeft geen juiste pariteitsinformatie. In de FIFO-mode houdt deze fout verband met het karakter bovenin de FIFO.
- LSR-bit 3, Framing-Error (FE) indicator:
  0 = geen framing-fout (= normaal).
  1 = framing error: de ontvangen data had geen geldig stopbit. In de FIFO-mode slaat deze fout op het karakter bovenin de FIFO.
- LSR-bit 4, Break-Interrupt (BI) indicator:
  0 = geen break-conditie (= normaal).

3.5 Type-beschrijving 16Cxxx-familie

1 = er is een break-signaal ontvangen: RX was gedurende één karakter-tijdframe laag. In de FIFO-mode kan slechts één nulkarakter in de FIFO worden geladen.

- LSR-bit 5, Transmitter Holding Register empty (THRE) indicator:
  0 = het Transmit Holding Register is vol. De 16C550 accepteert geen data voor verzending.
  1 = Transmit Holding Register (of FIFO) leeg: de CPU kan het volgende karakter laden.
- LSR-bit 6, Transmitter empty (TEMT) indicator:
  0 = Transmitter Holding- en schuifregisters zijn vol.
  1 = Tranmitter Holding- en schuifregisters zijn leeg. In de FIFO-mode wordt dit bit telkens "1" gemaakt als de zend-FIFO en het zend-schuifregister leeg zijn.
- LSR-bit 7:
  0 = normaal.
  1 = minstens één pariteitsfout, framingfout of break-indicatie in de FIFO. Dit bit wordt gecleared als het LSR wordt uitgelezen.



Figuur 9/3.5-43: Vereenvoudigd aansluitschema van de 16C550 met de gebruikte signalen.

Modem Status Register (MSR)

Dit register biedt de CPU informatie over de lopende toestand van de besturingslijnen van de modem of van een randapparaat. Vier bits van dit register dienen om de veranderingen aan te geven.

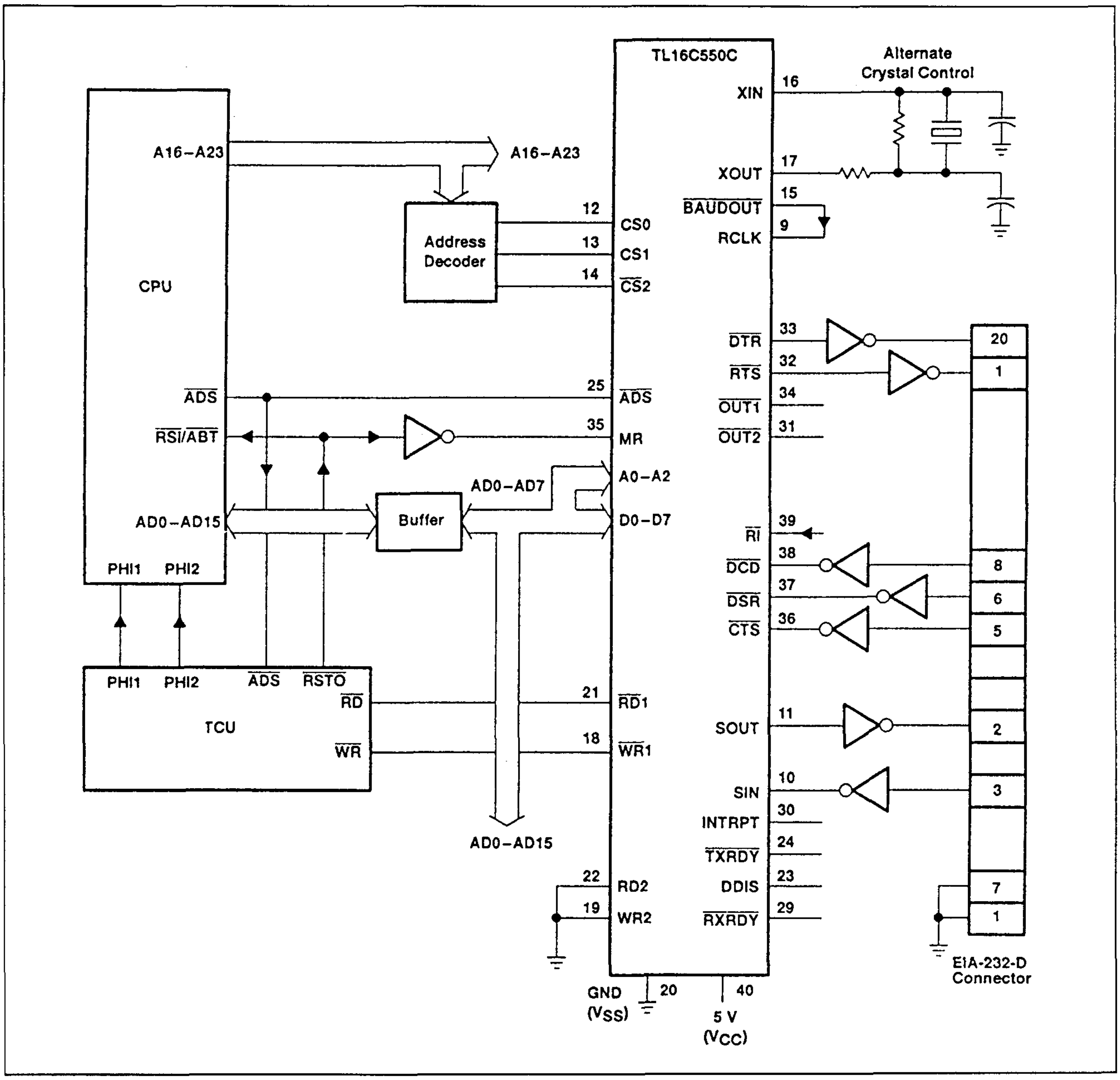
Deze bits worden "1" zodra een besturingssignaal van de modem van toestand verandert.

Ze worden "0" wanneer dit register door de CPU wordt uitgelezen.

- MSR-bit 0:
  geeft aan dat het $\overline{CTS}$-signaal van toestand is veranderd sinds het de laatste keer werd uitgelezen.
- MSR-bit 1:
  geeft aan dat het $\overline{DSR}$-signaal naar de 16C550 na de laatste uitlezing van toestand is veranderd.
- MSR-bit 2:
  geeft aan dat het $\overline{RI}$-signaal naar de 16C550 is veranderd van LAAG naar HOOG.
- MSR-bit 3:
  geeft aan dat het $\overline{DCD}$-signaal naar de 16C550 van toestand is veranderd sinds de laatste keer dat dit bit door de CPU werd uitgelezen.
- MSR-bit 4:
  dit bit komt overeen met RTS in het Modem Control Register tijdens de lokale loop-back mode.
  Het is het complement van het $\overline{CTS}$-signaal.
- MSR-bit 5:
  dit bit is equivalent aan DTR in het MCR gedurende de lokale loop-back mode.
  Het is het complement van het $\overline{DSR}$-signaal.
- MSR-bit 6:
  dit bit komt overeen met OUT1 in het Modem Control Register tijdens de lokale loop-back mode en het complement van het $\overline{RI}$-signaal.
- MSR-bit 7:
  dit bit is equivalent aan OUT2 in het MCR tijdens de lokale loop-back mode en het complement van het $\overline{DCD}$-signaal.

LET OP: Telkens wanneer MSR-bit 3 tot en met 0 op "1" zijn gezet, wordt een modem status interrupt gegenereerd.

3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-44: Complete aansluiting van de 16C550 op een microcomputer (de pennummers hebben betrekking op de DIL-uitvoering).

Scratch Register (SCR)

Het Scratch Register van de 16C550 dient om 8 bit informatie tijdelijk op te slaan.

Overige kenmerken

In figuur 9/3.5-43 is een vereenvoudigd aansluitschema van de 16C550 te zien, terwijl figuur 9/3.5-44 precies laat zien hoe de UART op een CPU kan worden aangesloten. Tabel 9/3.5-59 geeft een overzicht van de resetfuncties van de UART-signalen. De overige elektrische en timing karakteristieken van het Texas Instruments type TL16C550C zijn opgenomen in de tabellen 9/3.5-60 tot en met 9/3.5-66 en de figuren 9/3.5-45 tot en met 9/3.5-54.

3.5 Type-beschrijving 16Cxxx-familie

REGISTER/SIGNAL	RESET CONTROL	RESET STATE
Interrupt-Enable Register	Master Reset	All bits low (0–3 forced and 4–7 permanent)
Interrupt-Identification Register	Master Reset	Bit 0 is high, bits 1, 2, 3, 6, and 7 are low, and bits 4–5 are permanently low
FIFO-Control Register	Master Reset	All bits low
Line-Control Register	Master Reset	All bits low
Modem-Control Register	Master Reset	All bits low (6–7 permanent)
Line-Status Register	Master Reset	Bits 5 and 6 are high; all other bits are low
Modem-Status Register	Master Reset	Bits 0–3 are low; bits 4–7 are input signals
SOUT	Master Reset	High
INTRPT (receiver error flag)	Read LSR/MR	Low
INTRPT (received data available)	Read RBR/MR	Low
INTRPT (transmitter holding register empty)	Read IR/Write THR/MR	Low
INTRPT (modem-status changes)	Read MSR/MR	Low
$\overline{\text{OUT2}}$	Master Reset	High
$\overline{\text{RTS}}$	Master Reset	High
$\overline{\text{DTR}}$	Master Reset	High
$\overline{\text{OUT1}}$	Master Reset	High
Scratch Register	Master Reset	No effect
Divisor-Latch (LSB and MSB) Registers	Master Reset	No effect
Receiver Buffer Register	Master Reset	No effect
Transmitter Holding Register	Master Reset	No effect
RCVR FIFO	MR/FCR1–FCR0/ ΔFCR0	All bits low
XMIT FIFO	MR/FCR2–FCR0/ ΔFCR0	All bits low

Tabel 9/3.5-59: Externe resetfuncties van de 16C550.

Supply voltage range, V_{CC} .... −0.5 V to 7 V
Input voltage range at any input, V_I .... −0.5 V to 7 V
Output voltage range, V_O .... −0.5 V to 7 V
Operating free-air temperature range, T_A .... 0°C to 70°C
Storage temperature range .... −65°C to 150°C
Case temperature for 10 seconds: FN package .... 260°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: N or PT package .... 260°C

Tabel 9/3.5-60: Maximaal toegelaten waarden.

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.75	5	5.25	V
High-level input voltage, V_{IH}	2		V_{CC}	V
Low-level input voltage, V_{IL}	−0.5		0.8	V
Operating free-air temperature, T_A	0		70	°C

Tabel 9/3.5-61: Aanbevolen bedrijfscondities.

Ter afsluiting volgt een beschrijving van de Auto Flow-besturing van het Texas Instruments type TL16C550. Bij UART's van de andere merken wordt deze eigenschap niet vermeld.

3.5 Type-beschrijving 16Cxxx-familie

PARAMETER		TEST CONDITIONS	MIN	TYP‡	MAX	UNIT
V_{OH}§	High-level output voltage	I_{OH} = −1 mA	2.4			V
V_{OL}§	Low-level output voltage	I_{OL} = 1.6 mA			0.4	V
I_I	Input current	V_{CC} = 5.25 V, V_{SS} = 0, V_I = 0 to 5.25 V, All other pins floating			10	µA
I_{OZ}	High-impedance-state output current	V_{CC} = 5.25 V, V_{SS} = 0, V_O = 0 to 5.25 V, Chip selected in write mode or chip deselect			±20	µA
I_{CC}	Supply current	V_{CC} = 5.25 V, T_A = 25°C, SIN, $\overline{DSR}$, $\overline{DCD}$, $\overline{CTS}$, and $\overline{RI}$ at 2 V, All other inputs at 0.8 V, XTAL1 at 4 MHz, No load on outputs, Baud rate = 50 kbits per second			10	mA
$C_{i(CLK)}$	Clock input capacitance	V_{CC} = 0, V_{SS} = 0, f = 1 MHz, T_A = 25°C, All other pins grounded		15	20	pF
$C_{o(CLK)}$	Clock output capacitance			20	30	pF
C_i	Input capacitance			6	10	pF
C_o	Output capacitance			10	20	pF

‡ All typical values are at V_{CC} = 5 V and T_A = 25°C.
§ These parameters apply for all outputs except XOUT.

Tabel 9/3.5-62: Elektrische kenmerken onder normale bedrijfscondities.

PARAMETER		ALT. SYMBOL	TEST CONDITIONS	MIN	MAX	UNIT
t_{cR}	Cycle time, read (t_{w7} + t_{d8} + t_{d9})	RC		87		ns
t_{cW}	Cycle time, write (t_{w6} + t_{d5} + t_{d6})	WC		87		ns
t_{w1}	Pulse duration, clock high	t_{XH}	f = 16 MHz maximum	25		ns
t_{w2}	Pulse duration, clock low	t_{XL}	f = 16 MHz maximum	25		ns
t_{w5}	Pulse duration, $\overline{ADS}$ low	t_{ADS}		9		ns
t_{w6}	Pulse duration, write strobe	t_{WR}		40		ns
t_{w7}	Pulse duration, read strobe	t_{RD}		40		ns
t_{w8}	Pulse duration, master reset	t_{MR}		1		µs
t_{su1}	Setup time, address valid before $\overline{ADS}$↑	t_{AS}		8		ns
t_{su2}	Setup time, chip select valid before $\overline{ADS}$↑	t_{CS}		8		ns
t_{su3}	Setup time, data valid before $\overline{WR1}$↓ or WR2↑	t_{DS}		15		ns
t_{su4}	Setup time, $\overline{CTS}$↑ before midpoint of stop bit				10	ns
t_{h1}	Hold time, address low after $\overline{ADS}$↑	t_{AH}		0		ns
t_{h2}	Hold time, chip select valid after $\overline{ADS}$↑	t_{CH}		0		ns
t_{h3}	Hold time, chip select valid after $\overline{WR1}$↑ or WR2↓	t_{WCS}		10		ns
t_{h4}	Hold time, address valid after $\overline{WR1}$↑ or WR2↓	t_{WA}		10		ns
t_{h5}	Hold time, data valid after $\overline{WR1}$↑ or WR2↓	t_{DH}		5		ns
t_{h6}	Hold time, chip select valid after $\overline{RD1}$↑ or RD2↓	t_{RCS}		10		ns
t_{h7}	Hold time, address valid after $\overline{RD1}$↑ or RD2↓	t_{RA}		20		ns
t_{d4}†	Delay time, chip select valid before $\overline{WR1}$↓ or WR2↑	t_{CSW}		7		ns
t_{d5}†	Delay time, address valid before $\overline{WR1}$↓ or WR2↑	t_{AW}		7		ns
t_{d6}†	Delay time, write cycle, $\overline{WR1}$↑ or WR2↓ to $\overline{ADS}$↓	t_{WC}		40		ns
t_{d7}†	Delay time, chip select valid to $\overline{RD1}$↓ or RD2↑	t_{CSR}		7		ns
t_{d8}†	Delay time, address valid to $\overline{RD1}$↓ or RD2↑	t_{AR}		7		ns
t_{d9}	Delay time, read cycle, $\overline{RD1}$↑ or RD2↓ to $\overline{ADS}$↓	t_{RC}		40		ns
t_{d10}	Delay time, $\overline{RD1}$↓ or RD2↑ to data valid	t_{RVD}	C_L = 75 pF	45		ns
t_{d11}	Delay time, $\overline{RD1}$↑ or RD2↓ to floating data	t_{HZ}	C_L = 75 pF	20		ns
$t_{dis(R)}$	Disable time, $\overline{RD1}$↓↑ or RD2↑↓ to DDIS↑↓	t_{RDD}	C_L = 75 pF	20		ns
t_{w3}	Pulse duration, $\overline{BAUDOUT}$ low	t_{LW}	f = 16 MHz, CLK ÷ 2	50		ns
t_{w4}	Pulse duration, $\overline{BAUDOUT}$ high	t_{HW}	f = 16 MHz, CLK ÷ 2	50		ns
t_{d1}	Delay time, XIN↑ to $\overline{BAUDOUT}$↑	t_{BLD}			45	ns
t_{d2}	Delay time, XIN↑↓ to $\overline{BAUDOUT}$↓	t_{BHD}			45	ns

Tabel 9/3.5-63: Benodigde schakeltijden voor de 16C550 (zie ook de figuren 9/3.5-38, -45 en -46).

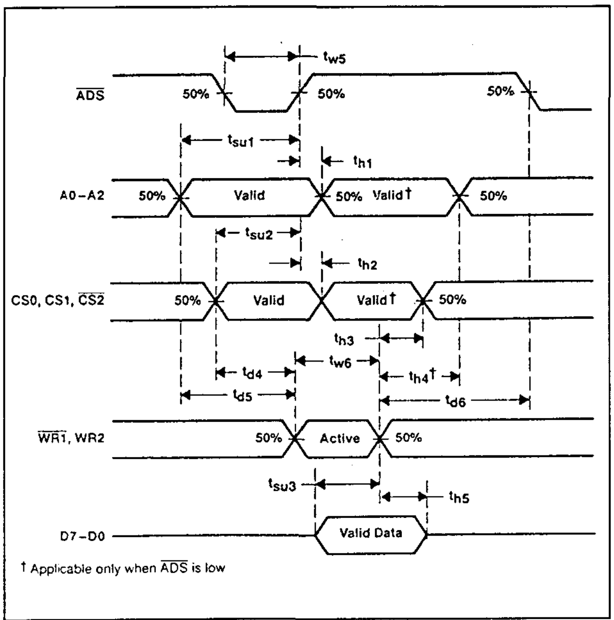
3.5 Type-beschrijving 16Cxxx-familie

	PARAMETER	ALT. SYMBOL	TEST CONDITIONS	MIN	MAX	UNIT
t_{d12}	Delay time, RCLK to sample	t_{SCD}			10	ns
t_{d13}	Delay time, stop to set interrupt or read RBR to LSI interrupt or stop to $\overline{RXRDY}$↓	t_{SINT}			1	RCLK cycle
t_{d14}	Delay time, read RBR/LSR to reset interrupt	t_{RINT}	$C_L = 75$ pF		40	ns

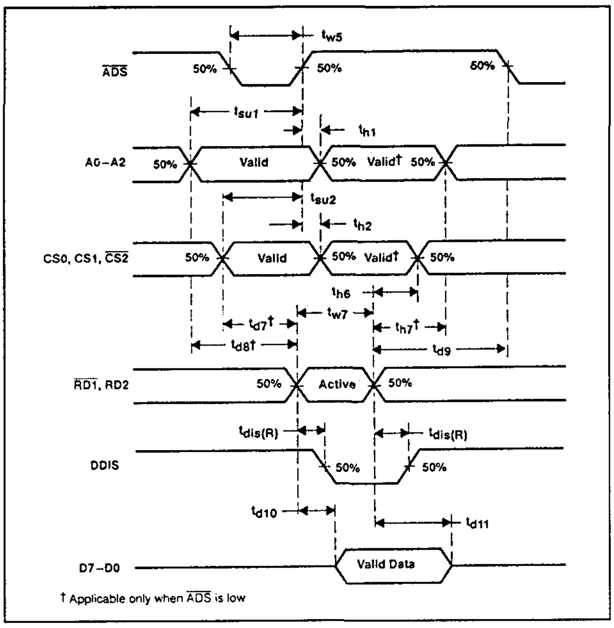
Tabel 9/3.5-64: Schakeltijden van de ontvanger (zie de figuren 9/3.5-40 en -42 en 9/3.5-47 tot en met -49).

	PARAMETER	ALT. SYMBOL	TEST CONDITIONS	MIN	MAX	UNIT
t_{d15}	Delay time, initial write to transmit start	t_{IRS}		8	24	baudout cycles
t_{d16}	Delay time, start to interrupt	t_{STI}		8	9	baudout cycles
t_{d17}	Delay time, $\overline{WR}$ (WR THR) to reset interrupt	t_{HR}	$C_L = 75$ pF		50	ns
t_{d18}	Delay time, initial write to interrupt (THRE†)	t_{SI}		16	32	baudout cycles
t_{d19}	Delay time, read IIR† to reset interrupt (THRE†)	t_{IR}	$C_L = 75$ pF		35	ns
t_{d20}	Delay time, write to $\overline{TXRDY}$ inactive	t_{WXI}	$C_L = 75$ pF		35	ns
t_{d21}	Delay time, start to $\overline{TXRDY}$ active	t_{SXA}	$C_L = 75$ pF		8	baudout cycles

Tabel 9/3.5-65: Schakeltijden van de zender (zie ook de figuren 9/3.5-39, -40 en -50).

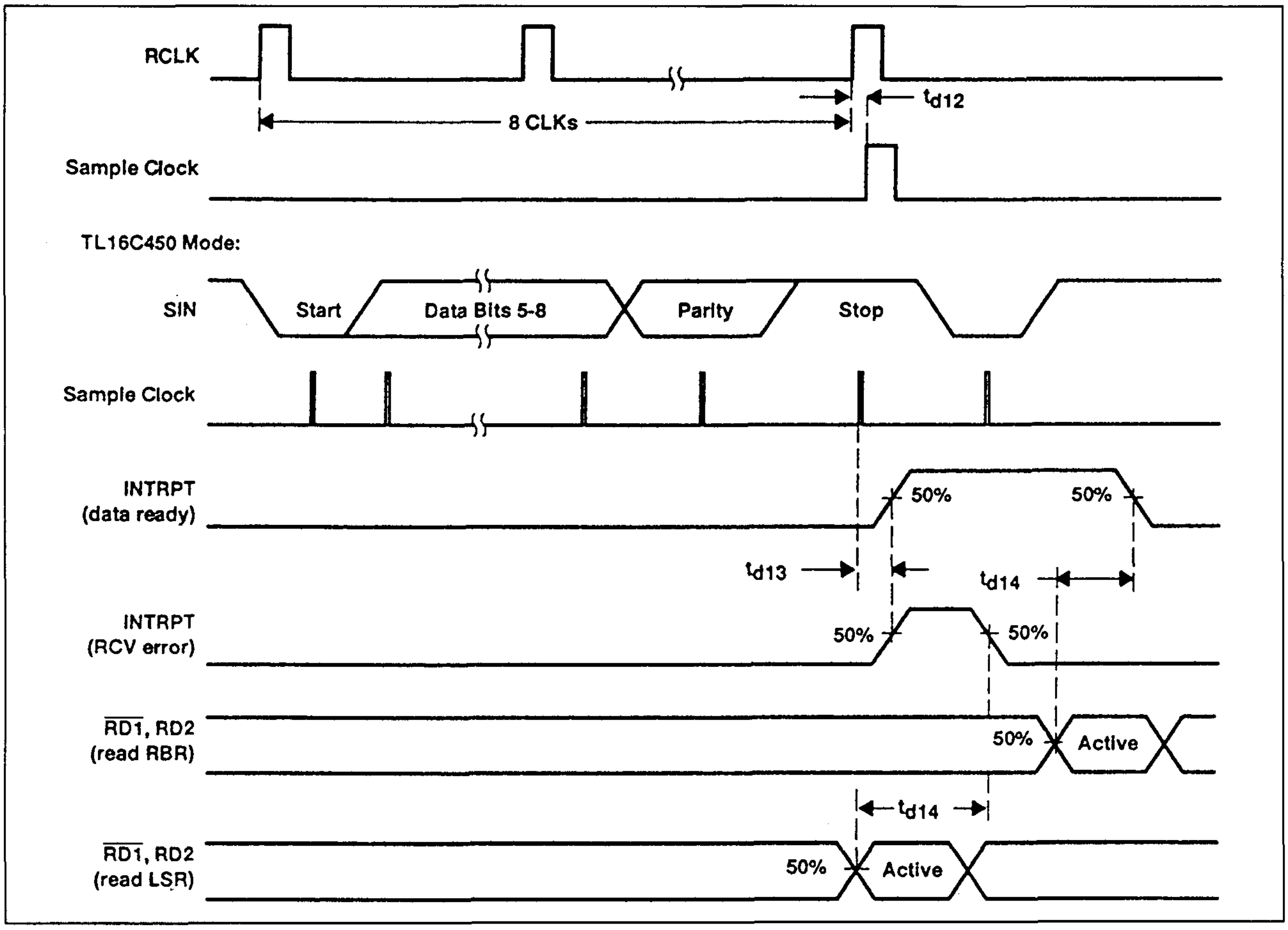


Figuur 9/3.5-45: Timing de schrijfcycli.

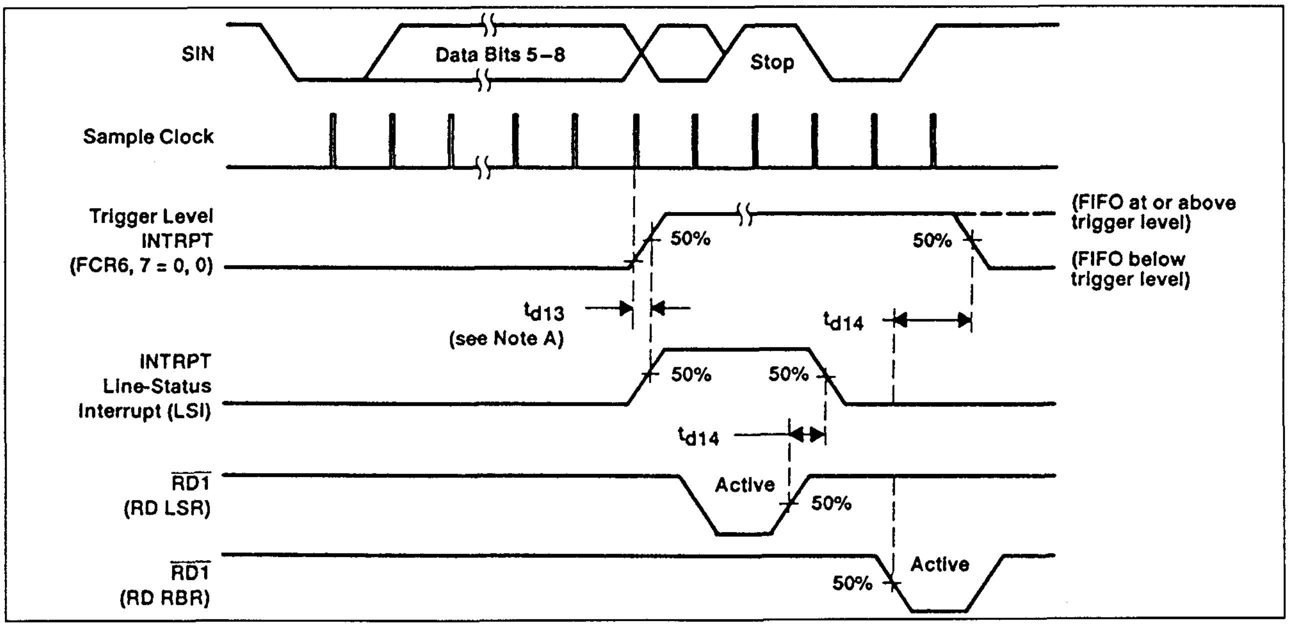


Figuur 9/3.5-46: Timing van de leescycli.

3.5 Type-beschrijving 16Cxxx-familie

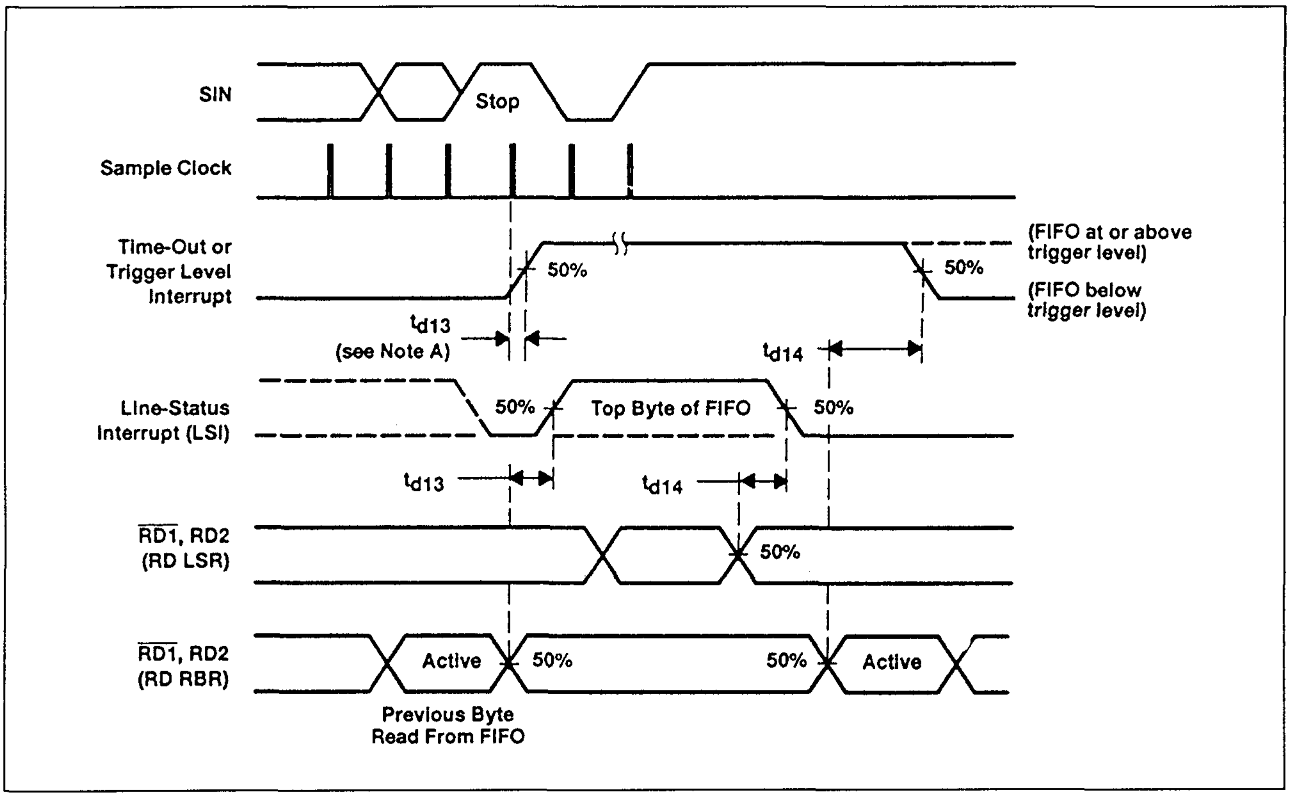


Figuur 9/3.5-47: Timing van de ontvanger.

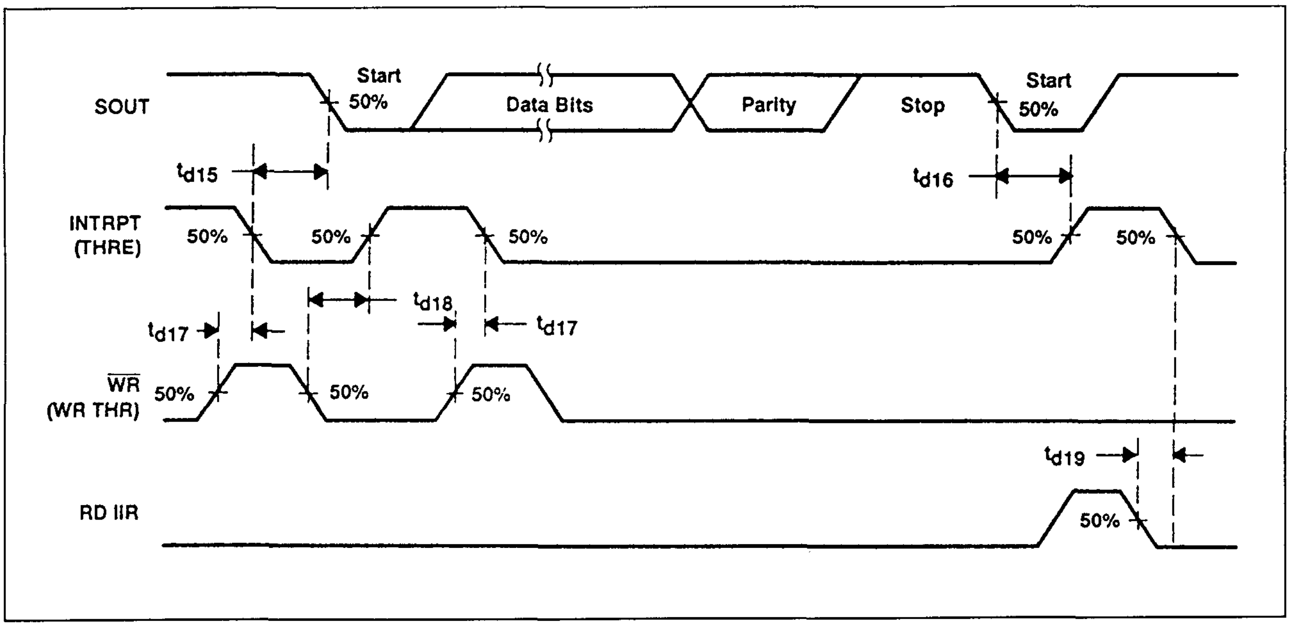


Figuur 9/3.5-48: Ontvangst van het eerste byte in de ontvang-FIFO (waardoor de DR-bit wordt gezet).

3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-49: Ontvangst van overige bytes in de FIFO (na 1e byte: DR-bit is al gezet).

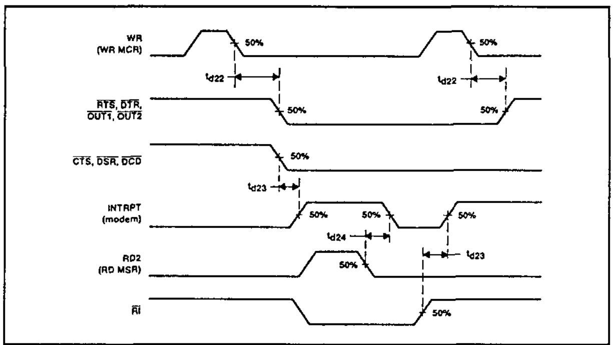


Figuur 9/3.5-50: Timing van de zender.

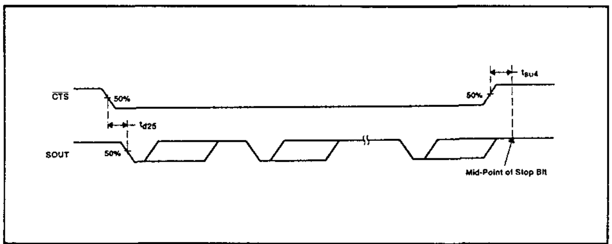
3.5 Type-beschrijving 16Cxxx-familie

	PARAMETER	ALT. SYMBOL	MIN	MAX	UNIT
t_{d22}	Delay time, WR MCR to output	t_{MDO}		50	ns
t_{d23}	Delay time, modem interrupt to set interrupt	t_{SIM}		35	ns
t_{d24}	Delay time, RD MSR to reset interrupt	t_{RIM}		40	ns
t_{d25}	Delay time, $\overline{CTS}$ low to SOUT↓			16	baudout cycles
t_{d26}	Delay time, RCV threshold byte to $\overline{RTS}$↑			20	ns
t_{d27}	Delay time, read of last byte in receive FIFO to $\overline{RTS}$↓			25	ns
t_{d28}	Delay time, first data bit of 16th character to $\overline{RTS}$↑			20	ns
t_{d29}	Delay time, $\overline{RBRRD}$ low to $\overline{RTS}$↓			25	ns

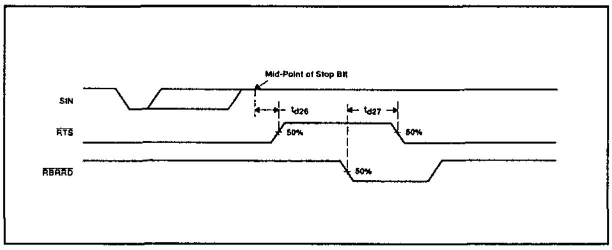
Tabel 9/3.5-66: Schakeltijden van de modem (zie figuren 9/3.5-51 tot en met 9/3.5-54).



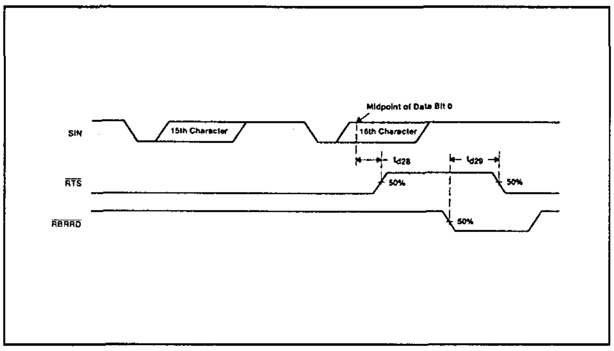
Figuur 9/3.5-51: Timing van de modembesturing.



Figuur 9/3.5-52: Timing van $\overline{CTS}$ en SOUT Auto Flow Control (Start en Stop).



Figuur 9/3.5-53: Timing van Auto-$\overline{RTS}$ voor RCV-drempels van 1, 4 of 8.



Figuur 9/3.5-54: Timing van Auto-$\overline{RTS}$ voor een RCV-drempel van 14.

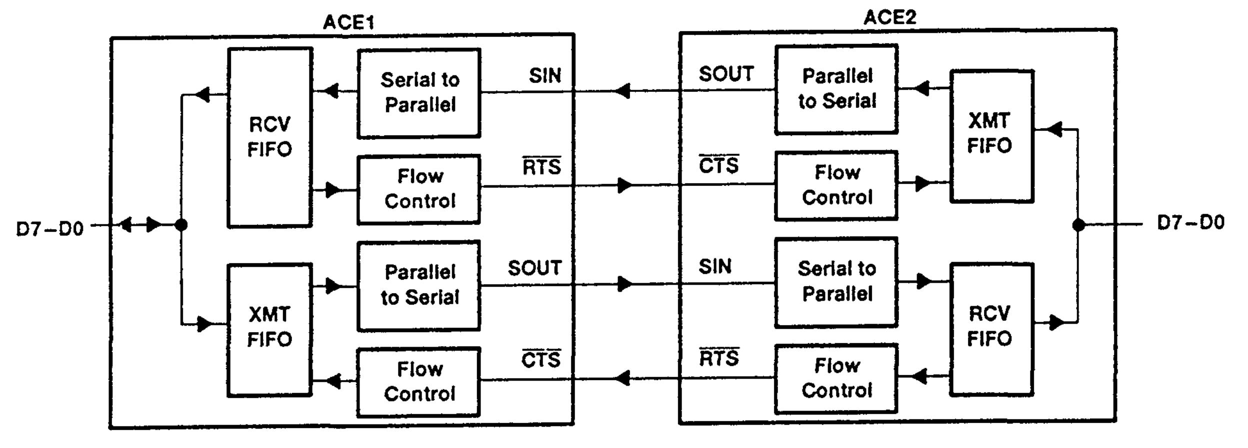
Auto Flow-besturing (alleen T.I.-type)

De Auto Flow-besturing bestaat uit auto $\overline{CTS}$ en auto $\overline{RTS}$. Met auto $\overline{CTS}$ moet de $\overline{CTS}$-ingang aktief zijn voordat de zend-FIFO data kan versturen (zie figuur 9/3.5-55). Met auto $\overline{RTS}$ wordt de $\overline{RTS}$-uitgang aktief als de ontvanger meer data wil hebben en dit aan de zender laat weten. Als $\overline{RTS}$ op $\overline{CTS}$ is aangesloten kan datatransport alleen plaatsvinden als daarvoor ruimte is in de ontvang-FIFO. Overrun-fouten kunnen dus nooit optreden als ACE1 en ACE2 (Asynchroon Communicatie Element) beide TL16C550's met een ingeschakelde auto flow-besturing zijn.

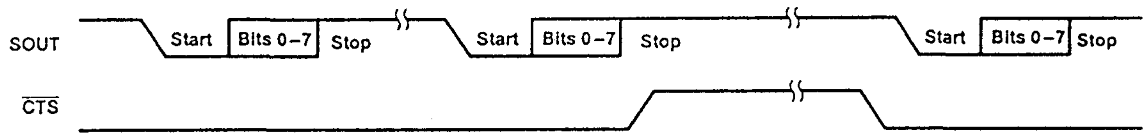
Auto CTS

De zendschakeling controleert of $\overline{CTS}$ aktief is voordat een volgend databyte wordt verstuurd.

3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-55: Voorbeeld van een Auto Flow-besturing (auto $\overline{\text{CTS}}$ en auto $\overline{\text{RTS}}$).



NOTES: If $\overline{\text{CTS}}$ is low, the transmitter keeps sending serial data out.
If $\overline{\text{CTS}}$ goes high before the middle of the last stop bit of the current byte, the transmitter finishes sending the current byte but it does not send the next byte.
When $\overline{\text{CTS}}$ goes from high to low, the transmitter begins sending data again.

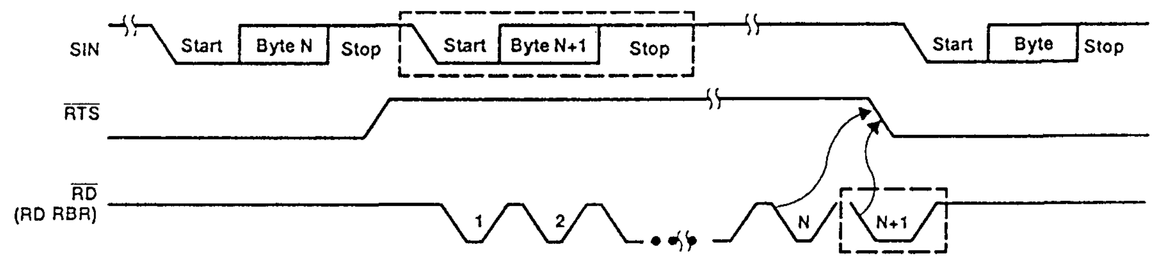
Figuur 9/3.5-56: Functionele timing van $\overline{\text{CTS}}$.

Om te voorkomen dat de zender een volgend byte uitzendt, moet $\overline{\text{CTS}}$ vóór het midden van het laatste stopbit dat wordt uitgezonden worden losgelaten (zie figuur 9/3.5-56). De auto $\overline{\text{CTS}}$-functie vermindert het aantal interrupts naar het computersysteem. Wanneer de flow-besturing is ingeschakeld, worden door $\overline{\text{CTS}}$-veranderingen geen interrupts getriggerd, omdat de schakeling automatisch zijn eigen zender bestuurt. Zonder auto $\overline{\text{CTS}}$ verstuurt de zender alle data die in de zend-FIFO aanwezig is, waardoor een overrunfout kan ontstaan.

Auto $\overline{\text{RTS}}$

De auto $\overline{\text{RTS}}$ datastroom besturing is afkomstig van de timing van de ontvanger en het besturingsblok (zie figuur 9/3.5-55) en is verbonden met het geprogrammeerde ontvang-FIFO niveau. Als het ontvang-FIFO niveau een triggerniveau van 1, 4 of 8 bereikt, wordt $\overline{\text{RTS}}$ weggehaald (figuur 9/3.5-57). Bij triggerniveaus van 1, 4 en 8 is het mogelijk dat de zendende ACE, na bereiken van het triggerniveau, nog een extra byte verstuurt als het weghalen van $\overline{\text{RTS}}$ pas wordt gezien nadat de extra byte al wordt verzonden. $\overline{\text{RTS}}$ wordt automatisch opnieuw aktief zodra de ontvang-FIFO is geleegd door uitlezen van het bufferregister RBR.
Als het triggerniveau 14 is (figuur 9/3.5-58), wordt $\overline{\text{RTS}}$ weggehaald nadat het eerste databit van het 16e karakter aanwezig is op de SIN-lijn. $\overline{\text{RTS}}$ wordt weer aktief wanneer de ontvang-FIFO ruimte heeft voor tenminste één byte.

3.5 Type-beschrijving 16Cxxx-familie



NOTES: A. N = RCV-FIFO trigger level (1, 4, or 8 bytes)
B. The two blocks in dashed lines cover the case where an additional byte is sent as described in the preceeding auto-RTS section.

Figuur 9/3.5-57: Functionele timing van $\overline{RTS}$ bij ontvang-FIFO triggerniveaus van 1, 4 of 8 bytes.

Inschakelen van Auto Flow-besturing en auto $\overline{CTS}$

De Auto Flow-besturing wordt ingeschakeld door bit 5 (auto-flow enable, AFE) en bit 1 (RTS) in het modem-control register (MCR) op "1" te zetten. Auto Flow heeft betrekking op zowel $\overline{CTS}$ als $\overline{RTS}$. Als alleen auto $\overline{CTS}$ gewenst is, moet bit 1 in het MCR op "0" worden gezet (hierbij wordt aangenomen dat $\overline{CTS}$ afkomstig is van een besturingssignaal).

16C552

dubbel Asynchroon Communicatie Element (ACE) met FIFO en Centronics Interface

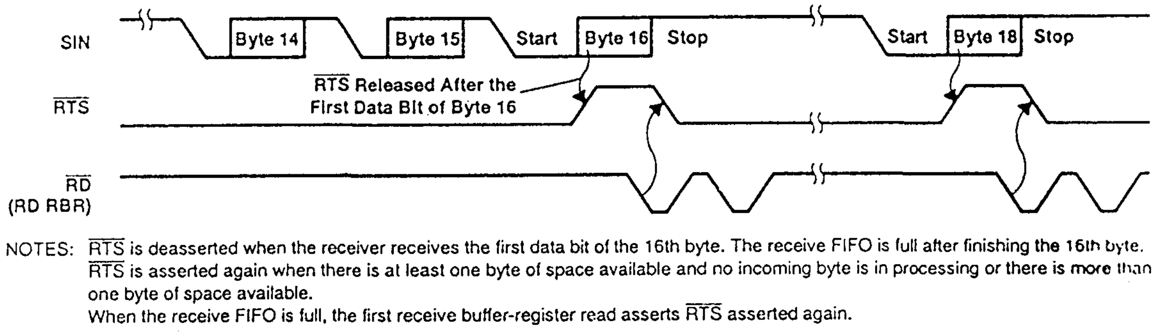
De 16C552 is een dubbele universele asynchrone zender/ ontvanger met FIFO's (First-In, First-Out geheugens) aan zend- en ontvangzijde, die bovendien is voorzien van een bidirectionele Centronics printerpoort.
Elk kanaal kan onafhankelijk van het andere communiceren met microprocessor- of microcontroller systemen.
Serieel ontvangen datakarakters uit modems of periferiea-apparatuur worden omgezet in parallelle en op uitgezonden data wordt parallel-naar-serie conversie toegepast.
De complete status van elk kanaal kan op elk moment door de CPU worden uitgelezen.

De 16C552 heeft een programmeerbare baud-rate generator, waarmee kloksnelheden van 50 Hz tot en met 448 kHz kunnen worden ingesteld. De ACE beschikt over alle functies voor het besturen van een modem plus een processor interrupt systeem dat met behulp van software aan de eisen van de gebruiker kan worden aangepast. Bovendien is interne loop-back voor testdoeleinden mogelijk.
Naast de dubbele communicatiemogelijkheden beschikt de 16C552 over een bidirectionele parallelle datapoort die volledig voldoet aan een Centronics-type printer.

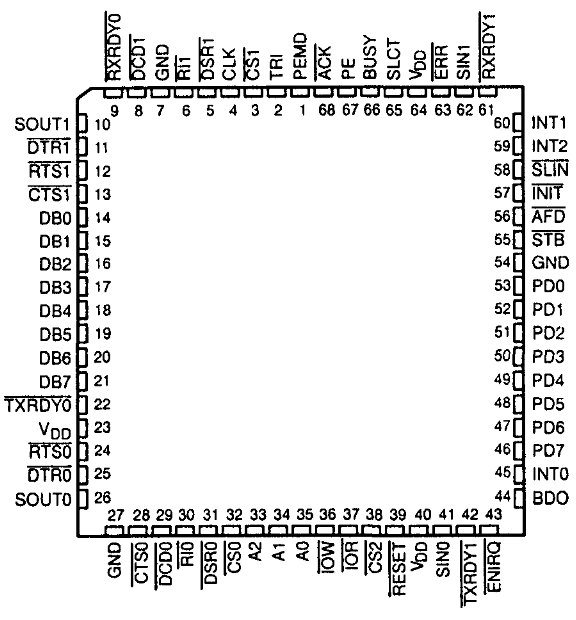
Kenmerken van de 16C552

- IBM PC/AT compatibel
- software compatibel met 2 x 16C550
- verbeterde bidirectionele printerpoort
- 16 byte zend-FIFO
- 16 byte ontvang-FIFO met error-vlaggen
- modembesturingsfuncties: $\overline{CTS}$, $\overline{RTS}$, $\overline{DSR}$, $\overline{DTR}$, $\overline{RI}$ en $\overline{DCD}$
- programmeerbare karakterlengte: 5, 6, 7 of 8 bit
- genereren/detectie van even, oneven of geen pariteitsbit
- opwekking van 1, 1/2 of 2 stopbits
- onafhankelijke besturing van zenden en ontvangen
- TTL-compatibele in- en uitgangen (3-state)

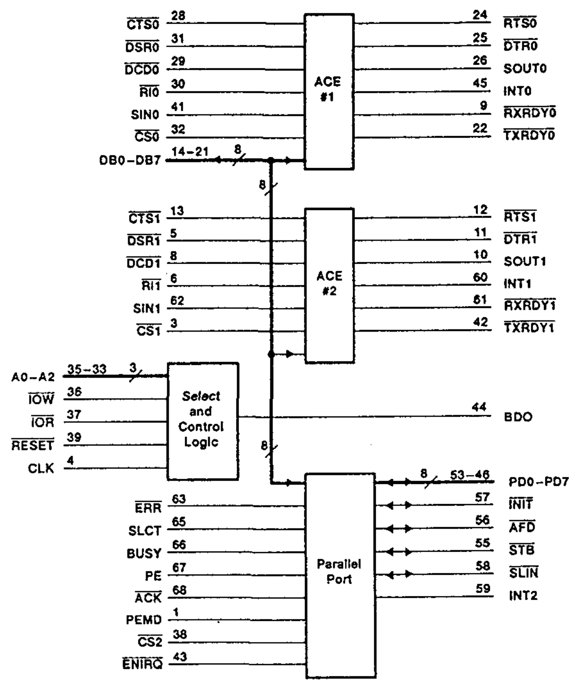
3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-58: Functionele timing van $\overline{RTS}$ bij een ontvang-FIFO triggerniveau van 14 bytes.



Figuur 9/3.5-59: Aansluitingen van de 16C552.



Figuur 9/3.5-60: Functioneel blokschema en overzicht van de registers en signalen van de 16C552.

- zenden/ontvangen op 448 kHz bij toepassing van 7,372 MHz kristal of externe clock
- behuizing: 68-pens PLCC (plastic leaded chip-carrier: FN-package) (figuur 9/3.5-59)
- fabrikanten o.a.:

VLSI Technology: VL16C552
Western Digital: WD16C552
Exar: XR16C552
Texas Instruments: TL16C552(A)
Startech: ST16C552

3.5 Type-beschrijving 16Cxxx-familie

TERMINAL NAME	TERMINAL NO.	I/O	DESCRIPTION
$\overline{ACK}$	68	I	Line-printer acknowledge. $\overline{ACK}$ goes low to indicate a successful data transfer has taken place. It generates a printer-port interrupt during its positive transition.
$\overline{AFD}$	56	I/O	Line-printer autofeed. This open-drain line provides the line printer with an active-low signal when continuous form paper is to be autofed to the printer. This terminal has an internal pullup resistor to V_{DD} of approximately 10 kΩ.
A0, A1, A2	35, 34, 33	I	Address. The address lines A0–A2 select the internal registers during CPU bus operations. See Table 1 for the decode of the serial channels and Table 11 for the decode of the parallel line-printer port.
BDO	44	O	Bus buffer. This active-high output is asserted when either serial channel or the parallel port is read. This output is used to control the system bus driver (74LS245).
BUSY	66	I	Line-printer busy. This is an input line from the line printer that goes high when the line printer is not ready to accept data.
CLK	4	I	Clock. CLK is the external clock input to the baud-rate divisor of each ACE.
$\overline{CS0}$, $\overline{CS1}$, $\overline{CS2}$	32, 3, 38	I	Chip select. Each input acts as an enable for the write and read signals for the serial channels 1 ($\overline{CS0}$) and 2 ($\overline{CS1}$). $\overline{CS2}$ enables the signals to the line-printer port.
$\overline{CTS0}$, $\overline{CTS1}$	28, 13	I	Clear to send. The logical state of each $\overline{CTS}$ terminal is reflected in the CTS bit of the modem-status register (MSR) (CTS is bit 4 of the MSR, written MSR4) of each ACE. A change of state in either $\overline{CTS}$ terminal since the previous reading of the associated MSR causes the setting of Δ CTS (MSR0) of each modem-status register.
DB0-DB7	14-21	I/O	Data bits DB0–DB7. The data bus provides eight I/O lines with 3-state outputs for the transfer of data, control, and status information between the TL16C552A and the CPU. These lines are normally in the high-impedance state except during read operations. D0 is the least significant bit (LSB) and is the first serial data bit to be received or transmitted.
$\overline{DCD0}$, $\overline{DCD1}$	29, 8	I	Data-carrier detect. $\overline{DCD}$ is a modem input whose condition can be tested by the CPU by reading MSR7 (DCD) of the modem-status registers. MSR3 (Δ DCD) of the modem-status register indicates whether the $\overline{DCD}$ input has changed since the previous reading of the MSR. $\overline{DCD}$ has no effect on the receiver.
$\overline{DSR0}$, $\overline{DSR1}$	31, 5	I	Data set ready. The logical state of the DSR terminals is reflected in MSR5 of its associated modem-status register. Δ DSR (MSR1) indicates whether the associated DSR terminal has changed state since the previous reading of the MSR.
$\overline{DTR0}$, $\overline{DTR1}$	25, 11	O	Data terminal ready line. Each DTR output can be set (low) by writing a logic 1 to MCR0, modem-control register bit 0 of its associated ACE. This signal is cleared (high) by writing a logic 0 to the DTR bit (MCR0) or whenever a reset occurs. When active (low), DTR indicates that its ACE is ready to receive data.
$\overline{ENIRQ}$	43	I	Parallel-port-interrupt source-mode selection. When low, the AT mode of interrupts is enabled. In this mode, the INT2 output is internally connected to the $\overline{ACK}$ input. If the $\overline{ENIRQ}$ output is tied high, the PS-2 mode of interrupt is enabled and the INT2 output is internally tied to the inverse of the $\overline{PRINT}$ bit in the line-printer status register. INT2 is latched high on the rising edge of $\overline{ACK}$. INT2 is held until the status register is read, which then resets the $\overline{PRINT}$ status bit and INT2.
$\overline{ERR}$	63	I	Line-printer error. This is an input line from the line printer. The line printer reports an error by holding this line low during the error condition.
GND	7, 27, 54		Ground (0 V). All terminals must be tied to GND for proper operation.
$\overline{INIT}$	57	I/O	Line-printer initialize. This open-drain line provides the line printer with an active-low signal that allows the line-printer-initialization routine to be started. $\overline{INIT}$ has an internal pullup resistor to V_{DD} of approximately 10 kΩ.
INT0, INT1	45, 60	O	Serial-channel interrupt. Each serial-channel-interrupt 3-state output (enabled by bit 3 of the MCR) goes active (high) when one of the following interrupts has an active (high) condition and is enabled by the interrupt-enable register of its associated channel: receiver error flag, received data available, transmitter holding-register empty, and modem status. The interrupt is reset low on appropriate service. Upon reset, the interrupt output is in the high-impedance state.

Tabel 9/3.5-67a: Functies van de aansluitpennen.

3.5 Type-beschrijving 16Cxxx-familie

TERMINAL NAME	NO.	I/O	DESCRIPTION
INT2	59	O	Printer-port interrupt. INT2 is an active-high, 3-state output, generated by the positive transition of $\overline{ACK}$. It is enabled by bit 4 of the write-control register. Upon reset, the interrupt output is in the high-impedance state. Its mode is also controlled by $\overline{ENIRQ}$.
$\overline{IOR}$	37	I	Input/output read strobe. This is an active-low input that enables the selected channel to output data to the data bus (DB0–DB7). The data output depends on the register selected by the address inputs A0, A1, A2, and chip select. Chip select 0 ($\overline{CS0}$) selects ACE #1, chip select 1 ($\overline{CS1}$) selects ACE #2, and chip select 2 ($\overline{CS2}$) selects the line-printer port.
$\overline{IOW}$	36	I	Input/output write strobe. This is an active-low input causing data from the data bus to be input to either ACE or to the parallel port. The destination depends on the register selected by the address inputs A0, A1, A2, and chip selects $\overline{CS0}$, $\overline{CS1}$, and $\overline{CS2}$.
PD0–PD7	53–46	I/O	Parallel data bits (0–7). These eight lines provide a byte-wide input or output port to the system.
PE	67	I	Line-printer paper empty. This is an input line from the line printer that goes high when the printer runs out of paper.
PEMD	1	I	Printer-enhancement-mode. When low, this signal enables the write data register to the PD0–PD7 lines. A high on this signal allows direction control of the PD0–PD7 port by the DIR bit in the control register. PEMD is usually tied low for the printer operation.
$\overline{RESET}$	39	I	Reset. When low, the reset input forces the TL16C552A into an idle mode in which all serial data activities are suspended. The modem-control register (MCR) along with its associated outputs are cleared. The line-status register (LSR) is cleared except for the THRE and TEMT bits, which are set. All functions of the device remain in an idle state until programmed to resume serial data activities. This input has a hysteresis level of typically 400 mV.
$\overline{RTS0}$, $\overline{RTS1}$	24, 12	O	Request to send. The $\overline{RTS}$ outputs are set low by writing a logic 1 to MCR1 bit 1 of its UARTs modem-control register. Both $\overline{RTS}$ terminals are reset high by $\overline{RESET}$. A low on $\overline{RTS}$ indicates that its ACE has data ready to transmit. In half-duplex operations, $\overline{RTS}$ is used to control the direction of the line.
$\overline{RXRDY0}$, $\overline{RXRDY1}$	9, 61	O	Receiver ready. Receiver DMA signaling is also available through this output. One of two types of DMA signaling can be selected via FCR3 when operating in the FIFO mode. Only DMA mode 0 is allowed when operating in the TL16C450 mode. For signal transfer DMA (a transfer is made between CPU bus cycles), mode 0 is used. Multiple transfers that are made continuously until the RCVR FIFO has been emptied are supported by mode 1. Mode 0. $\overline{RXRDY}$ is active (low) when in the FIFO mode (FCR0 = 1, FCR3 = 0) or when in the TL16C450 mode (FCR0 = 0) and the RCVR FIFO or RCVR holding register contain at least one character. When there are no more characters in the FIFO or holding register, $\overline{RXRDY}$ goes inactive (high). Mode 1. $\overline{RXRDY}$ goes active (low) in the FIFO mode (FCR0 = 1) when FCR3 = 1 and the time-out or trigger levels have been reached. It goes inactive (high) when the FIFO or holding register is empty.
$\overline{RI0}$, $\overline{RI1}$	30, 6	I	Ring indicator. The $\overline{RI}$ signal is a modem-control input whose condition is tested by reading MSR6 (RI) of each ACE. The modem-status-register output TERI (MSR2) indicates whether the $\overline{RI}$ input has changed from high to low since the previous reading of the MSR.
SIN0, SIN1	41, 62	I	Serial data. SIN0 and SIN1 move information from the communication line or modem to the TL16C552A receiver circuits. A mark (1) is high and a space (0) is low. Data on serial-data inputs is disabled when operating in the loop mode.
SLCT	65	I	Line-printerselected. This is an input line from the line printer that goes high when the line printer is selected.
$\overline{SLIN}$	58	I/O	Line-printer select. This open-drain I/O selects the printer when active (low). $\overline{SLIN}$ has an internal pullup resistor to V_{DD} of approximately 10 kΩ.
SOUT0, SOUT1	26, 10	O	Serial-data outputs. These lines are the serial-data outputs from the ACE's transmitter circuitry. A mark is a logic 1 (high) and a space is a logic 0 (low). Each SOUT is held in the mark condition when the transmitter is disabled, $\overline{RESET}$ is true (low), the transmitter register is empty, or when in the loop mode.
$\overline{STB}$	55	I/O	Line-printer strobe. This open-drain line provides communication between the TL16C552A and the line printer. When it is active (low), it provides the line printer with a signal to latch the data currently on the parallel port. $\overline{STB}$ has an internal pullup resistot to V_{DD} of approximately 10 kΩ.
TRI	2	I	3-state output control input. TRI is used to control the 3-state control of all I/O and output terminals. When TRI is asserted, all I/O and outputs are in the high-impedance state allowing board-level testers to drive the outputs without overdriving internal buffers. This CMOS input is level sensitive and is pulled down with an internal resistor that is approximately 5 kΩ.
$\overline{TXRDY0}$ $\overline{TXRDY1}$	22 42	O	Transmitter ready. Two types of DMA signaling are available. Either can be selected via FCR3 when operating in the FIFO mode. Only DMA mode 0 is allowed when operating in the TL16C450 mode. Single-transfer DMA (a transfer is made between CPU bus cycles) is supported by mode 0. Multiplication transfers that are made continuously until the XMIT FIFO has been filled are supported by mode 1. Mode 0. When in the FIFO mode (FCR0 = 1, FCR3 = 0) or in the TL16C450 mode (FCR0 = 0) and there are no characters in the XMIT holding register or XMIT FIFO, $\overline{TXRDY}$ is active (low). Once $\overline{TXRDY}$ is activated (low), it goes inactive after the first character is loaded into the holding register of the XMIT FIFO. Mode 1. $\overline{TXRDY}$ goes active (low) if in the FIFO mode (FCR0 = 1) when FCR3 = 1 and there are no characters in the XMIT FIFO. When the XMIT FIFO is completely full, $\overline{TXRDY}$ goes inactive (high).
V_{DD}	23, 40, 64		Power supply. The power supply requirement is 5 V ±5%.

Tabel 9/3.5-67b: Functies van de aansluitpennen (vervolg).

3.5 Type-beschrijving 16Cxxx-familie

ADDRESS	REGISTER MNEMONIC	REGISTER BIT NUMBER							
		BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
0	RBR (read only)	Data Bit 7 (MSB)	Data Bit 6	Data Bit 5	Data Bit 4	Data Bit 3	Data Bit 2	Data Bit 1	Data Bit 0 (LSB)
0	THR (write only)	Data Bit 7	Data Bit 6	Data Bit 5	Data Bit 4	Data Bit 3	Data Bit 2	Data Bit 1	Data Bit 0
0†	DLL	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1†	DLM	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8
1	IER	0	0	0	0	(EDSSI) Enable modem-status interrupt	(ERLSI) Enable receiver line-status interrupt	(ETBEI) Enable transmitter holding-register-empty interrupt	(ERBFI) Enable received-data-available interrupt
2	FCR (write only)	RCVR Trigger (MSB)	RCVR Trigger (LSB)	Reserved	Reserved	DMA mode select	XMIT FIFO reset	RCVR FIFO reset	FIFO Enable
2	IIR (read only)	FIFOs Enabled‡	FIFOs Enabled‡	0	0	Interrupt ID Bit 2‡	Interrupt ID Bit 1	Interrupt ID Bit 0	0 If interrupt pending
3	LCR	(DLAB) Divisor-latch-access bit	Set break	Stick parity	(EPS) Even-parity select	(PEN) Parity enable	(STB) Number of stop bits	(WLSB1) Word-length select bit 1	(WLSB0) Word-length select bit 0
4	MCR	0	0	0	Loop	Enable external interrupt (INT0 or INT1)	OUT1 (an unused internal signal)	(RTS) Request to send	(DTR) Data-terminal ready
5	LSR	Error in RCVR FIFO‡	(TEMT) Transmitter empty	(THRE) Transmitter holding-register empty	(BI) Break interrupt	(FE) Framing error	(PE) Parity error	(OE) Overrun error	(DR) Data ready
6	MSR	(DCD) Data-carrier detect	(RI) Ring indicator	(DSR) Data-set ready	(CTS) Clear to send	(Δ DCD) Delta data-carrier detect	(TERI) Trailing edge-ring indicator	(Δ DSR) Delta data-set ready	(Δ CTS) Delta clear to send
7	SCR	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0

† DLAB = 1
‡ These bits are always 0 when FIFOs are disabled.

Tabel 9/3.5-68: Toegankelijke registers voor de seriële kanalen in de 16C552 en functies van de bits. DLL en DLM zijn alleen toegankelijk als LCR-bit 7 = "1" is.

CONTROL	MNEMONIC	STATUS	MNEMONIC	DATA	MNEMONIC
Line-control register	LCR	Line-status register	LSR	Receiver buffer register	RBR
FIFO-control register	FCR	Modem-status register	MSR	Transmitter holding register	THR
Modem-control register	MCR				
Divisor-latch LSB	DLL				
Divisor-latch MSB	DLM				
Interrupt-enable register	IER				

Tabel 9/3.5-69: In de 16C552 worden 3 soorten informatie gebruikt (besturing, status en data).

3.5 Type-beschrijving 16Cxxx-familie

Functionele beschrijving

Aan de hand van het blokschema (figuur 9/3.5-60) en het overzicht van de (via de CPU) toegankelijke registers (tabel 9/3.5-68) worden de functies van de ACE beschreven. Er zijn drie soorten informatie die in de interne registers worden opgeslagen: besturing (control), status en data (zie tabel 9/3.5-69). In tabel 9/3.5-70 is te zien hoe deze registers met behulp van DLAB en de adreslijnen A0, A1 en A2 kunnen worden bereikt.

In het volgende worden de individuele bits binnen de registers aangeduid met de afkorting van dat register plus het bitnummer. Met bijvoorbeeld LCR7 wordt dus bit 7 van het line-control register bedoeld.

Het transmitter buffer-register en het receiver buffer-register zijn dataregisters die 5 tot 8 bits data kunnen bevatten. Als minder dan 8 databits worden verstuurd, wordt data opgeschoven tot aan het LSB. Bit 0 van een datawoord is altijd het eerste databit dat wordt verzonden.

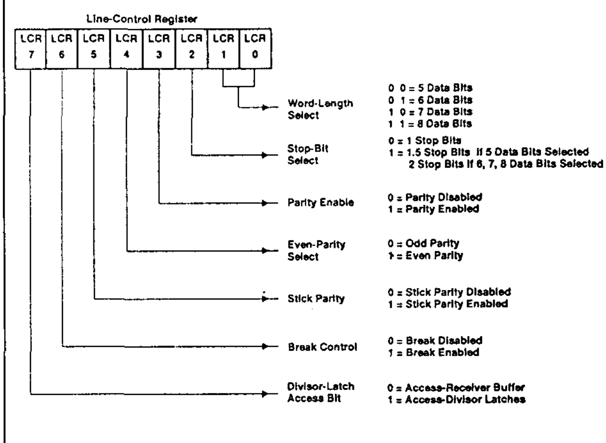
De ACE dataregisters zijn dubbel gebufferd zodat lees- en schrijfoperaties kunnen worden uitgevoerd terwijl de ACE bezig is met de parallel-naar-serie of serie-naar-parallel conversie.

Het divisor-latch access bit (DLAB) is het meest belangrijke bit van het Line Control Register. Het DLAB-signaal kan worden ingesteld door naar deze bitlokatie te schrijven.

DLAB	A2	A1	A0	MNEMONIC	REGISTER
L	L	L	L	RBR	Receiver buffer register (read only)
L	L	L	L	THR	Transmitter holding register (write only)
L	L	L	H	IER	Interrupt-enable register
X	L	H	L	IIR	Interrupt-identification register (read only)
X	L	H	L	FCR	FIFO-control register (write only)
X	L	H	H	LCR	Line-control register
X	H	L	L	MCR	Modem-control register
X	H	L	H	LSR	Line-status register
X	H	H	L	MSR	Modem-status register
X	H	H	H	SCR	Scratch register
H	L	L	L	DLL	Divisor-latch LSB
H	L	L	H	DLM	Divisor-latch MSB

X = irrelevant, L = low level, H = high level
† The serial channel is accessed when either $\overline{CS0}$ or $\overline{CS1}$ is low.

Tabel 9/3.5-70: Selectie van de registers.



Figuur 9/3.5-61: Inhoud van het Line Control Register (LCR).

Line Control Register (LCR)

Het formaat van het datakarakter wordt gespecificeerd door het Line Control register (LCR). Dit register kan worden uitgelezen (zie tabel 9/3.5-61).

- LCR0 en LCR1: specificeren de woordlengte bij zenden of ontvangen.
- LCR2: Met dit bit wordt het aantal stopbits in elk verzonden karakter gespecificeerd. De ontvanger checkt altijd of er één stopbit is.
- LCR3: Als dit bit HOOG is, wordt een pariteitsbit tussen het laatste datawoordbit en het stopbit gegenereerd en gecheckt.
- LCR4: Als dit bit HOOG is wordt even pariteit gekozen.
- LCR5: Als LCR3 HOOG is, wordt met LCR-bit 5 het geforceerde pariteitsformaat gekozen.
- LCR6: Als dit bit HOOG is, wordt de seriële uitgang (SOUT1/SOUT0) LAAG gehouden. Dit break-control bit werkt alleen op de seriële uitgang en heeft geen invloed op de zenderlogica. Als de volgende breakvolgorde wordt gebruikt, worden geen ongeldige karakters verzonden:
  Stap 1: Laad een nul-byte in antwoord op een transmitter holding-register empty (THRE) status-indicatie.
  Stap 2: Zet de break na de volgende THRE status-indicatie.

Stap 3: Wacht tot de zender klaar is (transmitter empty status-signaal is gezet: TEMT = 1). Haal daarna de break weg als weer normaal gezonden moet worden.

- LCR7: Divisor latch-enable bit (DLAB). Moet HOOG worden gezet om toegang te krijgen tot DLL en DLM en LAAG om het ontvang bufferregister, zend bufferregister of het interrupt enableregister te bereiken.

Line Status Register (LSR)

Dit register voorziet de CPU van informatie over de status van de data-overdracht (zie tabel 9/3.5-71).

- LSR0: Data Ready (DR) wordt HOOG als ontvangen data is opgeborgen in het Receive Buffer register of in de FIFO. DR wordt weer LAAG na uitlezen van de data door de CPU.
- LSR1: Overrun-Error (OE) bit wordt HOOG als het volgende karakter arriveerde voordat het Receive Buffer register werd uitgelezen. OE wordt gereset als de CPU de inhoud van het LAS uitleest. Een overrun-fout treedt op in de FIFO-mode als de FIFO vol is en het volgende karakter compleet werd ontvangen. Het karakter in het schuifregister wordt wel overschreven, maar niet overgebracht naar de FIFO.
- LSR2: Parity-Error (PE) bit HOOG geeft aan dat ontvangen data geen juiste pariteitsinformatie heeft. In de FIFO-mode houdt deze fout verband met een bepaald karakter in de FIFO.
- LSR3: Framing-Error (FE) wordt HOOG als de ontvangen data geen geldig stopbit had (als stopbit na het laatste databit of pariteitsbit werd een zero-bit (space-niveau) gedetecteerd). In de FIFO-mode slaat deze fout op het karakter bovenin de FIFO.
- LSR4: Break-Interrupt bit (BI) wordt HOOG als het ontvangen datasignaal langer dan de zendtijd van een volledig woord (startbit + databits + pariteit + stopbits) op logisch nul wordt gehouden. BI wordt gereset als de CPU de inhoud van het LSR uitleest. In de FIFO-mode slaat deze fout op een bepaald karakter in de FIFO.
- LSR5: Transmitter Holding Register empty-bit (THRE) wordt HOOG als een karakter is overgebracht van het zendhoudregister naar het zendschuifregister. THRE wordt gereset wanneer het zendhoudregister door de CPU wordt geladen. De 16C552 accepteert dan geen data meer voor verzending.
- LSR6: Transmitter empty bit (TEMT) wordt HOOG wanneer het zendhoudregister (THR) en het zendschuifregister (TSR) beide leeg zijn. TEMT wordt niet gereset als het LSR door de CPU wordt uitgelezen. In de FIFO-mode wordt de TEMT-bit telkens "1" als de zend-FIFO en het zend-schuifregister leeg zijn.
- LSR7: RCVR FIFO errorbit is altijd LAAG in de 16C450-mode. In de FIFO-mode wordt dit bit HOOG gezet als tenminste één van de volgende fouten heeft plaats gevonden: pariteitsfout, framing-fout of break-interrupt indicatie. LSR7 wordt gereset door uitlezen van het LSR door de CPU (als er geen fouten overblijven).

LSR BITS	1	0
LSR0 data ready (DR)	Ready	Not ready
LSR1 overrun error (OE)	Error	No error
LSR2 parity error (PE)	Error	No error
LSR3 framing error (FE)	Error	No error
LSR4 break interrupt (BI)	Break	No break
LSR5 transmitter-holding-register empty (THRE)	Empty	Not empty
LSR6 transmitter empty (TEMT)	Empty	Not empty
LSR7 RCVR-FIFO error	Error in FIFO	No error in FIFO

Tabel 9/3.5-71: Bitfuncties van het Line Status Register (LSR).

FIFO Control Register (FCR)

Dit write-only register bevindt zich op dezelfde plaats als het IIR en wordt gebruikt om de FIFO's vrij te geven (enable) en leeg te ma-

ken (clear), om het triggerniveau van de ontvang-FIFO in te stellen en het type DMA-signalering te selecteren.

- FCR0: hiermee wordt zowel de zend- als de ontvang FIFO vrijgegeven (enable). Alle bytes in beide FIFO's kunnen worden gecleared door FCR0 te resetten. Dit gebeurt ook automatisch als wordt overgeschakeld van de FIFO-mode naar de 16C450-mode, en omgekeerd. Het programmeren van de andere FCR-bits wordt mogelijk als deze bit HOOG is.
- FCR1: HOOG maakt de ontvang-FIFO leeg en zet de tel-logika op 0. Het ontvang-schuifregister wordt niet leeggemaakt.
- FCR2: HOOG maakt de zend-FIFO leeg en zet de teller op 0. Het zend-schuifregister wordt niet leeggemaakt.
- FCR3: HOOG verandert de $\overline{\text{RXRDY}}$- en $\overline{\text{TXRDY}}$-pennen van mode "0" in mode "1".
- FCR4 en FCR5: worden (nog) niet gebruikt.
- FCR6 en FCR7: Deze bits dienen om het interrupt triggerniveau van de ontvang-FIFO in te stellen (tabel 9/3.5-72)

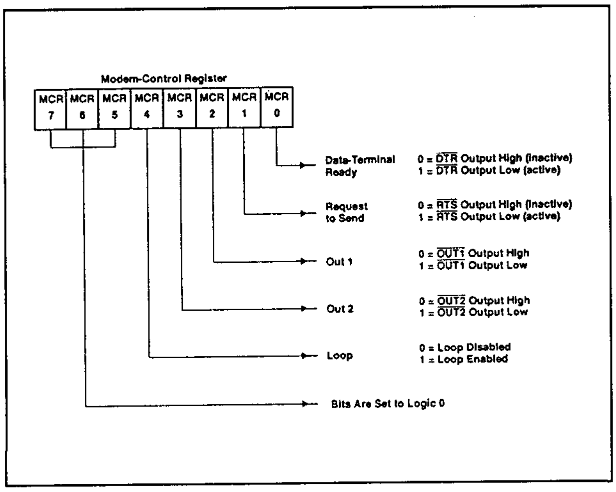
BIT 7	BIT 6	RCVR-FIFO TRIGGER LEVEL (BYTES)
0	0	01
0	1	04
1	0	08
1	1	14

Tabel 9/3.5-72: Instelling van de FIFO-triggerniveaus.

Modem Control Register (MCR)

Dit register regelt de interface met de modem of een ander randapparaat (zie figuur 9/3.5-62). MCR kan worden uitgelezen of beschreven. De $\overline{\text{RTS}}$- en $\overline{\text{DTR}}$-uitgangen worden direct bestuurd door hun eigen besturingsbits in dit register.

- MCR0: HOOG forceert de $\overline{\text{DTR}}$-uitgang LAAG. Resetten naar 0 forceert de $\overline{\text{DTR}}$-uitgang HOOG.
- MCR1: HOOG forceert de $\overline{\text{RTS}}$-uitgang LAAG en resetten naar 0 forceert de $\overline{\text{RTS}}$-uitgang HOOG.
- MCR2: HOOG zet de $\overline{\text{OUT1}}$-uitgang LAAG.
- MCR3: HOOG zet de $\overline{\text{OUT2}}$-uitgang LAAG.
- MCR4: HOOG geeft lokale loopback mode vrij (voor diagnose). De transmitter uitgang (SOUT) wordt HOOG gezet (mark conditie), terwijl de receiver ingang (SIN) en de vier modem-besturingssignalen ($\overline{\text{CTS}}$, $\overline{\text{DSR}}$, $\overline{\text{CD}}$ en $\overline{\text{RI}}$, worden losgekoppeld. Inwendig wordt de transmitter uitgang verbonden met de receiver ingang en worden ($\overline{\text{DTR}}$, $\overline{\text{RTS}}$, $\overline{\text{OUT1}}$ en $\overline{\text{OUT2}}$, verbonden met de modem besturingsingangen. In deze mode zijn de interrupts van zender, ontvanger en modembesturing volledig operationeel. De interruptbronnen van de modembesturing zijn nu echter de laagste vier bits van het Modem Control Register in plaats van de vier modembesturingsingangen.
- MCR5 tot en met MCR7 zijn permanent LAAG.



Figuur 9/3.5-62: Inhoud van het Modem-Control Register.

Modem Status Register (MSR)

Dit register voorziet de CPU van informatie over de toestand van de besturingslijnen van

3.5 Type-beschrijving 16Cxxx-familie

de modem of van een randapparaat. Vier bits van dit register geven aan of er veranderingen zijn sinds de laatste uitlezing. Deze bits worden HOOG als een besturingssignaal van de modem van toestand verandert. Ze worden LAAG wanneer dit register door de CPU wordt uitgelezen.
De modem besturingslijnen zijn $\overline{CTS}$, $\overline{DSR}$, $\overline{RI}$ en $\overline{DCD}$. MSR4 tot en met MSR7 zijn de statusbits van deze lijnen. Als een statusbit = 1 is, betekent dit dat de ingang LAAG is (en andersom). Wanneer de modem status-interrupt in het interruptenable register is vrijgegeven (IER3), wordt telkens een interrupt gegenereerd als MSR0 - MSR3 op "1" zijn gezet. MSR is een prioriteit-4 interrupt. Een overzicht van de inhoud van het MSR wordt gegeven in tabel 9/3.5-73.

- MSR0: dit is het delta clear-to-send bit (ΔCTS), waarmee wordt aangegeven dat het $\overline{CTS}$-signaal van toestand is veranderd sinds het de laatste keer werd uitgelezen.
- MSR1: is het delta data-set-ready bit (ΔDSR) dat aangeeft dat het $\overline{DSR}$-signaal na de laatste uitlezing van toestand is veranderd.
- MSR2: het trailing-edge of ring-indicator bit (TERI) geeft aan dat het $\overline{RI}$-signaal naar de 16C552 is veranderd van LAAG naar HOOG.
- MSR3: het delta data-carrier-detect bit (ΔDCD) geeft aan dat het $\overline{DCD}$-signaal van toestand is veranderd sinds de laatste keer dat dit bit door de CPU werd uitgelezen.
- MSR4: het clear-to-send bit (CTS) is het complement van het $\overline{CTS}$-signaal en geeft aan het seriële kanaal te kennen dat de modem klaar staat om data te ontvangen (via SOUT). In de lokale loop-back mode komt dit bit overeen met RTS in het MCR.
- MSR5: het data-set-ready bit (DSR) is equivalent aan DTR in het MCR gedurende de lokale loop-back mode. Het is het complement van het $\overline{DSR}$-signaal.
- MSR6: het ring-indicator bit (RI) is het complement van het $\overline{RI}$-signaal. In de lokale loop-back mode komt dit overeen met $\overline{OUT1}$ in het MCR.
- MSR7: het data-carrier-detect bit (DCD) is equivalent aan OUT2 in het MCR tijdens de lokale loop-back mode.

MSR BIT	MNEMONIC	DESCRIPTION
MSR0	DCTS	Delta clear to send
MSR1	DDSR	Delta data-set ready
MSR2	TERI	Trailing-edge of ring indicator
MSR3	DDCD	Delta data-carrier detect
MSR4	$\overline{CTS}$	Clear to send
MSR5	$\overline{DSR}$	Data-set ready
MSR6	$\overline{RI}$	Ring indicator
MSR7	$\overline{DCD}$	Data-carrier detect

Tabel 9/3.5-73: De Modem Statusregister bits.

Door uitlezen van het MSR worden de delta modemstatus indicaties weggehaald, maar dit heeft geen invloed op de andere statusbits. Voor LSR en MSR wordt gedurende het uitlezen van de statusregisters het instellen van de statusbits gesperd.
Wordt een statusconditie gegenereerd tijdens een lees-$\overline{IOR}$-operatie, dan wordt het statusbit pas gezet op het einde van het lezen. Als een statusbit tijdens het lezen wordt gezet, waarbij dezelfde status ontstaat, dan wordt het statusbit gecleared in plaats van opnieuw te worden gezet.

Programmeerbare baud-rate generator
Het seriële kanaal van de ACE heeft een programmeerbare baud-rate generator (BRG) die clocksignalen tussen 0 (DC) en 16 MHz kan delen door een getal tussen 1 en 2^{16} - 1. De uitgangsfrequentie van de baudgenerator is 16x de datasnelheid: divisor # = clock ÷ (baud-rate x 16). Twee 8 bit divisor-latch registers slaan de deelwaarde op in een 16 bit formaat. Deze divisor-latch registers moeten tijdens de initialisatie worden geladen. Na het laden van beide latches wordt direct een 16 bit baudteller geladen. De BRG kan met 3 verschillende populaire frequenties (1,8432 MHz, 3,072 MHz of

8,192 MHz) standaard baud-rates opwekken (zie de tabellen 9/3.5-74, -75 en -76).

BAUD RATE DESIRED	DIVISOR (N) USED TO GENERATE 16x CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	2304	–
75	1536	–
110	1047	0.026
134.5	857	0.058
150	768	–
300	384	–
600	192	–
1200	96	–
1800	64	–
2000	58	0.690
2400	48	–
3600	32	–
4800	24	–
7200	16	–
9600	12	–
19200	6	–
38400	3	–
56000	2	2.860

Tabel 9/3.5-74: Baud-rates bij gebruik van een 1,8432 MHz kristal.

BAUD RATE DESIRED	DIVISOR (N) USED TO GENERATE 16x CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	3840	–
75	2560	–
110	1745	0.026
134.5	1428	0.034
150	1280	–
300	640	–
600	320	–
1200	160	–
1800	107	0.312
2000	96	–
2400	80	–
3600	53	0.628
4800	40	–
7200	27	1.230
9600	20	–
19200	10	–
38400	5	–

Tabel 9/3.5-75: Baud-rates bij gebruik van een 3,072 MHz kristal.

BAUD RATE DESIRED	DIVISOR (N) USED TO GENERATE 16x CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	1000	–
75	6667	0.005
110	4545	0.010
134.5	3717	0.013
150	3333	0.010
300	1667	0.020
600	833	0.040
1200	417	0.080
1800	277	0.080
2000	250	–
2400	208	0.160
3600	139	0.080
4800	104	0.160
7200	69	0.644
9600	52	0.160
19200	26	0.160
38400	13	0.160
56000	9	0.790
128000	4	2.344
256000	2	2.344
512000	1	2.400

Tabel 9/3.5-76: Baud-rates bij gebruik van een 8,192 MHz kristal.

Scratchpad Register (SCR)
Het Scratch Register van de 16C552 kan door de programmeur worden gebruikt om 8 bit informatie tijdelijk op te slaan.

Interrupt Identification Register (IIR)
Om de hoeveelheid software voor het overbrengen van datakarakters zo veel mogelijk te beperken voorziet de ACE in interrupt condities op vier prioriteitsniveaus:
1. Receiver line status (prioriteit 1);
2. Received-data ready (prioriteit 2) of karakter time-out;
3. Transmitter holding-register empty (prioriteit 3);
4. Modem status (prioriteit 4).

Het Interrupt Identificatieregister (IIR) geeft informatie over de interrumperende bron. Gedurende de leescyclus wordt de interrupt met het hoogste niveau bediend door de CPU. In tabel 9/3.5-77 wordt een overzicht gegeven van de inhoud van het IIR.
- IIR0: LAAG geeft aan dat er nog een interrupt moet worden behandeld.
- IIR1 en IIR2: de logische combinatie van deze bits levert de interruptie met de hoogste prioriteit op.
- IIR3: is altijd "0" in de 16C450-mode en wordt in de FIFO-mode tegelijk met IIR2 gezet.
- IIR4 en IIR5: worden altijd op "0" gezet.
- IIR6 en IIR7: deze twee bits worden door FCR0 = 1 gezet.

Interrupt Enable Register (IER)
Het interrupt enable register (IER) geeft de vier interruptbronnen van het seriële kanaal onafhankelijk van elkaar door aan de INT0 of INT1 uitgangspen. Door IER0 tot en met IER3 te resetten, worden alle interrupts gesperd. Alleen die interrupts waarvan de bijbehorende bits in het IER op "1" zijn gezet, worden vrijgegeven.
- IER0: HOOG geeft de received-data-available interrupt en de time-out interrupts in de FIFO-mode vrij.
- IER1: HOOG geeft de transmitter holding-register-empty interrupt vrij.

3.5 Type-beschrijving 16Cxxx-familie

FIFO MODE ONLY	INTERRUPT-IDENTIFICATION REGISTER			INTERRUPT SET AND RESET FUNCTIONS			
BIT 3	BIT 2	BIT 1	BIT 0	PRIORITY LEVEL	INTERRUPT TYPE	INTERRUPT SOURCE	INTERRUPT-RESET CONTROL
0	0	0	1	–	None	None	–
0	1	1	0	First	Receiver line status	OE, PE, FE, or BI	LSR read
0	1	0	0	Second	Received data available	Receiver data available or trigger level reached	RBR read until FIFO drops below the trigger level
1	1	0	0	Second	Character time-out indication	No characters have been removed from or input to the receiver FIFO during the last four character times and there is at least one character in it during this time.	RBR read
0	0	1	0	Third	THRE	THRE	IIR read if THRE is the interrupt source or THR write
0	0	0	0	Fourth	Modem status	$\overline{CTS}$, $\overline{DSR}$, $\overline{RI}$, or $\overline{DCD}$	MSR read

Tabel 9/3.5-77: Inhoud van het Interrupt Identificatie Register.

- IER2: HOOG geeft de receiver line-status interrupt vrij.
- IER3: HOOG geeft de modem-status interrupt vrij.
- IER4 tot en met IER7: worden allemaal op "0" gezet.

Ontvanger

Op SIN komt seriële asynchrone data binnen. De ACE zoekt automatisch naar een HOOG-naar-LAAG overgang vanuit de stationaire toestand. Als de overgang wordt gedetecteerd, wordt een teller gereset en wordt de 16x clock tot 7 1/2 geteld (= het midden van het startbit). Het startbit is geldig als SIN dan nog LAAG is. Door het checken van het startbit wordt voorkomen dat de ontvanger valse data gaat verzamelen.
Het Line Control Register bepaalt het aantal databits in een karakter (LCR0 en LCR1). Als er sprake is van pariteit zijn LCR3 en LCR4 (de polariteit van de pariteit) nodig. Het Line Status Register voorziet de ontvanger van status-gegevens. Wanneer een volledig karakter, inclusief pariteit en stopbits is ontvangen, wordt de data-received indicatie in LSR0 HOOG gemaakt. De CPU leest het ontvang bufferregister uit, waardoor LSR0 wordt gereset. Als het karakter niet vóór een nieuwe karakteroverdracht van het RSR naar het RBR wordt gelezen, wordt de overrun-error status in LSR1 gezet.
Een pariteitsfout wordt aangegeven door LSR2 HOOG te maken en een framing-error met LSR3.

Master Reset

Na het opkomen van de voedingsspanning moet de $\overline{\text{RESET}}$-ingang van de ACE nog 1 µs LAAG worden gehouden om de interne schakelingen tot aan de initialisatie in een vrijloop conditie te houden. Een LAAG op $\overline{\text{RESET}}$ veroorzaakt het volgende:

- initialiseert de clocktellers van zender en ontvanger;
- maakt het line-status register (LSR) op TEMT en THRE na leeg. Ook het MCR wordt gecleared.

Na het weghalen van de reset-conditie ($\overline{\text{RESET}}$ = HOOG) blijft de ACE in de vrijloopmode totdat hij geprogrammeerd wordt. Zie verder ook tabel 9/3.5-78.

3.5 Type-beschrijving 16Cxxx-familie

REGISTER/SIGNAL	RESET CONTROL	RESET
Interrupt-enable register	Reset	All bits low (0–3 forced and 4–7 permanent)
Interrupt-identification register	Reset	Bit 0 is high, bits 1, 2, 3, 6, and 7 are low, and bits 4–5 are permanently low.
Line-control register	Reset	All bits low
Modem-control register	Reset	All bits low
FIFO-control register	Reset	All bits low
Line-status register	Reset	All bits are low, except bits 5 and 6 are high.
Modem-status register	Reset	Bits 0–3 low, bits 4–7 input signal
SOUT	Reset	High
Interrupt (RCVR errs)	Read LSR/Reset	Low
Interrupt (RCVR data ready)	Read RBR/Reset	Low
Interrupt (THRE)	Read IIR/Write THR/Reset	Low
Interrupt (modem-status changes)	Read MSR/Reset	Low
$\overline{\text{OUT2}}$	Reset	High
$\overline{\text{RTS}}$	Reset	High
$\overline{\text{DTR}}$	Reset	High
$\overline{\text{OUT1}}$	Reset	High

Tabel 9/3.5-78: De resetfuncties van de 16C552.

Programmeren
Het seriële kanaal van de ACE wordt geprogrammeerd door de besturingsregisters LCR, IER, DLL, DLM, MCR en FCR. Deze besturingswoorden bepalen de karakterlengte, aantal stopbits, pariteit, baud-rate en modeminterface.
Terwijl de besturingsregisters in elke willekeurige volgorde kunnen worden beschreven, moet het laatst in het IER worden geschreven, omdat dit de interrupts vrijgeeft. Zodra het seriële kanaal geprogrammeerd en operationeel is, kunnen deze registers worden bijgesteld als de ACE niet bezig is met het verzenden of ontvangen van data.

Werking met de FIFO in de interrupt-mode
Wanneer de RCVR FIFO (ontvang FIFO) en de ontvanger-interrupts zijn vrijgegeven ontstaat de volgende RCVR status:
- Het "data ready" bit LSR0 wordt gezet als een karakter wordt overgebracht van het schuifregister naar de RCVR FIFO. Wanneer de FIFO leeg is, wordt LSR0 gereset.
- IIR = 06 ontvanger line-status interrupt heeft een hogere prioriteit dan de ontvangen data-available interrupt IIR = 04.
- De "data beschikbaar-interrupt" (receive data-available) wordt aan de CPU doorgegeven wanneer het geprogrammeerde triggerniveau door de FIFO is bereikt. Als de FIFO onder het geprogrammeerde triggerniveau komt, wordt dit weer gecleared.
- Ook de "ontvangen data beschikbaar" indicatie (received-data-available) IIR = 04 treedt op als de FIFO zijn triggerniveau bereikt (en wordt gecleared als de FIFO er weer onder komt).

De volgende RCVR FIFO karakter time-outs treden op wanneer de RCVR FIFO en de ontvanger-interrupts zijn vrijgegeven.
- Als de volgende conditie bestaat, treedt een FIFO karakter time-out interrupt op:
  - minimaal één karakter in de FIFO;

  - het laatst ontvangen seriële karakter was langer dan vier continue vorige karaktertijden geleden (als er twee stopbits zijn geprogrammeerd, is de 2e inbegrepen in de vertraging);
  - de FIFO werd langer dan vier continue tijden geleden door de CPU uitgelezen, bij 300 baud en 12 bit karakters veroorzaakt de FIFO time-out een vertraging van maximaal 160 ms tussen ontvangen karakter en interrupt.
- Door het RCLK-signaal als clock te gebruiken kunnen de karaktertijden worden berekend.
  De vertraging is evenredig met de baudrate.
- De time-out timer wordt gereset nadat de CPU de RCVR FIFO heeft uitgelezen of nadat een nieuw karakter werd ontvangen op het moment dat er geen time-out interrupt was.
- Een time-out interrupt wordt gecleared en de timer gereset als de CPU een karakter uit de RCVR FIFO leest.

XMIT interrupts treden op wanneer de zender en XMIT FIFO interrupts zijn vrijgegeven (FCR0 = 1, IER = 1).
- Wanneer de zend-FIFO leeg is treedt een transmitter holding-register (THR) interrupt op (IIR = 02). De interrupt wordt gecleared wanneer naar het THR wordt geschreven of als het IIR wordt uitgelezen. In de zend-FIFO kunnen één tot zestien karakters worden geschreven wanneer deze interrupt wordt bediend.
- De XMIT FIFO-empty indicaties worden één karakter minus de laatste stopbit tijd vertraagd, wanneer het volgende optreedt:
  - THRE = 1 en er zijn niet minimaal twee bytes tegelijk in de zend-FIFO sinds de laatste THRE = 1.

RCVR-FIFO trigger-niveau en karakter time-out interrupts hebben dezelfde prioriteit als de received-data-available interrupt. De THR-empty interrupt heeft dezelfde prioriteit als de zend-FIFO-leeg interrupt.

Werking met afvragen van de FIFO

Door IER0, IER1, IER2, IER3 of allemaal met FCR0 = 1 te resetten kunnen de FIFO's ook worden afgevraagd (de zogenaamde "polled" mode).
De ontvanger en de zender worden apart bestuurd, zodat elke FIFO apart of beide tegelijk kunnen worden afgevraagd.
Bij het afvragen wordt geen time-out conditie gegeven of een triggerniveau bereikt. De RCVR en XMIT FIFO's hebben echter nog wel de mogelijkheid om karakters op te houden. Om de status van de ACE te bepalen moet het LSR worden uitgelezen.

Parallelle poort registers

Met behulp van de parallelle poort kan de 16C552 op een printer van het Centronics-type worden aangesloten. Als de chip-select 2 ($\overline{CS2}$) LAAG is, is de parallelle poort geselecteerd. In de tabellen 9/3.5-79 en -80 zijn de registers te zien die bij deze parallelle poort horen. De lees- of schrijffuncties van het register worden bestuurd door de status van de lees- en schrijfpennen ($\overline{IOR}$, respectievelijk $\overline{IOW}$).
Het Read Data Register stelt de CPU in staat om de informatie op de parallelle bus te lezen.
Het Read Status Register kijkt in de zes belangrijkste bits naar de status van de printer. De statusbits zijn:
- printer bezig ($\overline{BUSY}$);
- acknowledge ($\overline{ACK}$);
- paper empty (PE);
- printer selected ($\overline{SLCT}$);
- error ($\overline{ERROR}$);
- printer interrupt ($\overline{PRINT}$).

Met het Read Control Register kan de toestand van de besturingslijnen worden uitgelezen. Het Write Control Register zet de besturingslijnen op de juiste waarden:
- richting (DIR);
- interrupt enable (INT2 EN);
- select in ($\overline{SLIN}$);
- initialize printer ($\overline{INIT}$);
- autofeed paper ($\overline{AFD}$);
- strobe ($\overline{STB}$).

3.5 Type-beschrijving 16Cxxx-familie

REGISTER	REGISTER BITS							
	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Read data	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
Read status	$\overline{\text{BSY}}$	$\overline{\text{ACK}}$	PE	SLCT	$\overline{\text{ERR}}$	$\overline{\text{PRINT}}$	1	1
Read control	0	0	PEMP • DIR	INT2 EN	SLIN	$\overline{\text{INIT}}$	AFD	STB
Write cata	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
Write control	0	0	DIR	INT2 EN	SLIN	$\overline{\text{INIT}}$	AFD	STB

Tabel 9/3.5-79: Functies van de bits in de parallelle poort registers.

CONTROL PINS					REGISTER SELECTED
$\overline{\text{IOR}}$	$\overline{\text{IOW}}$	$\overline{\text{CS2}}$	A1	A0	
L	H	L	L	L	Read data
L	H	L	L	H	Read status
L	H	L	H	L	Read control
L	H	L	H	H	Invalid
H	L	L	L	L	Write data
H	L	L	L	H	Invalid
H	L	L	H	L	Write control
H	L	L	H	H	Invalid

Tabel 9/3.5-80: Selectie van de parallelle poort registers.

Hiermee wordt de printer ingelicht over de aanwezigheid van een geldige byte op de parallelle bus.

Line-printer poort

De line-printer poort bevat naast de functionaliteit van de poort in de 16C452 een hardware programmeerbare uitbreiding die wordt bestuurd met de printer-enhancement-mode (PEMD) pen. De uitbreiding bestaat uit een richtingbesturingsbit en een interrupt-statusbit.

Register 0 Line-printer data-register

De lijn-printer poort (LPT) is óf alleen uitgang óf bidirectioneel, afhankelijk van de status van de extended-mode pen en data-direction control bits. Tabel 9/3.5-81 geeft een overzicht van de configuraties van de LPT-poort, gebaseerd op de logische niveaus van de PEMD-pen en de richting-pen (DIR).

PEMD	DIR	PD0–PD7 FUNCTION
L	X	PC/AT mode – output
H	0	PS/2 mode – output
H	1	PS/2 mode – input

Tabel 9/3.5-81: Samenvatting van de configuraties van de LPT-poort.

- **Compatibility mode** (PEMD-pen = L)
  Leest de data die het laatst naar de poort is geschreven terug naar het LPT dataregister. Schrijfoperaties brengen data onmiddellijk over naar PD0 tot en met PD7.
- **Extended mode** (PEMD-pen = H)
  Leesoperaties brengen de laatst naar het LPT dataregister geschreven data terug als het richtingbit op schrijven is gezet (LAAG). Is het richtingbit HOOG (lezen) dan wordt de data die op PD0 tot en met PD7 staat teruggevoerd. Schrijfoperaties naar het LPT dataregister latchen data in het uitgangsregister (alleen als het richtingbit LAAG is).

Register 1 read-line Printer Status Register

Het line-printer statusregister (LPS) is een read-only register dat de interrupt en printerstatus van de LPT connectorpennen bevat. In de defaultkolom van tabel 9/3.5-82 zijn de waarden van elk bit te zien, na resetten in het geval dat de printer is losgekoppeld van de poort.

3.5 Type-beschrijving 16Cxxx-familie

BIT	DESCRIPTION	DEFAULT
0	Reserved	1
1	Reserved	1
2	$\overline{PRINT}$	1
3	$\overline{ERR}$	†
4	SLCT	†
5	PE	†
6	$\overline{ACK}$	†
7	$\overline{BSY}$	†

† Outputs are dependent upon device inputs.

Tabel 9/3.5-82: Overzicht van de toestand van de LPS-bits na resetten.

- Bits 0 en 1:
  Gereserveerd ("1").
- Bit 2:
  Printerinterrupt ($\overline{PRINT}$, aktief-LAAG). Dit bit wordt LAAG gezet als de printer de vorige overdracht met een ACK-handshake heeft beantwoord (als bit 4 van het controlregister op "1" werd gezet). Het bit wordt "0" gemaakt op de aktief-naar-niet-aktief overgang van het ACK-signaal. Na uitlezen van de status wordt dit bit "1".
- Bit 3:
  Error-statusbit ($\overline{ERR}$, aktief-LAAG), komt overeen met de $\overline{ERR}$-ingang.
- Bit 4:
  Select-statusbit (SLCT), overeenkomende met het SLCT-signaal.
- Bit 5:
  Paper-empty (PE) statusbit dat overeenkomt met het PE-signaal.
- Bit 6:
  Acknowledge-statusbit ($\overline{ACK}$, aktief-LAAG), komt overeen met de $\overline{ACK}$-ingang.
- Bit 7:
  Bezig-statusbit ($\overline{BSY}$, aktief-LAAG), komt overeen met het BUSY-signaal (aktief-HOOG).

Register 2 line-printer Control Register
Het line-printer besturingsregister (LPC) is een read/write poort die wordt gebruikt om de richting van PD0 tot en met PD7 te regelen en de printer besturingslijnen aan te sturen. Door schrijfoperaties worden deze bits gezet of gereset, terwijl leesoperaties de status van de laatste schrijfoperatie naar dit register terugbrengen. De bits van dit register worden gedefinieerd als in tabel 9/3.5-83 te zien is.

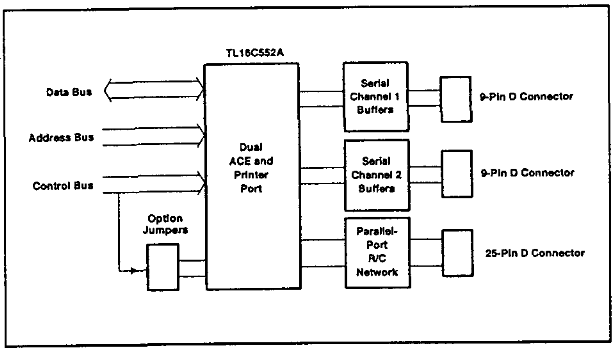
BIT	DESCRIPTION
0	STB
1	AFD
2	$\overline{INIT}$
3	SLIN
4	INT2 EN
5	DIR
6	Reserved 0
7	Reserved 0

Tabel 9/3.5-83: Definitie van de LPC-bits.

- Bit 0:
  Printer-strobe (STB) besturingsbit. Als dit "1" is, wordt het $\overline{STB}$-signaal op de LPT

interface gezet. Is het "0" dan wordt het signaal genegeerd.

- Bit 1:
  Autofeed (AFD) besturingsbit. Is dit "1" dan wordt $\overline{AFD}$ op de LPT interface gezet (bij "0" niet).
- Bit 2:
  Initialize-printer ($\overline{INIT}$) besturingsbit. Is dit bit "1" dan wordt het $\overline{INIT}$-signaal genegeerd; bij "0" komt het $\overline{INIT}$-signaal op de LPT interface.
- Bit 3:
  Select input (SLIN) besturingsbit. Alleen als dit "1" is wordt het $\overline{SLIN}$-signaal op de LPT interface gezet.
- Bit 4:
  Interrupt-request-enable (INT2 EN) besturingsbit. Wanneer dit "1" is worden interrupts van de LPT-poort vrijgegeven als het $\overline{ACK}$-signaal is weggehaald. Is dit "0" dan worden de interrupts gesperd en komt het INT2-signaal in de hoog-impedante toestand.
- Bit 5:
  Richting (DIR) besturingsbit (alleen gebruikt als PEMD HOOG is). Als dit bit "1" is, worden de uitgangsbuffers in de LPD-poort gesperd, waardoor data van externe bronnen via de LPD-poort kan worden uitgelezen. Als DIR "0" is, staat de LPD-poort in de uitgangsmode.



Figuur 9/3.5-63: Vereenvoudigd aansluitschema van de 16C552 met de voor het testen gebruikte signalen.

Overige kenmerken

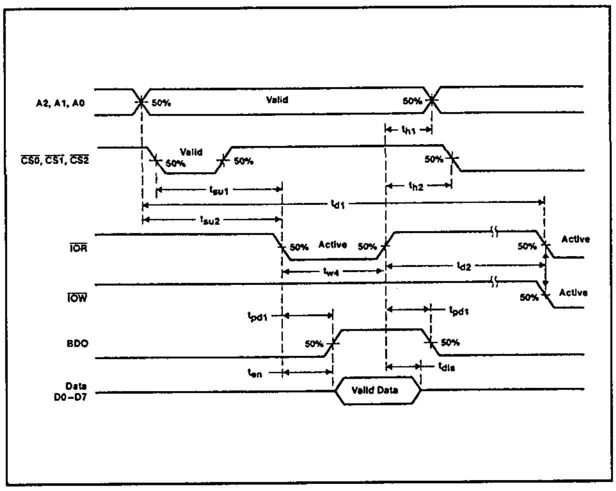
In figuur 9/3.5-63 is een vereenvoudigd aansluitschema van de 16C552 te zien.
De resterende elektrische en timing karakteristieken van het Texas Instruments type TL16C552A zijn vermeld in de tabellen 9/3.5-84 tot en met -94 en de figuren 9/3.5-64 tot en met -78.

Supply voltage range, V_{DD} (see Note 1)	−0.5 V to V_{DD} + 0.3 V
Input voltage range, V_I	−0.5 V to 7 V
Output voltage range, V_O	−0.5 V to V_{DD} + 0.3 V
Continuous total power dissipation at (or below) 70°C	500 mW
Operating free-air temperature range	−10°C to 70°C
Storage temperature range	−65°C to 150°C

Tabel 9/3.5-84: Maximaal toegelaten waarden.

	MIN	NOM	MAX	UNIT
Supply voltage, V_{DD}	4.75	5	5.25	V
Clock high-level input voltage, $V_{IH(CLK)}$	2		V_{DD}	V
Clock low-level input voltage, $V_{IL(CLK)}$	−0.5		0.8	V
High-level input voltage, V_{IH}	2		V_{DD}	V
Low-level input voltage, V_{IL}	−0.5		0.8	V
Clock frequency, f_{clock}			16	MHz
Operating free-air temperature, T_A	0		70	°C

Tabel 9/3.5-85: Voor de 16C552 aanbevolen bedrijfscondities.



Figuur 9/3.5-64: Timing van de leescycli.

3.5 Type-beschrijving 16Cxxx-familie

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
V_{OH}	High-level output voltage	I_{OH} = −0.4 mA for DB0−DB7, I_{OH} = −2 mA for PD0−PD7, I_{OH} = −0.4 mA for $\overline{INIT}$, $\overline{AFD}$, $\overline{STB}$, and $\overline{SLIN}$ (see Note 2), I_{OH} = −0.4 mA for all other outputs	2.4		V
V_{OL}	Low-level output voltage	I_{OL} = 4 mA for DB0−DB7, I_{OL} = 12 mA for PD0−PD7, I_{OL} = 10 mA for $\overline{INIT}$, $\overline{AFD}$, $\overline{STB}$, and $\overline{SLIN}$ (see Note 2), I_{OL} = 2 mA for all other outputs		0.4	V
I_I	Input current	V_{DD} = 5.25 V, All other pins are floating		±10	µA
$I_{I(CLK)}$	Clock input current	V_I = 0 to 5.25 V		±10	µA
I_{OZ}	Off-state output current	V_{DD} = 5.25 V, V_O = 0 with chip deselected, or V_O = 5.25 V with chip and write-mode selected		±20	µA
I_{DD}	Supply current	V_{DD} = 5.25 V, No loads on outputs, SIN0, SIN1, $\overline{DSR0}$, $\overline{DSR1}$, $\overline{DCD0}$, $\overline{DCD1}$, $\overline{CTS0}$, $\overline{CTS1}$, $\overline{RI0}$ and $\overline{RI1}$ at 2 V, Other inputs at 0.8 V, Baud-rate generator f_{clock} = 8 MHz, Baud rate = 56 kbps		50	mA

Tabel 9/3.5-86: Elektrische kenmerken (DC) onder normale bedrijfscondities.

		MIN	MAX	UNIT
t_{w1}	Pulse duration, CLK high (external clock, 8 MHz max) (see Figure 1)	55		ns
t_{w2}	Pulse duration, CLK low (external clock, 8 MHz max) (see Figure 1)	55		ns
t_{w3}	Pulse duration, master reset (see Figure 18)	1000		ns

Tabel 9/3.5-87: Eisen waaraan de clocksignalen moeten voldoen (zie figuur 9/3.5-78).

		MIN	MAX	UNIT
t_{w4}	Pulse duration, $\overline{IOR}$ low	80		ns
t_{su1}	Setup time, $\overline{CSx}$ valid before $\overline{IOR}$ low (see Note 3)	15		ns
t_{su2}	Setup time, A2−A0 valid before $\overline{IOR}$ low (see Note 3)	15		ns
t_{h1}	Hold time, A2−A0 valid after $\overline{IOR}$ high (see Note 3)	20		ns
t_{h2}	Hold time, chip $\overline{CSx}$ after $\overline{IOR}$ high (see Note 3)	20		ns
t_{d1}	Delay time, $t_{su2} + t_{w4} + t_{d2}$ (see Note 4)	175		ns
t_{d2}	Delay time, $\overline{IOR}$ high to $\overline{IOR}$ or $\overline{IOW}$ low	80		ns

NOTES:
2. These four pins contain an internal pullup resistor to V_{DD} of approximately 10 kΩ.
3. The internal address strobe is always active.
4. In the FIFO mode, t_{d1} = 425 ns (min) between reads of the receiver FIFO and the status registers (IIR and LSR).

Tabel 9/3.5-88: De timing van de leescyli onder de aanbevolen normale bedrijfsomstandigheden (zie ook figuur 9/3.5-64).

3.5 Type-beschrijving 16Cxxx-familie

		MIN	MAX	UNIT
t_{w5}	Pulse duration, $\overline{IOW}$ low	80		ns
t_{su4}	Setup time, $\overline{CSx}$ valid before $\overline{IOW}$ low (see Note 3)	15		ns
t_{su5}	Setup time, A2–A0 valid before $\overline{IOW}$ low (see Note 3)	15		ns
t_{su6}	Setup time, D0–D7 valid before $\overline{IOW}$ high	15		ns
t_{h3}	Hold time, A2–A0 valid after $\overline{IOW}$ high (see Note 3)	20		ns
t_{h4}	Hold time, $\overline{CSx}$ valid after $\overline{IOW}$ high (see Note 3)	20		ns
t_{h5}	Hold time, D0–D7 valid after $\overline{IOW}$ high	15		ns
t_{d3}	Delay time, $t_{su5} + t_{w5} + t_{d4}$	175		ns
t_{d4}	Delay time, $\overline{IOW}$ high to $\overline{IOW}$ or $\overline{IOR}$ low	80		ns

NOTE 3: The internal address strobe is always active.

Tabel 9/3.5-89: De timing van de schrijfcyli onder normale omstandigheden (zie ook figuur 9/3.5-65).

PARAMETER		MIN	MAX	UNIT
t_{pd1}	Propagation delay time from $\overline{IOR}$ low to BDO high or from $\overline{IOR}$ high to BDO low		60	ns
t_{en}	Enable time from $\overline{IOR}$ low to D0–D7 valid		60	ns
t_{dis}	Disable time from $\overline{IOR}$ high to D0–D7 released	0	60	ns

NOTE 5: V_{OL} and V_{OH} (and the external loading) determine the charge and discharge time.

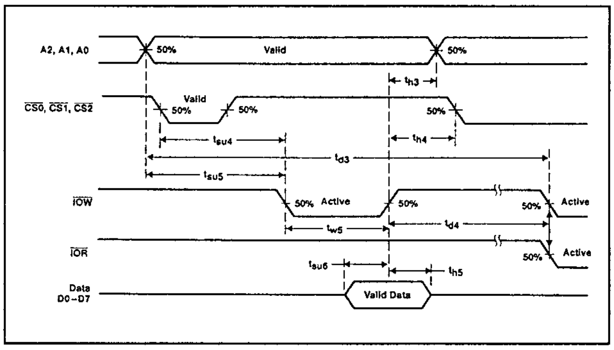
Tabel 9/3.5-90: Schakeltijden bij het omschakelen tussen lezen en schrijven uitlezen (zie de figuren 9/3.5-64 en -65).

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_{d5}	Delay time, interrupt THRE low to SOUT low at start		8	24	RCLK cycles
t_{d6}	Delay time, SOUT low at start to interrupt THRE high	See Note 6	8	9	RCLK cycles
t_{d7}	Delay time, $\overline{IOW}$ (WR THR) high to interrupt THRE high	See Note 6	16	32	RCLK cycles
t_{d8}	Delay time, SOUT low at start to $\overline{TXRDY}$ low	$C_L = 100$ pF		8	RCLK cycles
t_{pd2}	Propagation delay time from $\overline{IOW}$ (WR THR) low to interrupt THRE low	$C_L = 100$ pF		140	ns
t_{pd4}	Propagation delay time from $\overline{IOR}$ (RD IIR) high to interrupt THRE low	$C_L = 100$ pF		140	ns
t_{pd5}	Propagation delay time from $\overline{IOW}$ (WR THR) high to $\overline{TXRDY}$ high	$C_L = 100$ pF		195	ns

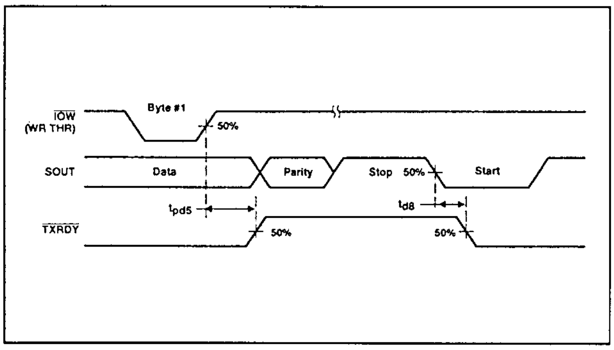
NOTE 6: If the transmitter interrupt delay is active, this delay is lengthened by one character time minus the last stop bit time.

Tabel 9/3.5-91: Schakeltijden van de zender (zie ook de figuren 9/3.5-66, -67 en -68).

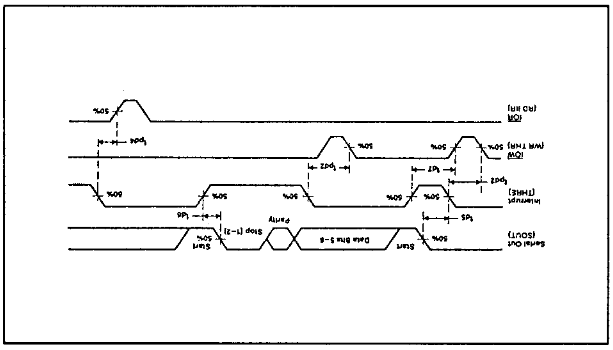
3.5 Type-beschrijving 16Cxxx-familie



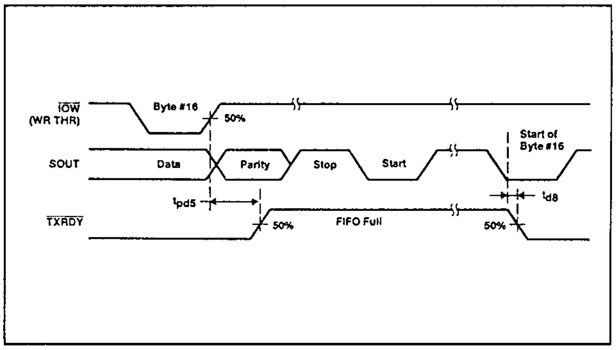
Figuur 9/3.5-65: Timing en golfvormen bij schrijf-cycli.



Figuur 9/3.5-67: Timing van de zender in de Rea-dy-Mode 0.



Figuur 9/3.5-66: Golfvormen en timing van de zender.



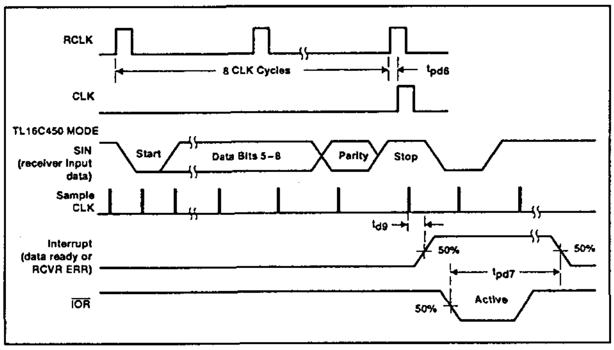
Figuur 9/3.5-68: Timing van de zender in de Rea-dy-Mode 1.

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_{d9}	Delay time from stop to INT high	See Note 7		1	RCLK cycle
t_{pd6}	Propagation delay time from RCLK high to sample CLK high			100	ns
t_{pd7}	Propagation delay time from $\overline{IOR}$ (RD RBR/RD LSR) low to reset interrupt low	C_L = 100 pF		150	ns
t_{pd8}	Propagation delay time from $\overline{IOR}$ (RD RBR) low to $\overline{RXRDY}$ high			150	ns

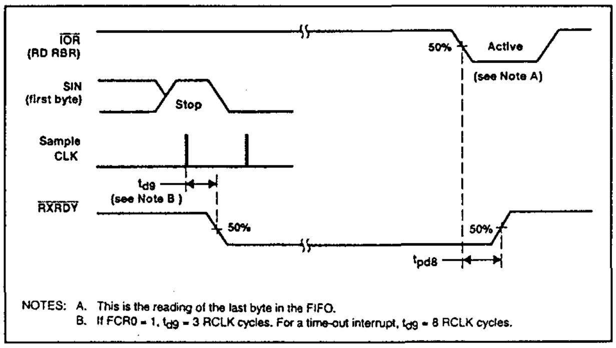
NOTE 7: The receiver data available indication, the overrun error indication, the trigger level interrupts, and the active $\overline{RXRDY}$ indication will be delayed three RCLK cycles in the FIFO mode (FCR0 = 1). After the first byte has been received, status indicators (PE, FE, BI) will be delayed three RCLK cycles. These indicators will be updated immediately for any further bytes received after RDRBR goes active. There are eight RCLK cycle delays for trigger change level interrupts.

Tabel 9/3.5-92: Schakeltijden van de ontvanger (zie ook de figuren 9/3.5-69 tot en met 9/3.5-73).

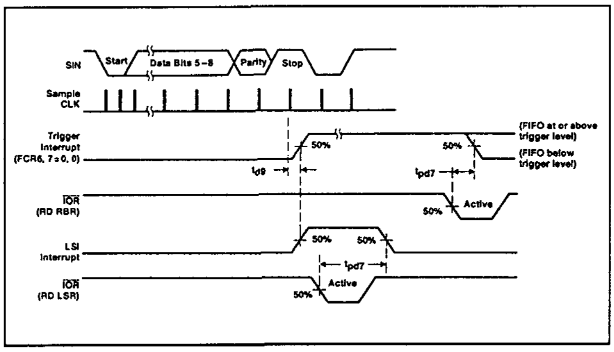
3.5 Type-beschrijving 16Cxxx-familie



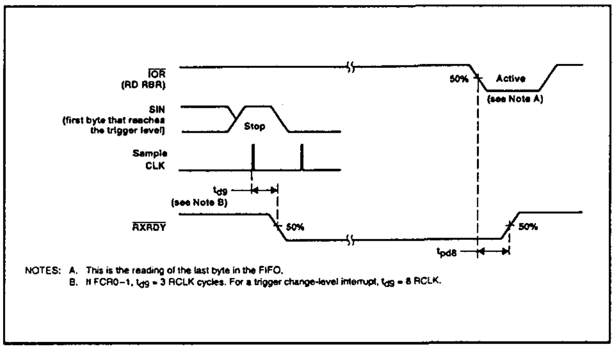
Figuur 9/3.5-69: Timing van de 16C552 ontvanger.



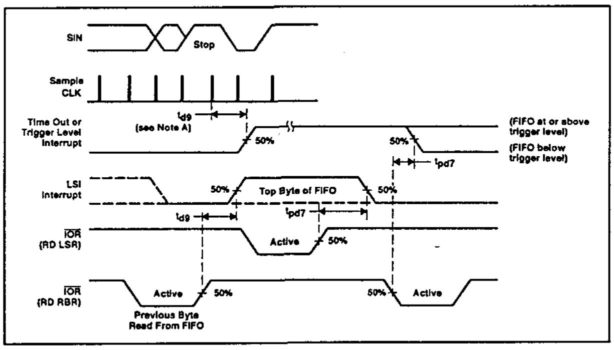
Figuur 9/3.5-72: Timing van de ontvanger in Ready Mode 0.



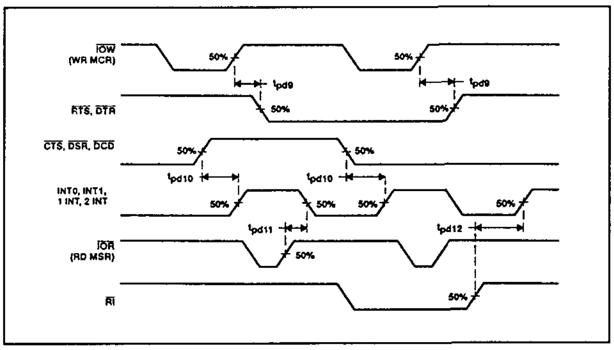
Figuur 9/3.5-70: Ontvangst van de eerste byte in de FIFO (set RDR-bit).



Figuur 9/3.5-73: Timing van de ontvanger in Ready Mode 1.



Figuur 9/3.5-71: Ontvangst van de overige bytes in de FIFO (nadat het RDR-bit is gezet).



Figuur 9/3.5-74: Timing en golfvormen van de modembesturing.

3.5 Type-beschrijving 16Cxxx-familie

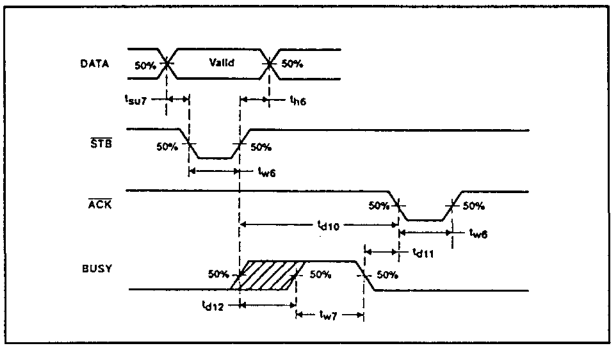
	PARAMETER	MIN	MAX	UNIT
t_{pd9}	Propagation delay time from $\overline{IOW}$ (WR MCR) high to $\overline{RTS}$ ($\overline{DTR}$) low/high		100	ns
t_{pd10}	Propagation delay time from modem input ($\overline{CTS}$, $\overline{DSR}$) low/high to interrupt high		170	ns
t_{pd11}	Propagation delay time from $\overline{IOR}$ (RD MSR) high to interrupt low		140	ns
t_{pd12}	Propagation delay time from $\overline{RI}$ high to interrupt high		170	ns

Tabel 9/3.5-93: Schakeltijden van de modem (zie figuren 9/3.5-74).

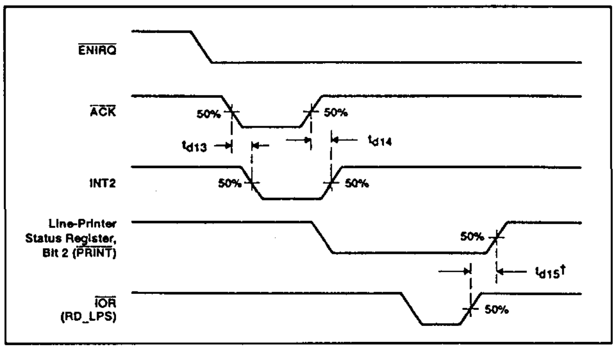
		MIN	MAX	UNIT
t_{su7}	Setup time, data valid before $\overline{STB}$ low	1		µs
t_{h6}	Hold time, data valid after $\overline{STB}$ high	1		µs
t_{w6}	Pulse duration, $\overline{STB}$ low	1	500	µs
t_{d10}	Delay time, BUSY high to $\overline{ACK}$ low	Defined by printer		
t_{d11}	Delay time, BUSY low to $\overline{ACK}$ low	Defined by printer		
t_{w6}	Pulse duration, $\overline{ACK}$ low	Defined by printer		
t_{w7}	Pulse duration, BUSY high	Defined by printer		
t_{d12}	Delay time, BUSY high after $\overline{STB}$ high	Defined by printer		
t_{d13}	Delay time, INT2 low after $\overline{ACK}$ low (see Note 8)		22	ns
t_{d14}	Delay time, INT2 high after $\overline{ACK}$ high (see Note 8)		20	ns
t_{d16}	Delay time, INT2 high after $\overline{ACK}$ high (see Note 8)		24	ns
t_{d17}	Delay time, INT2 low after $\overline{IOR}$ high (see Note 8)		25	ns

NOTE 8: $t_{d13}-t_{d17}$ are all measured with a 15-pF load.

Tabel 9/3.5-94: Benodigde timing voor de parallelle poort van de 16C552 (zie de figuren 9/3.5-75 tot en met -77).

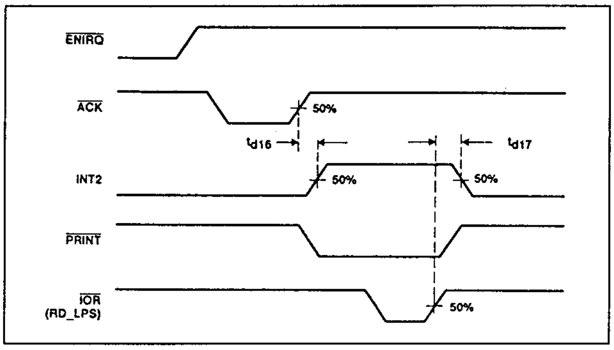


Figuur 9/3.5-75: Timing van de parallelle poort.

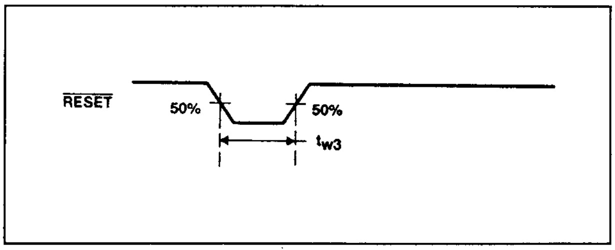


Figuur 9/3.5-76: Timing van de parallelle poort in de AT-mode (ENIRQ = LAAG).

3.5 Type-beschrijving 16Cxxx-familie



Figuur 9/3.5-77: Timing van de parallelle poort in de PS/2 mode (ENIRQ = HOOG).



Figuur 9/3.5-78: Benodigde golfvorm van het $\overline{\text{RESET}}$-signaal.

9/5

Modems

Inhoud

9/5.2

Type-beschrijving TCM- en TMS-typen

TCM3101

V.23/Bell 202 modem

De TCM3101 is een één-chip FSK modem (modulatie met frequentieverschuiving: Frequency Shift Keying) die door Texas Instruments wordt vervaardigd. Bij deze CMOS modem wordt gebruik gemaakt van geschakelde condensator (switched capacitor) filtertechnieken.

De zender (transmitter) bevat een modulator die twee frequenties opwekt die overeenkomen met hoge en lage niveaus van het datasignaal op de TXD-ingang.
Deze frequenties kunnen door middel van de TXR1, TXR2 en TRS ingangen worden geselecteerd als CCITT V.23 of Bell 202 standaard frequenties (tabel 9/5.2-1a en -b).

Het analoge signaal van de telefoonlijn wordt toegevoerd aan de RXA-ingang van het ontvangstgedeelte (zie figuur 9/5.2-2). Dit signaal is meestal sterk vervormd, waarbij de amplitude variëert en de frequenties kunnen afwijken.
Om de werking te verbeteren en zo weinig mogelijk fouten te maken zijn een line-equaliser, bias distortion adjustment, carrier detect level adjustment en automatic gain control (AGC: automatische bijregeling van de versterking) op de chip aangebracht.

TRANSMIT STANDARD SELECT/FREQUENCY CODE ASSIGNMENTS

TRS	STANDARD	TXR1	TXR2	TRANSMITTED BIT RATE (b/s)	TXD	TX FREQUENCY (Hz)
0 or 1	CCITT	1	0	75	1 0	M 390 S 450
		0	1	600	1 0	M 1300 S 1700
		0	0	1200	1 0	M 1300 S 2100
CLK	BELL 202	1	0	150	1 0	M 387 S 487
		0	X	1200	1 0	M 1200 S 2200
X		1	1	0	X	Transmitter disabled

RECEIVE STANDARD SELECT

TRS	STANDARD	RECEIVED BIT RATE (b/s)	CLK FREQUENCY (KHz)
1	CCITT V23	600	9.56
0 CLK	CCITT V23 BELL 202	1200	19.11

0 = VSS
1 = VD
CLK = Connect TRS pin to CLK pin
X = Don't Care

Tabel 9/5.2-1: Instelling van de standaard zendfrequenties (a) en instelling van de standaard ontvangfrequenties (b).

5.2 Type-beschrijving TCM- en TMS-typen

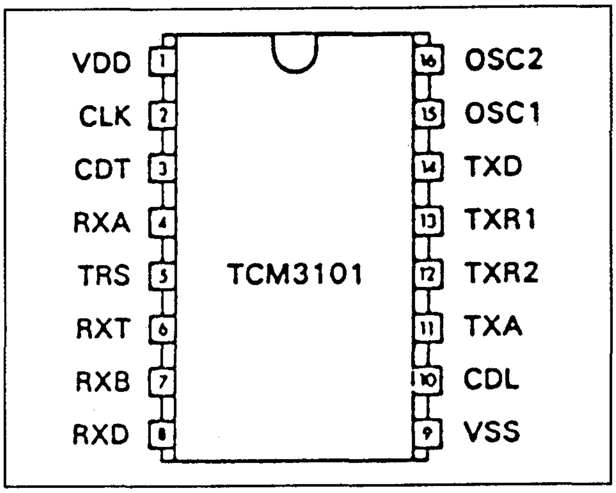
De detectieschakeling voor de draaggolf (carrier detect) markeert de CDT-uitgang als het niveau van de ontvangen energie lager wordt dan de waarde die op de CDL-ingang staat.

Eigenschappen

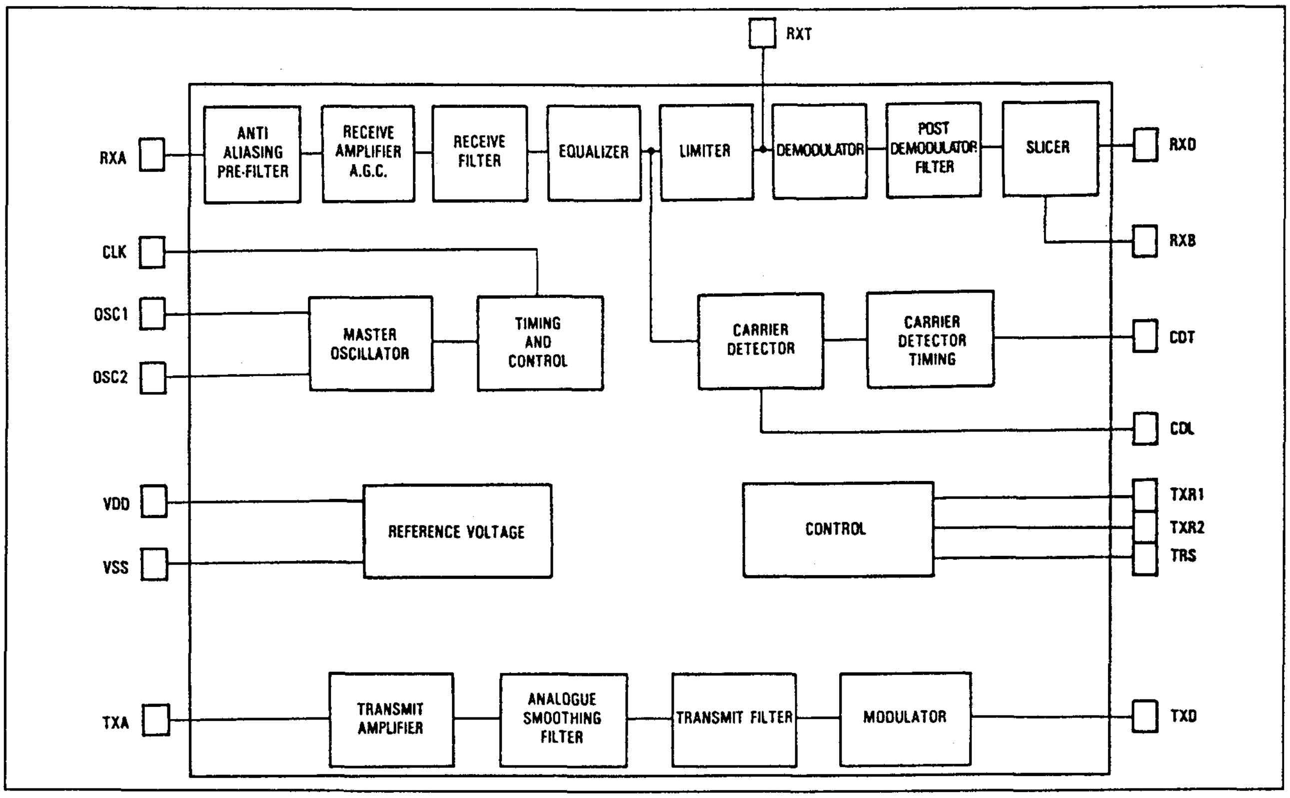
- Single chip FSK modem
- Voldoet aan CCITT V.23 en Bell 202 normen
- Zend-modulatie bij 75, 150, 600 en 1200 baud
- Ontvang-demodulatie bij 600 en 1200 baud
- Full-duplex werking tot maximaal 1200 baud ontvangen en 150 baud zenden
- Half-duplex werking tot maximaal 1200 baud zenden en ontvangen
- Instelbaar carrier-detect niveau
- Carrier fail uitgang
- Filtering van zend- en ontvangstsignalen
- Behuizing: 16-pens DIL (figuur 9/5.2-1)

Karakteristieken

De tabellen 9/5.2-2 tot en met 9/5.2-5 bevatten de elektrische en timingkarakteristieken voor deze modem, terwijl figuur 9/5.2-3 een toepassingsvoorbeeld geeft.

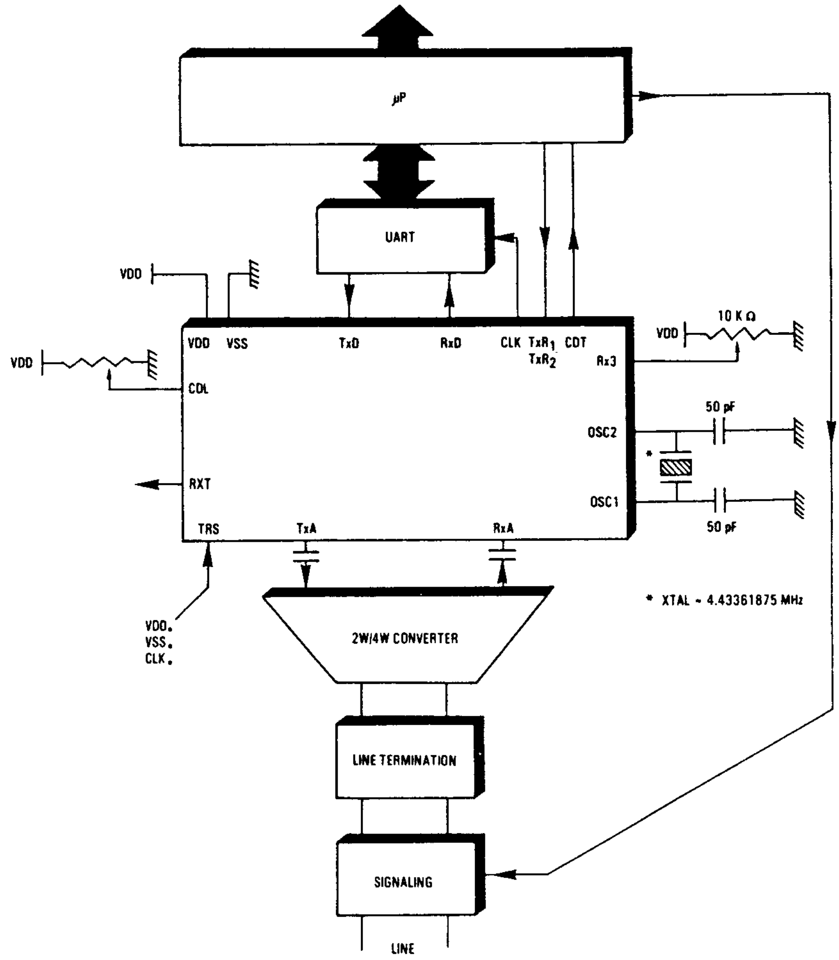


Figuur 9/5.2-1: Aansluitgegevens van de TCM3101 modem.



Figuur 9/5.2-2: Blokschema van de TCM3101.

5.2 Type-beschrijving TCM- en TMS-typen



Figuur 9/5.2-3: Toepassing van de TCM3101.

Absolute Maximum Ratings

Supply Volage V_{DD}	−0.3-10 V
Voltage on any terminal	−0.3-V_{DD}
Operating free air temperature range	−10-+70°C
Storage temperature range	−55-+150°C

Notes :
Unless otherwise stated, all voltages are with respect to V_{SS}. Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device.

Tabel 9/5.2-2: Maximaal toegelaten waarden.

5.2 Type-beschrijving TCM- en TMS-typen

RECOMMANDED OPERATING CONDITIONS •

PARAMETERS	MIN.	TYP.	MAX.	UNIT
VDD supply voltage	4	5	6	V
Digital input levels VIH VIL	 2.0 VSS		 VDD 0.8	 V V
VRXA analog input levels (AC coupled)			0.78	V PK-PK
Master clock frequency (quartz PAL)	4.4334	4.4336	4.4338	MHz

Tabel 9/5.2-3: Aanbevolen bedrijfscondities.

ELECTRICAL CHARACTERISTICS

over recommended operating free-air temperature range (-10 to 70° C)

PARAMETERS	TEST CONDITIONS	MIN.	TYP.	MAX.	UNIT
IDD supply current	VDD = 4 V VDD = 5 V VDD = 6 V			3.5 5.5 7.5	mA mA mA
IDD digital input current	VSS ≤ VIN ≤ VDD			+1	uA
IIA analog input current				+10	uA
Digital output level VOH VOL	 IOH < 100 UA IOL ≤ 1.6 MA	 2.4 VSS		 VDD 0.4	 V V
Analog output level (see fig. 7) VTXA	VDD = 4 V VDD = 5 V VDD = 6 V RL = 50 K CL = 100 pF		1.3 1.6 1.9		V PK – PK V PK – PK V PK – PK
Analog output DC offset			VDD/2		V
Input capacitance	F = 1 MHz			15	pF
Output capacitance	F = 1 MHz			15	pF

Tabel 9/5.2-4: Elektrische eigenschappen van de TCM3101.

CARRIER DETECTOR CHARACTERISTICS

PARAMETERS	MIN.	TYP.	MAX.	UNIT
Carrier detect threshold CTHH (Off-On) CTHH (On-Off) CTHH-CTHL	 -45.5 -48 	 2.5	 -43 -45.4 	 dBm dBm dBm
Carrier detect delay TD Off-On TD On-Off	 12 14		 19 15	 ms ms

Tabel 9/5.2-5: Kenmerken van de carrier-detector.

5.2 Type-beschrijving TCM- en TMS-typen

TCM3105

V.23/Bell 202 modem

De TCM3105 is een veelzijdige één-chip Frequency Shift Keying (FSK) modem van Texas Instruments. Deze CMOS modem werkt met frequenties in de spraakfrequentieband en maakt gebruik van geschakelde condensator (switched capacitor) filtertechnieken. Via de TXR1, TXR2 en TRS ingangen kan de modem worden geprogrammeerd volgens Bell 202 of CCITT V.23 normen (tabel 9/5.2-6).

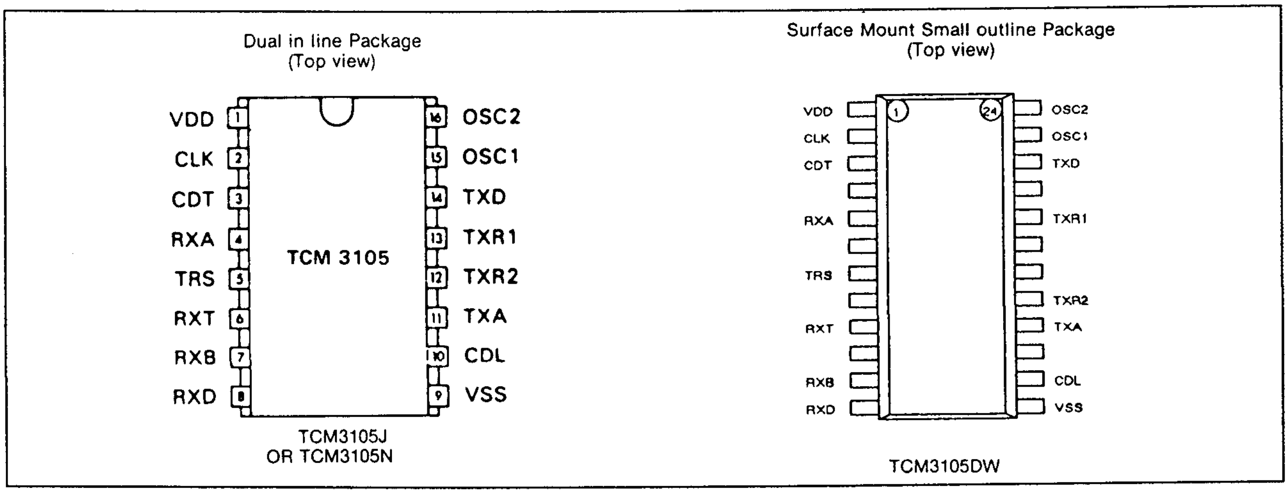
De zender (transmitter, zie ook blokschema figuur 9/5.2-5) is een programmeerbare frequentie-synthesizer die twee frequenties op de TXA-uitgang zet die overeenkomen met "marks" en "spaces" (respectievelijk hoge en lage niveaus) van het digitale signaal op de TXD-ingang (zie tabel 9/5.2-7).

Het ontvangstgedeelte (receiver) heeft de demodulatie van het analoge signaal dat op de RXA-ingang verschijnt tot taak. Deze demodulatie is gebaseerd op het principe van frequentie-naar-spannings omzetting. Dit gedeelte bevat een Group Delay Equaliser (die wordt gebruikt om fasevervorming te corrigeren), Automatic Gain Control (automatische bijregeling van de versterking), Carrier Detect Level Adjustment (regeling van het detectieniveau voor de draaggolf) en Bias Distortion Adjustment, waardoor de werking optimaal wordt en het aantal fouten zo gering mogelijk.

Het systeem ontvangt carrier-detect informatie door middel van de gelijknamige schakeling die een "vlag" op de CDT-uitgang zet als het niveau van de ontvangen energie gedurende een bepaalde tijd lager is dan de waarde die op de CDL-ingang wordt gezet.

Eigenschappen

- Single chip FSK modem
- Voldoet aan CCITT V.23 standaards:
  - forward channel (transmit/receive) 600/1200 baud
  - backward channel (transmit/receive) 75 baud
- Voldoet aan Bell 202 standaards:
  - forward channel (Transmit/receive) 1200 baud
  - backward channel (transmit/receive) 5/150 baud
- Full-duplex werking tot maximaal 1200 baud zenden en ontvangen in 4-draads mode
- Instelbaar carrier-detect niveau en carrier fail uitgang
- Filtering van zend- en ontvangstsignalen en group delay vereffening
- Behuizing: 16-pens plastic DIL (pencompatibel met TCM3101) en 24-pens "small outline" (figuur 9/5.2-4)



Figuur 9/5.2-4: Aansluitgegevens van de DIL en SO uitvoering van de TCM3105.

5.2 Type-beschrijving TCM- en TMS-typen

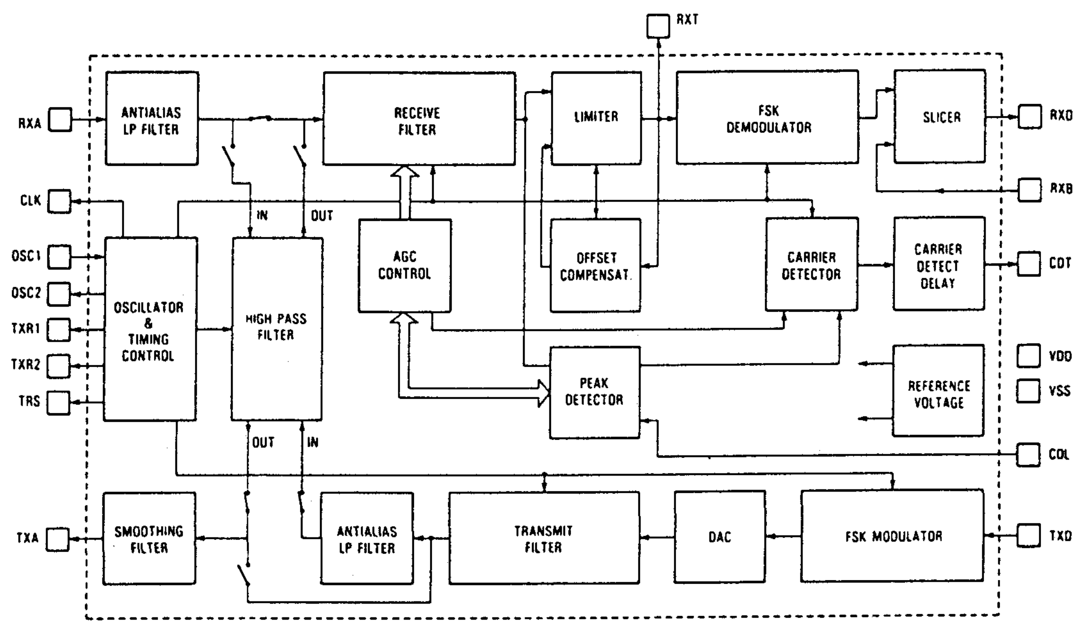
Receive/Transmit modes of operations

STANDARD	TRS	TXR1	TXR2	TRANSMITTED BIT RATE (b/s)	RECEIVED BIT RATE (b/s)	CLK FREQUENCY (KHz)
CCITT V23	0	0	0	1200	1200	19.11
	1	0	0	1200	75	19.11
	0	0	1	600	75	9.56
	1	0	1	600	600	9.56
	0	1	0	75	1200	19.11
	1	1	0	75	600	9.56
	0	1	1	75	75	1.19
BELL 202	$\overline{CLK}$*	0	0	1200	1200	19.11
	CLK 8	0	1	1200	150	19.11
	CLK 8	0	1	1200	5	19.11
	CLK	1	0	150	1200	19.11
	CLK	1	1	150	150	2.39
	See note 1	1	See note 1	5	1200	19.11
	1	1	1	Transmit disabled	1200	19.11

Clock output must be inverted and connected to TRS input.

NOTE 1 : In this mode the modulation is controlled by the TRS and TXR2 inputs
i.e. TRS = CLK & TXR2 = 0 TXD = 1 TXA = 387 Hz
TRS = 1 & TXR2 = 1 TXD = 1 or 0, TXA = 0 Hz

Tabel 9/5.2-6: Programmering van de zend/ontvang modes.



Figuur 9/5.2-5: Blokschema van de TCM3105.

5.2 Type-beschrijving TCM- en TMS-typen

Frequency assignments

STANDARD	TRANSMITTED BIT RATE (b/s)	TXD	TRANSMITTED FREQUENCY (Hz)	
CCITT V23	75	1	M	390
		0	S	450
	600	1	M	1300
		0	S	1700
	1200	1	M	1300
		0	S	2100
BELL 202	150	1	M	387
		0	S	487
	1200	1	M	1200
		0	S	2200
	5	See note 1	M	387
			S	0

NOTE 1 : In this mode the modulation is controlled by the TRS and TXR2 inputs
i.e. TRS = CLK & TXR2 = 0 TXD = 1 TXA =387 Hz
TRS = 1 & TXR2 = 1 TXD = 1 or 0, TXA = 0 Hz

Tabel 9/5.2-7: De toegepaste zendfrequenties.

Beschrijving van de aansluitpennen

- TXD, Transmitter Digital Input
  De te verzenden data wordt naar deze ingang geleid (positieve logika: mark = 1 en space = 0). Deze data mag volledig asynchroon zijn en heeft geen beperkingen wat snelheid betreft. De data-snelheid mag dus liggen tussen DC en de gekozen zendsnelheid.
- TXA, Transmitter Analogue Output
  Op deze pen verschijnt het FSK-gemoduleerde uitgangssignaal. De amplitude van dit analoge signaal is afhankelijk van de voeding. Omdat dit signaal met de interne referentiespanning is verbonden, moet TXA AC-gekoppeld zijn (via een condensator worden uitgevoerd).
- TXR1, TXR2 en TRS, Receive/Transmit Mode Select Inputs
  De logische toestand van deze ingangen wordt intern gedecodeerd om de modem in de gewenste bedrijfsmode te zetten (zie tabel 9/5.2-6). Tevens kan de transmitter worden belet te zenden (transmitter disable mode). De TRS-pen kan een HOOG of een LAAG niveau of een CLK-signaal ontvangen.
- RXA, Reveiver Analogue Input
  Op deze pen wordt het gemoduleerde analoge signaal ontvangen. Doordat de TCM3105 een enkele voeding heeft staat op deze ingang een interne referentiespanning en moet dus een AC-koppeling worden toegepast.
- RXD, Receiver Digital Output
  Deze uitgang levert de gedemoduleerde ontvangen data in positief logische vorm. Een ontvangen mark-frequentie wordt dus "1" en een space-frequentie "0".
- RXB, Receiver Bias Adjust
  Deze ingang maakt externe instelling van de beslissingsdrempel van de laatste comparatortrap mogelijk waardoor de bias-verstoring van de uitgangsdata minimaal kan worden gemaakt.
- CDT, Carrier Detector Output
  Deze uitgang levert een draaggolf-detectievlag aan het systeem.
  Wanneer "in-band" energie langer dan de minimum gespecificeerde tijdsduur aanwezig is wordt dit gesignaleerd door een HOOG niveau; het afwezig zijn van deze energie levert een LAAG niveau op.

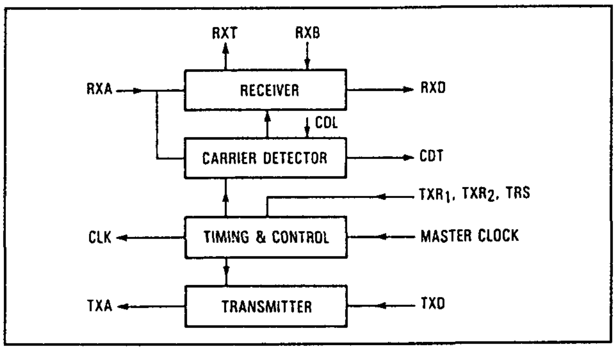
5.2 Type-beschrijving TCM- en TMS-typen

- CDL, Carrier Detect Level Adjust Input
  Via deze ingang kan de drempel van het carrier-niveau extern door middel van een potentiometer worden ingesteld.
- OSC1 en OSC2, Clock Oscillator Input/Output
  Deze pennen zijn respectievelijk de ingang en de uitgang van de inwendige oscillator en worden meestal op een 4,4336 MHz kristal aangesloten. Wanneer een externe clock wordt gebruikt, moet deze met OSC1 worden verbonden terwijl OSC2 open blijft.
- CLK, Clock Output
  Het continue clock-signaal dat op deze uitgang staat heeft een frequentie die 16 maal hoger is dan de maximale (zend- of ontvang-) bitsnelheid. Deze clock is bedoeld voor extern gebruik, zoals UART-besturing en (na correcte deling) als ingangssignaal voor de TRS-ingang (zie ook tabel 9/5.2-6).
- RXT, Receiver Test Output
  Deze uitgang is een tussenliggende begrenzer-uitgang.
- V_{DD} en V_{SS}, Power Supply Inputs
  Deze pennen moeten met de juiste voedingsspanningen worden verbonden. V_{DD} is de positieve gespecificeerde spanning en V_{SS} de negatieve, die met het substraat is verbonden, meestal de massa.

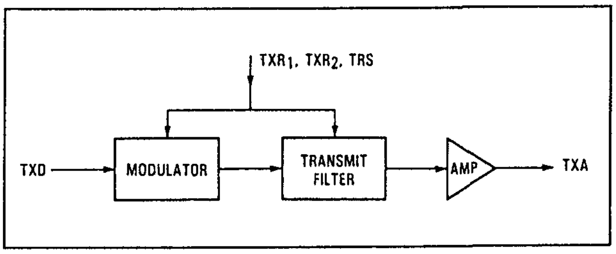
Beschrijving van de schakeling
Zoals in figuur 9/5.2-6 te zien is bestaat de modem uit vier functionele blokken:
- Transmitter;
- Receiver;
- Carrier Detector;
- Timing en Control.

Deze vier blokken worden in de volgende paragrafen afzonderlijk besproken.

Transmitter
De transmitter bestaat uit een fase-coherente FSK modulator, een transmit-filter en een transmit-versterker (figuur 9/5.2-7).



Figuur 9/5.2-6: Functionele samenstelling van de modem TCM3105.



Figuur 9/5.2-7: De transmitter.

De modulator is een programmeerbare frequentie-synthesizer die de uitgangsfrequenties verkrijgt door variabele deling van de 4,4336 MHz Master Clock Frequentie. De deelverhouding wordt ingesteld met de transmit/receive standaard-pen (TRS), de transmit bit rate-pennen (TRX1 en TRX2) en de data-ingang (TXD). Tabel 9/5.2-7 laat deze frequenties zien, waarbij een "1" overeenkomt met een mark en een "0" met een space.
De laatste trap van het transmittergedeelte is het transmit-filter, gevolgd door de transmit-versterker.

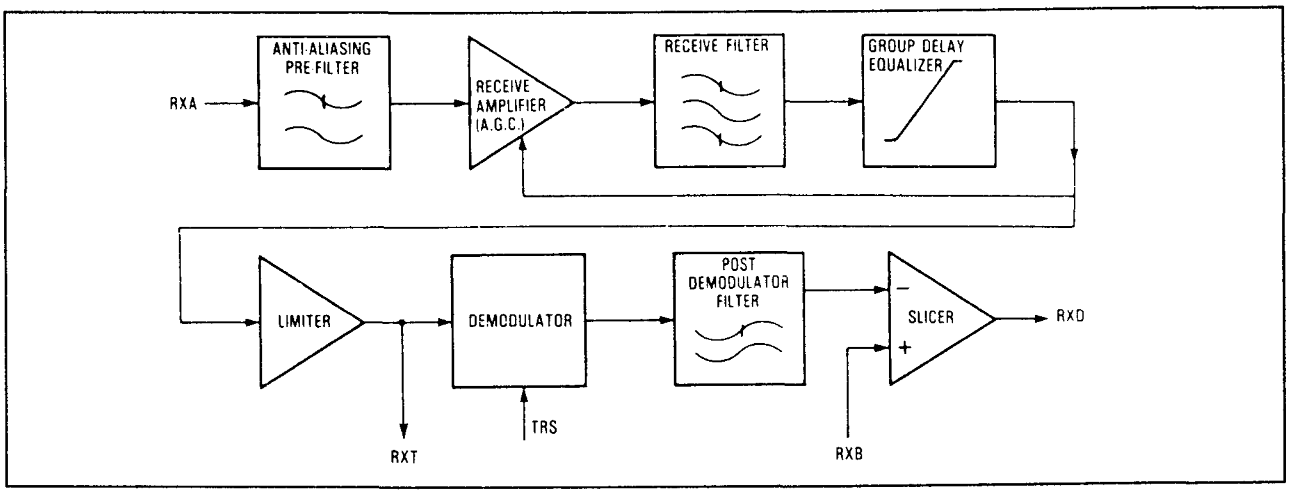
Het frequentie-gedrag van het transmit-filter is afhankelijk van de met TRS, TXR1 en TXR2 gekozen mode.
In alle bedrijfsmodes is de eerste filtersectie een geschakelde condensator (switched capacitor) laagdoorlatend filter, waarmee het niveau van de harmonischen aan de uitgang wordt beperkt.

5.2 Type-beschrijving TCM- en TMS-typen

In de 75/150 baud ontvangstmode en de 600/1200 baud zendmode wordt het uitgangssignaal van het laagdoorlatend filter achtereenvolgens naar een anti-aliasing filter, een geschakelde condensator hoogdoorlatend filter en een equaliser geleid voordat het door een afvlakkend filter naar de TXA-pen gaat.
In de 600/1200 baud ontvangstmode wordt het signaal uit het laagdoorlatend filter eerst aan een continu laagdoorlatend filter toegevoerd om harmonischen (als gevolg van sampling) te verwijderen voordat het op de TXA-pen komt.

Receiver

De demodulatie-functie van de ontvanger is gebaseerd op het principe van frequentie-naar-spanning omzetting. Zoals in figuur 9/5.2-8 te zien is bestaat het receivergedeelte uit een anti-aliasing prefilter, een receive versterker, een group delay equaliser, receive filter, begrenzer (limiter), demodulator, post-demodulator filter en slicer. De ontvangststandaard wordt ingesteld door TRS, TXR1 en TXR2.
Het anti-aliasing prefilter is een continu laagdoorlatend filter dat dient om aliasing van hoogfrequent bestanddelen van het ingangssignaal op RXA te voorkomen. Dit zou kunnen gebeuren door de bemonsterende werking van het receive-filter en de group delay equaliser.
De receive versterker heeft een variabele versterkingsfactor en dient om het uitgangssignaal van het receive filter op een geschikt niveau te houden.
Met het receive filter wordt de bandbreedte van het op de demodulator komende signaal begrensd, waardoor buiten de band gelegen interferentie wordt gereduceerd en tevens backward channel-frequenties sterk worden onderdrukt. Dit wordt bereikt door het receive filter in de 5/75/150 baud ontvangstmode de vorm van een enkele banddoorlatende trap te geven. In de 600/1200 baud ontvangstmode wordt hier een extra hoogdoorlatende filtertrap voorgeschakeld.
De group delay equaliser is een geschakelde condensator netwerk waarmee zowel de fase als de verzwakkende vervorming door de telefoonlijn en het receive filter worden gecorrigeerd. Het uitgangssignaal van de group delay equaliser wordt zowel gebruikt voor de AGC (automatische regeling van de versterking) van de receive versterker als voor het bedienen van de carrier-detectvlag (CDT).
Door de limiter (begrenzer) wordt dit analoge signaal omgezet in een blokvormig FSK-gemoduleerd signaal dat vervolgens naar de demodulator gaat.



Figuur 9/5.2-8: De receiver.

De demodulator (die een flank-getriggerde multivibrator is) voert de frequentie-naar-spanningsomzetting uit, waardoor het mogelijk wordt de verzonden data uit het gemoduleerde signaal terug te winnen. De monostabiele multivibrator triggert op zowel de positieve als de negatieve flank van het begrensde signaal, zodat aan de uitgang hiervan een stroom pulsen met gelijke tijdsduur verschijnt waarvan de frequentie tweemaal zo hoog is als die van het beperkte ingangssignaal.
De gelijkspanningscomponent van dit signaal is omgekeerd evenredig met de ontvangen frequentie en wordt door middel van een (geschakelde condensator) laagdoorlatend post-demodulator filter verwijderd.
Het analoge signaal van het post-demodulator filter moet door de slicer worden omgezet in een digitaal signaal. Dit wordt gedaan met behulp van een comparator waarvan de referentie (en daardoor ook de beslissingsdrempel) extern via de RXB-ingang kan worden ingesteld op het middelpunt van het analoge signaal. Met het middelpunt wordt hier het niveau bedoeld dat ligt tussen het gelijkspanningsniveau van een continue mark-frequentie en het gelijkspanningsniveau van een continue space-frequentie.
Door deze externe instelling op RXB worden ook eventuele interne offsetspanningen gebalanceerd.
Het uitgangssignaal van de comparator komt tenslotte op de RXD-uitgang.

Carrier detector

De schakeling voor het detecteren van de draaggolf bestaat uit een energie-detector en een digitale vertraging. De energie-detector vergelijkt het totale signaalniveau aan de uitgang van het receive filter met een extern ingestelde drempelwaarde op de CDL-pen. Indien het draaggolf-signaal verdwijnt gaat CDT (carrier statusvlag) pas LAAG na een door de digitale vertraging ingestelde tijd.
De carrier detector heeft tevens een hysteresisch van minimaal 2,5 dBm om oscilleren op CDT te voorkomen wanneer het ontvangstniveau dichtbij de draaggolf-detectiedrempel ligt.

Timing en Control

Een interne oscillator kan gebruik maken van een extern 4,4336 MHz kristal dat op OSC1 en OSC2 wordt aangesloten of van een extern signaal dat OSC1 aanstuurt. Op de CLK-pen verschijnt een clocksignaal met een frequentie die 16 maal hoger is dan de hoogste geselecteerde bit snelheid (zenden of ontvangen).

Belangrijke aanwijzingen

- Bias
  Doordat een enkelvoudige voeding wordt gebruikt staan alle analoge signalen in relatie tot een intern gegenereerde spanning. Alle analoge in- en uitgangen moeten daarom via condensatoren worden aangesloten of het gelijkspanningsniveau moet worden aangepast.
- Automatic gain control
  Wanneer geen signaal wordt ontvangen zal de automatische versterkingsregeling oorspronkelijk op maximale versterking zijn ingesteld. Daarna wordt de versterking bij elke achtereenvolgende ontvangen mark in stappen verminderd (maximaal 16 als het signaal een hoog niveau heeft). Als gevolg daarvan zal een continu "mark"-signaal de instelling met maximaal 11 ms vertragen. Deze procedure zal gewoonlijk zodanig worden uitgevoerd dat de vertraging van de instelling optreedt tijdens de draaggolf detectie.
- CDL instelling
  Voor een optimaal resultaat moet CDL binnen de volgende grenzen van V_{DD} worden afgeregeld:
  minimaal: V_{DD} x 0,60
  typisch: V_{DD} x 0,70
  maximaal: V_{DD} x 0,80
- RXB afregelprocedure
  Met de gelijkspanning op de RXB-ingang wordt de beslissingsdrempel van de laatste comparatortrap in de receiver be-

5.2 Type-beschrijving TCM- en TMS-typen

paald. Een correcte afregeling wordt verkregen door:

- eerst gedurende tenminste 11 ms een constante markfrequentie naar de ontvanger te sturen (RXA-ingang);
- daarna een continu 101...patroon aan te brengen terwijl de RXB-ingangsspanning wordt afgeregeld op een RXD uitgangssignaal met een duty cycle van 50 %:

minimaal: V_{DD} x 0,45
typisch: V_{DD} x 0,55
maximaal: V_{DD} x 0,65

Karakteristieken

Tenslotte zijn in de tabellen 9/5.2-8, -9 en -10 de elektrische en timing-karakteristieken van de TCM3105 opgenomen, terwijl in de figuren 9/5.2-9 en -10 twee praktische toepassingen worden getoond.

Absolute maximum ratings

Supply voltage VDD	−0.3-10V
Voltage cn any terminal	−0.3-VDD
Operating free air temperature range	−20 + 70°C
Storage temperature range	−55 + 150°C
Any input relative to VDD	+0.3V
Any input relative to VSS	−0.3V

Unless otherwise stated, all voltages are with respect to VSS. Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device.

Tabel 9/5.2-8: Maximaal toegelaten waarden.

Recommended operating conditions

PARAMETER			MIN	TYP	MAX	UNIT
VDD supply voltage			4	5	6	V
Digital input levels:	VIH	VDD < 5.5V	2.0		VDD	V
		5.5V < VDD < 6V	2.4		VDD	V
	VIL		VSS		0.8	V
VRXA analog input level (a.c. coupled)					0.78	V PK-PK
Master clock frequency (quartz PAL)			4.4330	4.4336	4.4340	MHZ
Operating free air temperature range			−20		70	deg C
Analog load impedance at TXA			50			Kohm

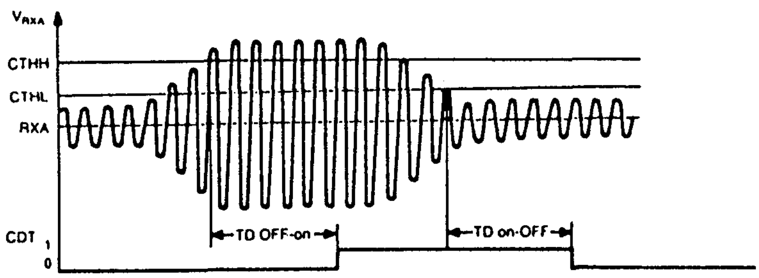
Tabel 9/5.2-9: Aanbevolen bedrijfscondities.

5.2 Type-beschrijving TCM- en TMS-typen

Electrical characteristics

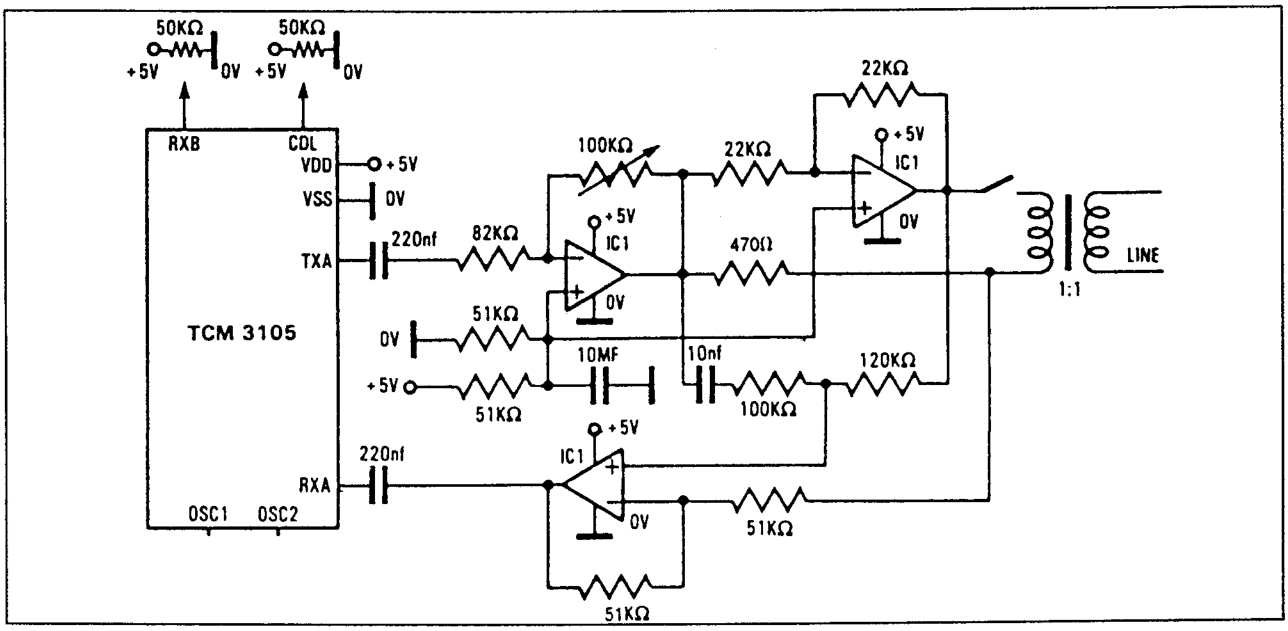
Over recommended operating free-air temperature range (−20 to 70°C)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
IDD supply current	VDD = 4V VDD = 5V VDD = 6V		3 5.5 8	4 12	mA mA mA
IID digital input current	VSS ≦ VIN ≦ VDD			1.0	uA
IIA analog input current				10	uA
Digital output level VOH VOL	IOH = 100 uA IOL = 1.6 mA	2.4 VSS		VDD 0.5	V V
Analog output level VTXA (p − p) = 0.76 VDD/2	VDD = 4V VDD = 5V VDD = 6V RL = 50 Kohm CL = 100 pF	1.1 1.7	1.55 1.9 2.3	1.9 2.9	V PK -PK V PK -PK V PK -PK
Analog output dc offset			VDD/2		V
Input capacitance	f = 1 MHZ			15	pF
Output capacitance	f = 1 MHZ			15	pF
Carrier detect threshold CTHH (Off-On) CTHL (On-Off) CTHH - CTHL		−45.5 −48 2	 2.5	−43 −45.5 5	dBm dBm dB
Carrier detect delay R_X = 600 or 1200 bpsT_D Off-On T_D On-Off		 12 12		 20 16	 ms ms
R_X = 5,75 or 150 bps T_D Off-On T_D On-Off		48 48		80 60	ms ms

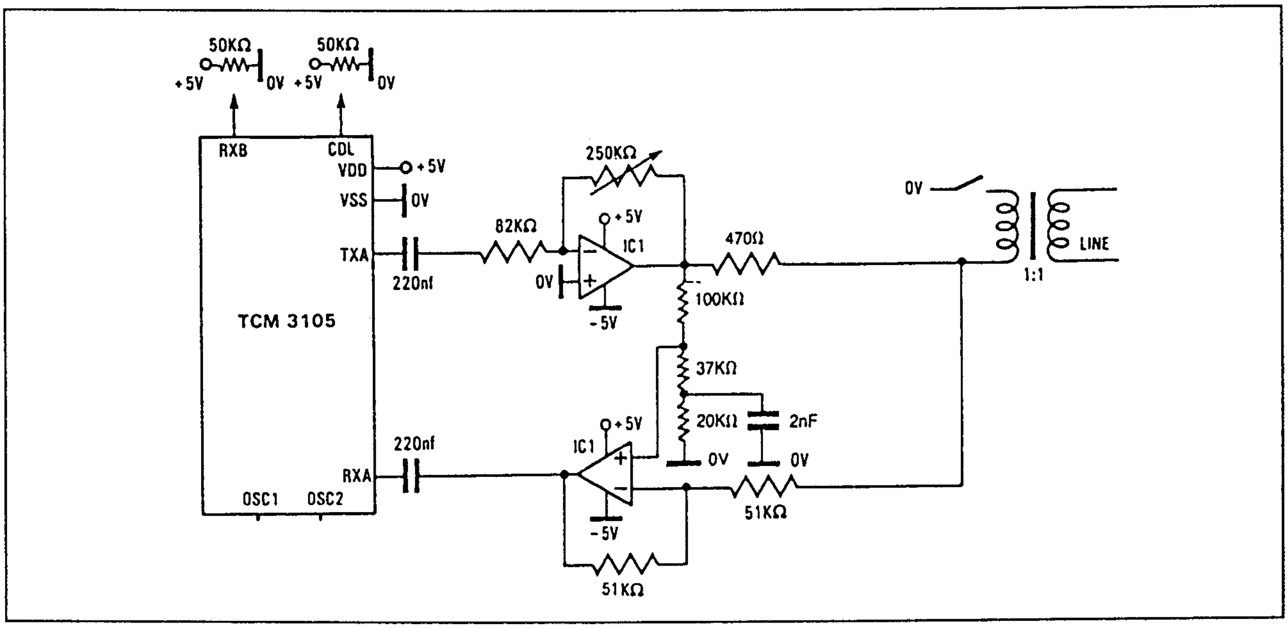


Tabel 9/5.2-10: Elektrische eigenschappen en carrier detect vertragingen.

5.2 Type-beschrijving TCM- en TMS-typen



Figuur 9/5.2-9: Toepassing van de TCM3105 als 2W/4W converter met enkele +5 V voeding (op deze wijze wordt een maximaal dynamisch bereik van het signaal op de telefoonlijn verkregen als slechts +5 V beschikbaar is).



Figuur 9/5.2-10: Een 2W/4W converter bij +/-5 V voeding.

TMS99532A-1

Bell 103 modem

De TMS99532A-1 modem is een communicatieschakeling van Texas Instruments voor het verzenden en ontvangen van seriële binaire informatie over telefoonlijnen, waarbij gebruik gemaakt wordt van FSK-modulatie (Frequency Shift Keying).

5.2 Type-beschrijving TCM- en TMS-typen

Aangezien deze modem voor de Noord-Amerikaanse markt werd ontworpen en wat werking en elektrische specificaties overeenkomt met de hierna behandelde V.21 modem TMS99534A-1, wordt hier een verkorte beschrijving gegeven.

De TMS99532A-1 communiceert met een maximale snelheid van 300 bit/s, waarbij alle modulatie, demodulatie en filterfuncties worden uitgevoerd die nodig zijn voor een seriële, asynchrone verbinding. De TMS99532A-1 kan met vele typen lage-snelheid modems en akoestische koppelaars samenwerken en kan onder andere bij interaktieve terminals, desk-top computers en point-of-sale terminals worden toegepast.

Eigenschappen

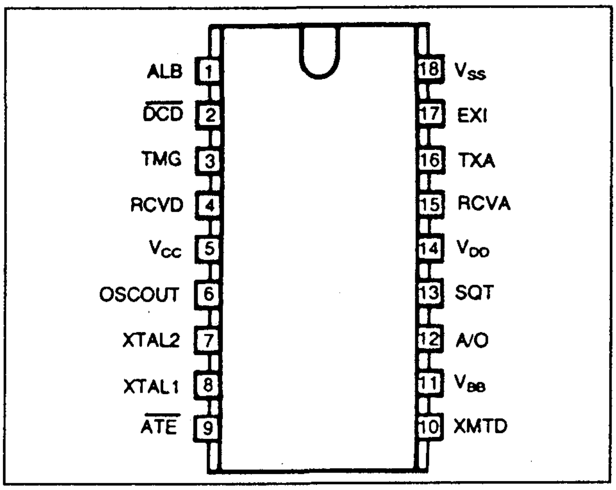
- Bell 103 compatibel
- Alle filtering, modulatie en demodulatie aan boord
- Simplex, half duplex en full duplex werking
- Originate en answer modes
- Datasnelheden van nul tot 300 bps
- Instelbare carrier-detect timing
- Kristalgestuurde oscillator
- CCITT V.25 compatibele antwoordtoon
- Analoge loopback testmode
- Automatisch verbreken van Bell echo-onderdrukkers
- TTL compatibele digitale interface
- Behuizing: 18-pens DIL (figuur 9/5.2-11)

Beschrijving

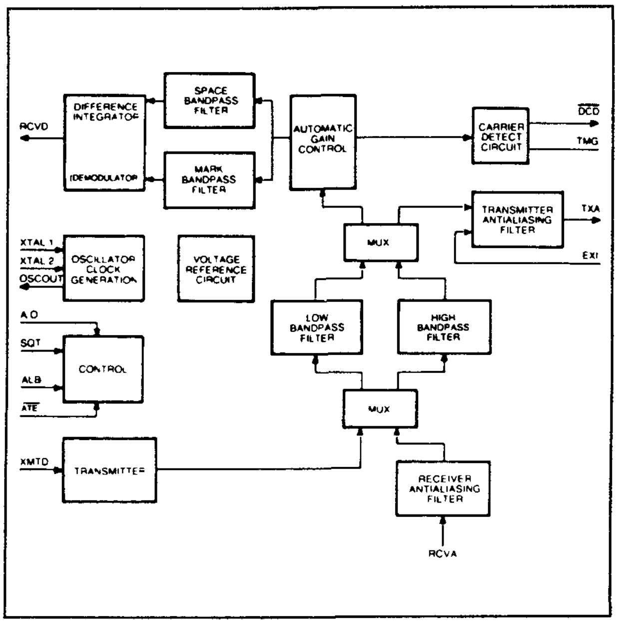
Figuur 9/5.2-12 is het functionele blokschema van deze modem, waarin ook de optredende signalen worden getoond. Tabel 9/5.2-12 geeft een opsomming van de verschillende bedrijfsmodes van de TMS99532A-1.

In de antwoord- en bron-modes (respectievelijk "answer" en "originate") wordt digitale data als volgt verzonden en ontvangen. De answer-mode maakt verzending in de hoge frequentieband en ontvangst in de lage frequentieband mogelijk, terwijl voor de originate-mode het omgekeerde geldt. Answer en originate zijn normale bedrijfsmodes voor de TMS99532A-1.

In deze modes kan de verzonden data worden onderdrukt (squelched) door op de SQT-pen een logische "1" te zetten. De modem blijft dan wel ontvangen.



Figuur 9/5.2-11: Aansluitgegevens van de TMS99532A-1.



Figuur 9/5.2-12: Functioneel blokschema van de TMS99532A-1.

5.2 Type-beschrijving TCM- en TMS-typen

SIGNAL	MEANING	PIN	INPUT/ OUTPUT	DESCRIPTION
ALB	Analog Loopback	1	IN	When active high, any data sent on the XMTD pin will appear on the RCVD pin.
$\overline{DCD}$	Data Carrier Detect	2	OUT	When active low, a valid carrier signal is being detected by the TMS99532A-1.
TMG	Carrier Detect Timing	3	--	This pin is used to set the carrier detect turn-on and turn-off times
RCVD	Received Digital	4	OUT	Received serial data output line. RCVD assumes a high impedance state when $\overline{ATE}$ = 0
VCC	+ 5 Volts	5		Supply voltage of + 5 volts
OSCOUT	Oscillator Output	6	OUT	This pin oscillates at the master clock frequency of 4.032 MHz
XTAL2	Crystal Pin 2	7	--	Crystal connection for the internal oscillator
XTAL1	Crystal Pin 1	8	IN	Crystal connection for the internal oscillator. Also, this pin is the input from the optional external clock.
$\overline{ATE}$	Answer Tone Enable	9	IN	When active low, the CCITT V.25 answer tone (2100 Hz) is enabled and RCVD is tristated.
XMTD	Transmitted Digital	10	IN	Transmitted serial data input line.
VBB	− 5 Volts	11	--	Supply voltage of − 5 volts.
$\overline{A}$/O	Answer/ Originate	12	IN	When the input signal is high, the originate mode is selected. A low input selects the answer mode.
SQT	Squelch	13	IN	When active high, some signals at the TXA output are disabled. Refer to Table 2
VDD	+ 12 Volts	14	--	Supply voltage of + 12 volts
RCVA	Received Analog	15	IN	This pin is the input for the received analog carrier signal from the telephone network. A coupling capacitor is required.
TXA	Transmitted Analog	16	OUT	This pin is the output for the transmitted analog carrier signal to the telephone network. A coupling capacitor is required.
EXI	External Input	17	IN	Any external analog signal to be transmitted is connected to this pin. A coupling capacitor is required.
VSS	Ground	18	--	Ground

Tabel 9/5.2-11: Beschrijving van de aansluitpennen en de signalen.

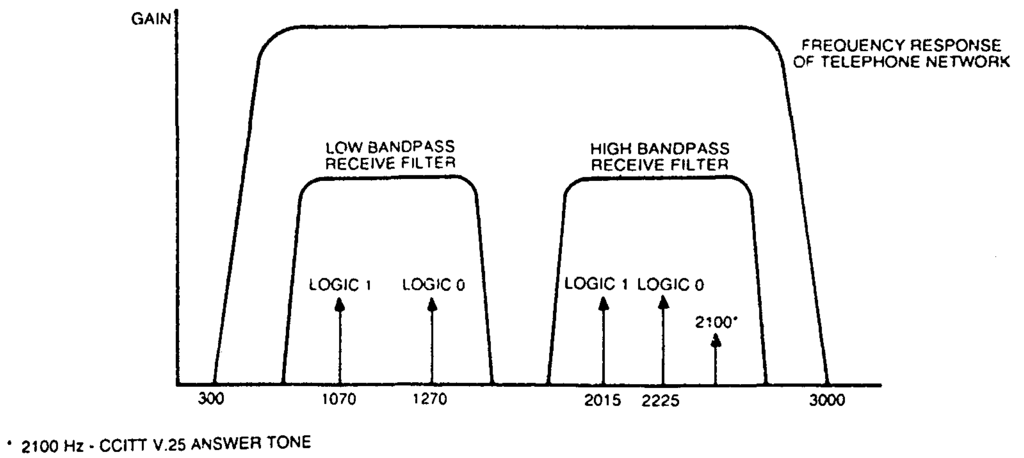
5.2 Type-beschrijving TCM- en TMS-typen

MODE	MODE CONTROLS				TRANSMITTED DATA		RECEIVED DATA		TOUCH TONES
	SQT	ALB	$\overline{A}$/O	$\overline{ATE}$	XMTD (Digital)	TXA (Analog) HZ	RCVA (Analog) HZ	RCVD (Digital)	EXI (Analog)
Answer	0	0	0	1	Mark=1 Space=0	1650 1850	Mark=1270 Space=1070	1 0	x
Originate	0	0	1	1	Mark=1 Space=0	980 1180	Mark=2225 Space=2025	1 0	x
Answer, Squelch	1	0	0	1	x	Disabled	Mark=1270 Space=1070	1 0	x
Originate, Squelch	1	0	1	1	x	Disabled	Mark=2225 Space=2025	1 0	x
Analog Loop Back, Answer	0	1	0	1	Mark=1 Space = 0	Disabled	Disabled	1 0	x
Analog Loop Back, Originate	0	1	1	1	Mark=1 Space=0	Disabled	Disabled	1 0	x
ALB Test, Answer	1	1	0	1	x	Disabled	Disabled	1	x
ALB Test, Originate	1	1	1	1	x	Disabled	Disabled	1	x
EXI as Input	1	0	1	0	x	Same as EXI, Inverted (Note 1)	x	x	External Tone Source
EXI as Input	1	0	0	0	x	Same as EXI, Inverted (Note 1)	x	x	External Tone Source
2100 Hz CCITT V.25 Answer Tone	0	0	0	0	x	2100	x	Three-State	x

Note : These states are undefined and should not be used. 0 0 1 0, 0 1 0 0, 0 1 1 0, 1 1 0 0, 1 1 1 0

Notes :
x = don't care
1 = Assumes AC coupling at EXI

Tabel 9/5.2-12: De verschillende bedrijfsmodes van de TMS99532A-1 (zie ook figuur 9/5.2-13).



Figuur 9/5.2-13: De bij deze modem toegepaste kanalen en filters.

5.2 Type-beschrijving TCM- en TMS-typen

De Analoge Loop Back Testmode wordt verkregen door de ALB-pen logisch "1" te maken. De transmitter werkt in deze mode normaal. Voordat het signaal echter de TXA-pen bereikt wordt het naar de receiver omgeleid, waardoor de digitale en analoge werking getest kunnen worden (bij gebruik van uitsluitend digitale signalen).
De EXI bedrijfsmode staat toe dat een extern analoog signaal op de EXI-pen (en een koppelcondensator) binnenkomt om via de TXA-pen te worden verzonden. Deze mode kan bijvoorbeeld nodig zijn bij "dual-tone" kiezen.

In de Answer Tone Enable mode wordt een 2100 Hz signaal op de TXA-pen gegenereerd (deze mode is in de Verenigde Staten niet gebruikelijk).

Voor de beschrijving van de systeemclock, de FSK modulator en demodulator, de filters, de draaggolf-detectie en de elektrische eigenschappen wordt verwezen naar de TMS99534A-1 modem.

Karakteristieken

In tabel 9/5.2-13 zijn de zender-karakteristieken onder nominale bedrijfsomstandigheden te zien, terwijl tabel 9/5.2-14 de eisen toont die aan de ontvangen signalen worden gesteld.

PARAMETER			MIN	NOM	MAX	UNIT
TXA Frequency :						
F(TOM)	Originate mark frequency	(note 1)	1269	1270	1271	Hz
F(TOS)	Originate space frequency	(note 1)	1069	1070	1071	Hz
F(TAM)	Answer mark frequency	(note 1)	2223	2225	2227	Hz
F(TAS)	Answer space frequency	(note 1)	2023	2025	2027	Hz
F(ATE)	Answer tone enable	(note 1)	2098	2100	2102	Hz
TXA Output voltage levels :						
V_{DC}(TXA)	TXA DC offset voltage	(note 1)		5.5		V
V_{AC}(TXA)	TXA carrier voltage	(note 2)	0.65	1.1	1.9	Vp-p

NOTE 1. The following table is used to generate the carrier frequencies when ALB = 0 and SQT = 0 :

MODE	XMTD	A/O	$\overline{\text{ATE}}$	FREQUENCY
ANSWER	0	0	1	2025 Hz
	1	0	1	2225 Hz
ORIGINATE	0	1	1	1070 Hz
	1	1	1	1270 Hz
$\overline{\text{ATE}}$	X	0	0	2100 Hz

Tabel 9/5.2-13: Zender-karakteristieken van de TMS99532A-1.

5.2 Type-beschrijving TCM- en TMS-typen

PARAMETER		MIN	NOM	MAX	UNIT
RCVA Input frequencies :					
F(ROM)	Originate mark frequency		1270		Hz
F(ROS)	Originate space frequency		1070		Hz
F(RAM)	Originate mark frequency		2225		Hz
F(RAS)	Originate space frequency		2025		Hz
V_I(RCVA)	RCVA Carrier voltage level (note 3)		400	700	mVp-p

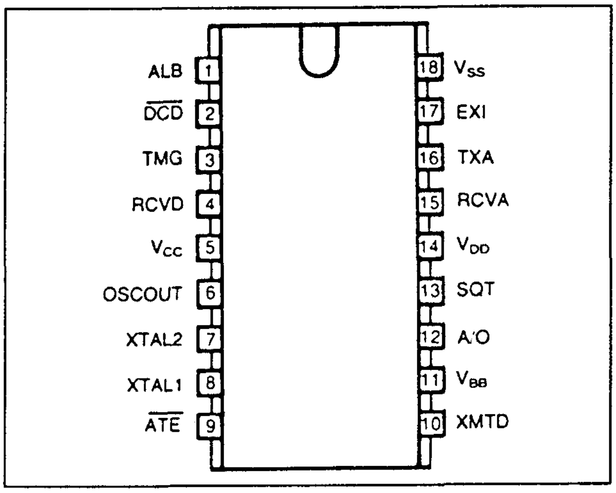
Tabel 9/5.2-14: Eisen waaraan de ontvangen signalen moeten voldoen.

TMS99534A-1
V.21 modem

Met de TMS99532A-1 modem van Texas Instruments kan seriële binaire informatie via telefoonlijnen worden verzonden en ontvangen, waarbij FSK-modulatie (Frequency Shift Keying) wordt toegepast.
Deze modem is ontworpen voor Europa en komt wat werking en elektrische specificaties overeen met de hiervoor in het kort behandelde Bell 103 modem TMS99532A-1.

De TMS99534A-1 kan met een maximale snelheid van 300 bit/s communiceren, waarbij alle modulatie, demodulatie en filterfuncties die nodig zijn voor een seriële, asynchrone verbinding worden uitgevoerd. De TMS99534A-1 is gemakkelijk te gebruiken en kan met de meeste typen lage-snelheid modems en akoestische koppelaars samenwerken.
Toepassingen zijn bijvoorbeeld interaktieve terminals, desk-top computers, point-of-sale terminals en crediet-verificatiesystemen.

Eigenschappen
- CCITT V.21 compatibel
- Behalve modem slechts 1 dual op-amp en 13 discrete componenten nodig
- Alle filtering, modulatie en demodulatie aan boord
- Simplex, half duplex en full duplex werking
- Bron- en antwoordmode (Originate en Answer)
- Datasnelheden van nul tot 300 bps
- Instelbare carrier-detect timing
- Kristalgestuurde oscillator
- CCITT V.25 compatibele antwoordtoon
- Analoge loopback testmode
- Automatisch verbreken van Bell echo-onderdrukkers
- TTL compatibele digitale interface
- Geschakelde condensator-technologie
- Behuizing: 18-pens DIL (figuur 9/5.2-14)



Figuur 9/5.2-14: Aansluitgegevens van de TMS99534A-1.

Beschrijving
In het vereenvoudigde blokschema van deze modem (figuur 9/5.2-15) worden tevens alle voorkomende signalen getoond die in tabel 9/5.2-15 worden verklaard.

5.2 Type-beschrijving TCM- en TMS-typen

PIN DESCRIPTION OF TMS99534A-1

SIGNAL	MEANING	PIN	INPUT OUTPUT	DESCRIPTION
ALB	Analog Loopback	1	IN	When active high, any data sent on the XMTD pin will appear on the RCVD pin.
$\overline{DCD}$	Data Carrier Detect	2	OUT	When active low, a valid carrier signal is being detected by the TMS99534A-1.
TMG	Carrier Detect Timing	3	--	This pin is used to set the carrier detect turn-on and turn-off times
RCVD	Received Digital	4	OUT	Received serial data output line. RCVD assumes a high impedance state when $\overline{ATE}$ = 0
VCC	+ 5 Volts	5	--	Supply voltage of + 5 volts
OSCOUT	Oscillator Output	6	OUT	This pin oscillates at the master clock frequency of 4.032 MHz
XTAL2	Crystal Pin 2	7	--	Crystal connection for the internal oscillator
XTAL1	Crystal Pin 1	8	IN	Crystal connection for the internal oscillator. Also, this pin is the input from the optional external clock.
$\overline{ATE}$	Answer Tone Enable	9	IN	When active low, the CCITT V.25 answer tone (2100 Hz) is enabled and RCVD is tristated.
XMTD	Transmitted Digital	10	IN	Transmitted serial data input line.
VBB	− 5 Volts	11	--	Supply voltage of − 5 volts.
$\overline{A}$/0	Answer Originate	12	IN	When the input signal is high, the originate mode is selected. A low input selects the answer mode.
SQT	Squelch	13	IN	When active high, some signals at the TXA output are disabled. Refer to Table 2
VDD	+ 12 Volts	14	--	Supply voltage of + 12 volts
RCVA	Received Analog	15	IN	This pin is the input for the received analog carrier signal from the telephone network. A coupling capacitor is required.
TXA	Transmitted Analog	16	OUT	This pin is the output for the transmitted analog carner signal to the telephone network. A coupling capacitor is required.
EXI	External Input	17	IN	Any external analog signal to be transmitted is connected to this pin. A coupling capacitor is required.
VSS	Ground	18	--	Ground

Tabel 9/5.2-15: Beschrijving van de aansluitpennen en optredende signalen.

Tabel 9/5.2-16 geeft een overzicht van alle mogelijke bedrijfsmodes van de TMS99534A-1. In de antwoord- en bronmode ("answer" en "originate") wordt digitale data op de volgende manier verzonden en ontvangen. In de answer-mode wordt verzonden in de hoge frequentieband en ontvangen in de lage frequentieband, terwijl in de originate-mode het omgekeerde gebeurt. Dit zijn normale bedrijfsmodes voor de

5.2 Type-beschrijving TCM- en TMS-typen

TMS99534A-1. In de answer- en originatemodes kan de verzonden data worden onderdrukt (squelched) door op de SQT-pen een logische "1" te plaatsen. De modem blijft dan wel ontvangen.

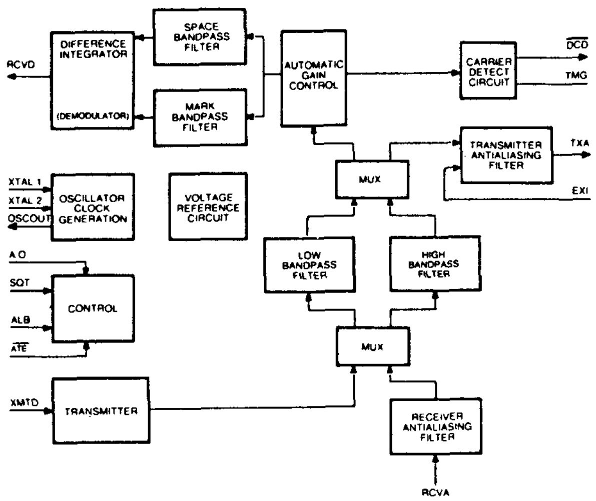
De Analoge Loop Back Testmode wordt mogelijk door de ALB-pen logisch "1" te maken. De zender werkt normaal in deze mode. Voordat het signaal echter de TXA-pen bereikt wordt het naar de receiver omgeleid, waardoor de digitale en analoge prestaties getest kunnen worden. Bij deze test worden alleen digitale signalen gebruikt.

Bij de EXI bedrijfsmode kan een extern analoog signaal op de EXI-pen (en een koppelcondensator) worden gezet dat vervolgens via de TXA-pen wordt verzonden. Deze mode kan bijvoorbeeld worden toegepast bij "dual-tone" kiezen.

In de Answer Tone Enable mode verschijnt een 2100 Hz signaal op de TXA-pen (deze mode wordt in de Verenigde Staten meestal niet gebruikt).

Systeemclock

De TMS99534A-1 modem (ook de TMS99532A-1) heeft een inwendige parallel-resonerende oscillator en clock-generator die door middel van een uitwendig kristal kan worden gestuurd. De gebruiker mag in plaats van de oscillator ook een andere frequentiebron direct op de chip aansluiten. Wanneer een kristal wordt gebruikt, wordt dit tussen XTAL1 en XTAL2 aangesloten, zoals in figuur 9/5.2-17 te zien is. Merk op dat XTAL1 en XTAL2 via twee condensatoren met aarde zijn verbonden.
Het kristal moet een parallel-resonerend type zijn dat zo dicht mogelijk bij de chip gemonteerd wordt. De eisen die aan het kristal worden gesteld zijn vermeld in tabel 9/5.2-17.



Figuur 9/5.2-15: Functioneel blokschema en optredende signalen van de TMS99534A-1.

5.2 Type-beschrijving TCM- en TMS-typen

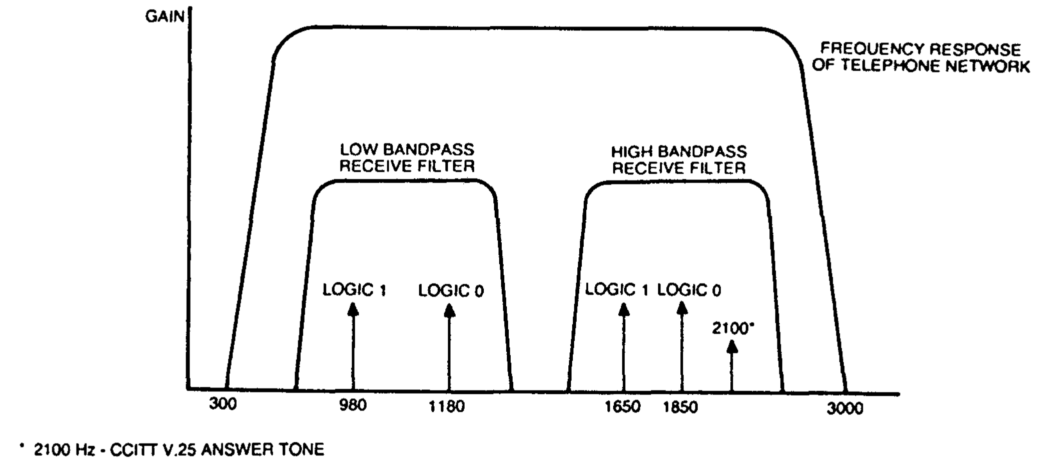
MODE	MODE CONTROLS				TRANSMITTED DATA		RECEIVED DATA		TOUCH TONES
	SQT	ALB	$\overline{A}$/O	$\overline{ATE}$	XMTD (Digital)	TXA (Analog) HZ	RCVA (Analog) HZ	RCVD (Digital)	EXI (Analog)
Answer	0	0	0	1	Mark=1 Space=0	1650 1850	Mark=980 Space=1180	1 0	x
Originate	0	0	1	1	Mark=1 Space=0	980 1180	Mark=1650 Space=1850	1 0	x
Answer, Squelch	1	0	0	1	x	Disabled	Mark=980 Space=1180	1 0	x
Originate, Squelch	1	0	1	1	x	Disabled	Mark=1650 Space=1850	1 0	x
Analog Loop Back, Answer	0	1	0	1	Mark=1 Space = 0	Disabled	Disabled	1 0	x
Analog Loop Back, Originate	0	1	1	1	Mark=1 Space=0	Disabled	Disabled	1 0	x
ALB Test, Answer	1	1	0	1	x	Disabled	Disabled	1	x
ALB Test, Originate	1	1	1	1	x	Disabled	Disabled	1	x
EXI as Input	1	0	1	0	x	Same as EXI, Inverted (Note 1)	x	x	External Tone Source
EXI as Input	1	0	0	0	x	Same as EXI, Inverted (Note 1)	x	x	External Tone Source
2100 Hz CCITT V.25 Answer Tone	0	0	0	0	x	2100	x	Three-State	x

Note : These states are undefined and should not be used.
0 0 1 0
0 1 0 0
0 1 1 0
1 1 0 0
1 1 1 0

Notes :
x = don't care
1 = Assumes AC coupling at EXI

Tabel 9/5.2-16: De mogelijke bedrijfsmodes van de TMS99534A-1 (zie ook figuur 9/5.2-16).

5.2 Type-beschrijving TCM- en TMS-typen



Figuur 9/5.2-16: De bij deze modem toegepaste frequentiekanalen en filters.

4.032 MHz CRYSTAL SPECIFICATIONS

SPECIFIED PARAMETER	PREFERRED	WORST CASE
Holder Type... HC18/U		
Operating Temperature Range	−20 to 70°C	±0.01 %
Temperature Stability (Over Range)	±0.005 %	
Frequency Calibration Tolerance at 25°C ±2°C	±0.005 %	
Operating Mode	Parallel Resonant	
Load Capacitance	22 pF	25 pF
Effective Series Resistance	70 ohms	100 ohms
Drive Level	2.0 mW	
Oscillation Mode	Fundamental	

Tabel 9/5.2-17: Specificaties van het 4,032 MHz kristal.

Figuur 9/5.2-18 laat zien hoe een externe oscillator op de modem moet worden aangesloten.
De frequentie hiervan moet 4,032 MHz +/- 0,01 % zijn. De XTAL2-pen blijft in dit geval open. OSCOUT is een TTL-compatibele uitgang voor de hoofd-clockfrequentie die eventueel kan worden gebruikt om andere schakelingen aan te sturen.

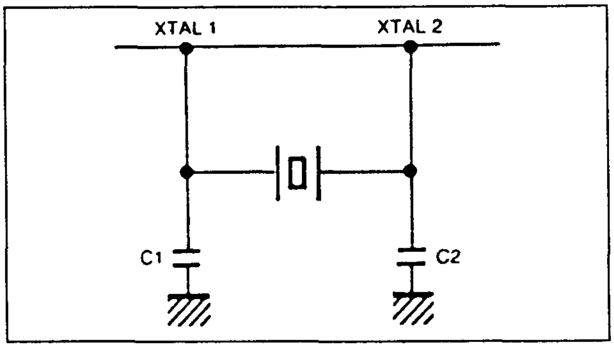
De oscillator wordt gebruikt om twee verschillende sets frequenties op te wekken. Eén set wordt gebruikt om de analoge signalen in de geschakelde condensatorcircuits te bemonsteren en de andere set dient voor het genereren van de draaggolfsignalen in de zendmodulator.

FSK modulator

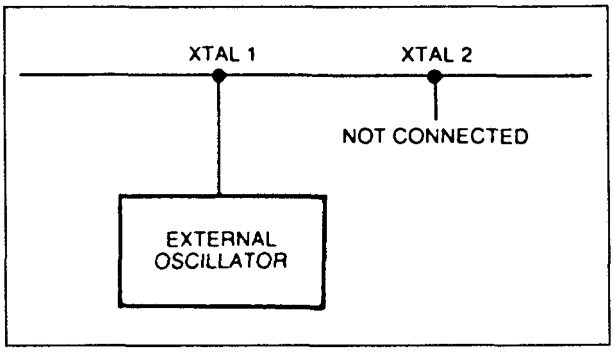
Modulatie vindt plaats in de zender. Hier wordt de frequentie van de master-clock gedeeld om de mark en space frequenties (respectievelijk logisch 1 en logisch 0) te genereren.

5.2 Type-beschrijving TCM- en TMS-typen

Vervolgens gaat het signaal door een bandfilter om de gewenste draaggolffrequenties van ruis te ontdoen. Tenslotte wordt het carrier-signaal door het anti-aliasing filter geleid.



Figuur 9/5.2-17: Aansluiting van een kristal op oscillator-ingangen van de TMS99534A-1 (TMS99532A1).



Figuur 9/5.2-18: Aansluiting van een externe oscillator op de TMS99534A-1 (TMS99532A-1).

FSK demodulator

In het demodulatiepad is eerst een anti-aliasing filter opgenomen, gevolgd door twee smalle-bandfilters die op de eerste Bessel zijbanden van de mark en space frequenties zijn gecentreerd. De signalen aan de uitgangen van de mark- en space-filters worden door een verschil-integrator gelijkgericht voordat een energie-vergelijking wordt uitgevoerd. Als de energie in het markfilter groter is dan die in het spacefilter is het resultaat een logische 1 (en omgekeerd). Tenslotte wordt het signaal vergeleken met een referentiespanning en begrensd.

Bandfilters

De TMS99534A-1 is speciaal ontworpen voor de Europese markt. Het hoge-bandfilter is gecentreerd rond 1750 Hz en het lage-bandfilter rond 1080 Hz. Deze filters verminderen de interferentie met buiten de banden liggende frequenties, zodat het ontvangen signaal beter gedemoduleerd kan worden.

Anti-aliasing filters

Het TMS99534A-1 modem heeft zowel aan zend- als aan ontvang-zijde een anti-aliasing filter, zodat geen externe filters nodig zijn. Ook het externe signaal (External Tone Input EXI) wordt via het anti-aliasing filter geleid.

Automatic gain control

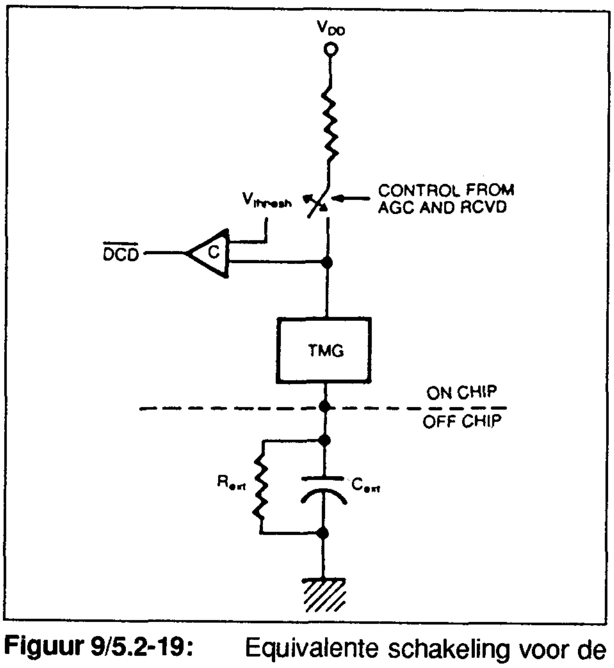
De schakeling voor het automatisch regelen van de versterking (Automatic Gain Control AGC) past de amplitude van het ontvangen en gefilterde signaal zodanig aan dat de demodulator optimaal kan werken.
Het grote dynamische bereik van het ontvangen signaal wordt door de AGC gereduceerd tot een zeer smal bereik.
De tweede functie van de AGC is die van energie-detector voor het draaggolf-detectiecircuit.
De AGC is digitaal instelbaar in stappen van 6 dB, waardoor het signaal binnen een factor twee constant kan worden gehouden.

Carrier-detectie

Het detecteren van de draaggolf wordt uitgevoerd door een energie-detector, een signaal-kwalificatieschakeling en een timingschakeling voor de draaggolfdetectie.
De energie-detectiefunctie wordt afgeleid van het AGC-circuit.
Als de AGC in de toestand van maximale versterking staat is het ontvangen signaal kleiner dan het inschakelniveau van de draaggolf-detectie. Is het signaal groter dan dit niveau, dan geeft de AGC aan de data

5.2 Type-beschrijving TCM- en TMS-typen

carrier-detectieschakeling te kennen dat er energie aanwezig is. Nadat een draaggolf is gedetecteerd geeft de Data Carrier Detect-uitgang (DCD) pas aan dat er signaalverlies is als het signaal onder de afschakelwaarde van de carrierdetectie komt. De signaal-kwalificatieschakeling werkt alleen tijdens het inschakelen van de draaggolf, aangezien eventuele fouten als gevolg van slechte signaal-kwaliteit geen verbreken van de verbinding tot gevolg mogen hebben. De TMS99534A-1 moet gedurende de inschakeltijd een geldig mark-signaal ontvangen. Nadat de DCD-pen aktief is geworden blijft de carrier detect-indicatie gehandhaafd.
Wanneer de carrier detectschakeling geen geldig signaal laat zien, wordt de RCVD-pen altijd in een mark-conditie (logisch een) gehouden.

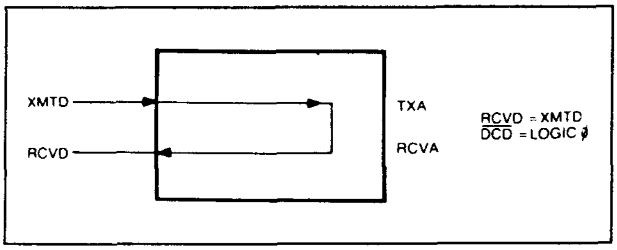


Figuur 9/5.2-19: Equivalente schakeling voor de timing van de draaggolf-detectie voor de TMS99534A-1en TMS99532A-1.

De timing-schakeling stelt de gebruiker in staat de in- en uitschakeltijden onafhankelijk van elkaar in te stellen door een weerstand en een condensator op de TMG-pen aan te sluiten (zie figuur 9/5.2-19).
Er zijn twee tijden van belang voor de timing-schakeling, namelijk een ontlaadtijd die de inschakeltijd van de draaggolf-detectie bepaalt en een oplaadtijd waarvan de uitschakeltijd afhankelijk is. De TMG-schakeling maakt deze tijden door C_{ext} eerst op te laden tot een niveau dat hoger is dan V_{thresh} en C_{ext} daarna via R_{ext} te ontladen tot een spanning die lager is dan V_{thresh}. Na inschakelen van de voeding blijft DCD LAAG totdat C_{ext} is opgeladen.

Externe analoge ingang (EXI)

Door middel van de EXI-pen kan een extern signaal door de TMS99534A-1 (of TMS99532A-1) worden geleid. Wanneer de modem in de EXI-mode staat wordt het signaal op de EXI-pen via de laagdoorlatende anti-aliasing filters van de zender naar de TXA-pen gezonden.
Let op dat de maximale frequentie van dit signaal hierdoor wordt beperkt en dat voor de EXI-ingang een koppelcondensator nodig is.
De EXI-pen maakt complete ondersteuning van "touch tone" kiezen mogelijk en kan ook worden gebruikt om andere modems via de TMS99534A-1 aan te sluiten.



Figuur 9/5.2-20: De ALB-signaalweg.

Analog loopback

Door het vrijgeven van de analoge kringloopfunctie (Analog Loopback ALB) wordt de ontvanger zodanig geconfigureerd dat deze, zoals in figuur 9/5.2-20 te zien is, op de zender aansluit.

5.2 Type-beschrijving TCM- en TMS-typen

Gedurende ALB wordt het bandfilter in de zender omzeild en gaat het verzonden signaal direct naar het filter van de ontvanger. Doordat de signaalweg een interne lus vormt wordt alle via XMTD verzonden data op RCVD ontvangen. Merk op dat de TXA en RCVA signaalpennen daarbij gesperd zijn om te voorkomen dat het netwerk het testdraaggolfsignaal detecteert.

Karakteristieken

In de tabellen 9/5.2-18 tot en met 9/5.2-26 zijn de elektrische en timing karakteristieken van de TMS99534A-1 (en eventueel de TMS99532A-1) samengevat.

Parameter	Value
Supply voltage, V_{CC} **	−0.3 to 20V
Supply voltage , V_{DD} **	−0.3 to 20V
Supply voltage, V_{SS} **	−0.3 to 20V
All input voltages	−0.3 to 20V
Output voltages	−0.3 to 7V
Continuous power dissipation	300mW
Operating free-air temperature range	0°C to 70°C
Storage temperature range	−55°C to 125°C

Tabel 9/5.2-18: Maximaal toegelaten waarden voor de TMS99534A1 en TMS99532A-1.

PARAMETER	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.75	5.00	5.25	V
Supply voltage, V_{DD}	11.40	12.00	12.60	V
Supply voltage, V_{BB}	−5.25	−5.00	−4.75	V
Supply voltage, V_{SS}		0		V
High-level input voltage, V_{IH} (all inputs)	2.0	2.4	V_{CC}	V
High-level input voltage, V_{IHC} (XTAL1)	2.4	3.0	V_{CC}	
Low-level input voltage, V_{IL} (all inputs)	V_{SS}	0.6	0.8	V
Input clock frequency (+/− 0.01%)		4.032		MHz
Operating free-air temperature, TA	0	25	70	C

Tabel 9/5.2-19: Aanbevolen bedrijfscondities van de TMS99534A-1 en TMS99532A-1.

5.2 Type-beschrijving TCM- en TMS-typen

electrical characteristics (digital) over the full range of recommended conditions at TA = 25°C

	PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
I_{CC}	Supply current	V_{CC} = MAX		10.0	20.0	mA
I_{DD}	Supply current	V_{DD} = MAX		10.0	22.0	mA
I_{BB}	Supply current	V_{BB} = MAX		- 10.0	−25.0	μA
I_I	Digital input current	V_I = V_{SS} to V_{CC}	−10		10	μA
X_I	XTAL1/CLKIN input current	V_I = V_{SS} to V_{CC}	−50		50	μA
I_{OZ}	TXA, RCVD off state leakage current	V_I = V_{SS} to V_{CC}	−20		20	μA
V_{OH}	DCV, RCVD high level output	I_{OH} = −400 μA	2.2		V_{CC}	V
V_{OL}	DCD, RCVD low level output	I_{OH} = 2.0 mA	V_{SS}		0.7	V
V_{OHC}	OSCOUT high level output	I_{OH} = −400 μA	2.5		V_{CC}	V
V_{OLC}	OSCOUT low level output	I_{OH} = 2.0 mA	V_{SS}		0.7	V

Tabel 9/5.2-20: Elektrische eigenschappen (digitaal) voor het gehele aanbevolen bedrijfsgebied (TMS99534A-1 en TMS99532A-1).

	PARAMETER	MIN	NOM	MAX	UNIT
FX	Crystal frequency (+/- 0.01% accuracy)		4.0320		MHz
C_1	Stabilizing capacitance **	18	22	27	pF
C_2	Stabilizing capacitance **	18	22	27	pF

** C_1 and C_2 represent the total capacitance on these pins including stray and parasitic.

Tabel 9/5.2-21: Clock-karakteristieken bij gebruik van een kristal (TMS99534A-1 en TMS99532A-1).

5.2 Type-beschrijving TCM- en TMS-typen

PARAMETER		MIN	NOM	MAX	UNIT
F_{EXT}	External source frequency (± 0.01%)		4.0320		MHz
T_{R1}	Input oscillator rise time		10	12	ns
T_{WH1}	Input oscillator pulse-width high	100	124	148	ns
T_{F1}	Input oscillator fall time		10	12	ns
T_{WL1}	Input oscillator pulse-width low	100	124	148	ns

Tabel 9/5.2-22: Clock-karakteristieken bij gebruik van een externe frequentiebron (TMS99534A-1 en TMS99532A-1).

PARAMETER		MIN	NOM	MAX	UNIT
T_{D1}	Delay time, CLKIN to OSCOUT	0		90	ns
T_{C2}	OUSCOUT CYCLE TIME : External clock source	F_{EXT}	F_{EXT}	F_{EXT}	MHz
	Internal oscillator XTAL FREQ = fx	fx	fx	fx	MHz
T_{R2}	OSCOUT rise time		15		ns
T_{WH2}	OSCOUT pulse-width high		104		ns
T_{F2}	OSCOUT fall time		15		ns
T_{W12}	OSCOUT pulse-width low		104		ns

Tabel 9/5.2-23: Schakeltijden (TMS99534A-1 of TMS99532A-1).

PARAMETER		MIN	NOM	MAX	UNIT
T_W (XMTD MARK)	XMTD High level width		3.33		ms
T_W (XMTD SPACE)	XMTD Low level width		3.33		ms
F(EXI)	EXI Frequency		3.0		KHz
V_I (EXI)	EXI Voltage level		1.40		Vp-p

Tabel 9/5.2-24: Voor transmitter benodigde signalen (TMS99534A-1 en TMS99532A-1).

5.2 Type-beschrijving TCM- en TMS-typen

PARAMETER			MIN	NOM	MAX	UNIT
TXA Frequency :						
F(TOM)	Originate mark frequency	(note 1)	977	980	983	Hz
F(TOS)	Originate space frequency	(note 1)	1177	1180	1183	Hz
F(TAM)	Answer mark frequency	(note 1)	1647	1650	1653	Hz
F(TAS)	Answer space frequency	(note 1)	1847	1850	1853	Hz
F(ATE)	Answer tone enable	(note 1)	2097	2100	2103	Hz
TXA Output voltage levels :						
V_{DC}(TXA)	TXA DC offset voltage	(note 1)		5.5		V
V_{AC}(TXA)	TXA carrier voltage	(note 2)	0.65	1.1	1.9	Vp-p

NOTE 1. The following table is used to generate the carrier frequencies when ALB = 0 and SQT = 0 :

MODE	XMTD	A O	$\overline{\text{ATE}}$	FREQUENCY
ANSWER	0 1	0 0	1 1	1850 Hz 1650 Hz
ORIGINATE	0 1	1 1	1 1	1180 Hz 980 Hz
$\overline{\text{ATE}}$	X	0	0	2100 Hz

Tabel 9/5.2-25: Transmitter-karakteristieken (alleen TMS99534A-1).

PARAMETER		MIN	NOM	MAX	UNIT
RCVA Input frequencies :					
F(ROM)	Originate mark frequency		1650		Hz
F(ROS)	Originate space frequency		1850		Hz
F(RAM)	Originate mark frequency		980		Hz
F(RAS)	Originate space frequency		1180		Hz
V_I(RCVA)	RCVA Carrier voltage level (note 3)		400	700	mVp-p

Tabel 9/5.2-26: Eisen waaraan de ontvangen signalen moeten voldoen (alleen TMS99534A-1).

9/5.3

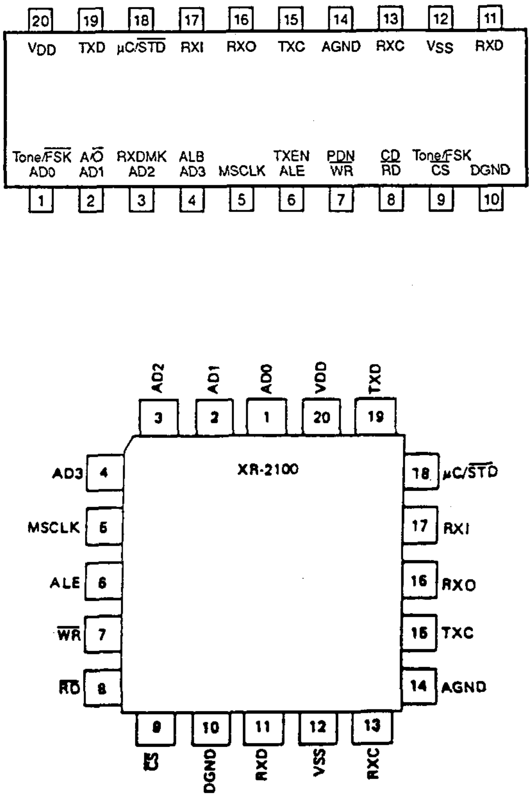
Type-beschrijving XR-type modems

XR-2100
V.21 modem

De XR-2100 van Exar is geschikt voor de CCITT V.21 modem functie.
Het IC bevat alle benodigde schakelingen voor deze 300 bits/seconde full duplex FSK operatie. De XR-2100 kan als "stand-alone" modem worden gebruikt, onder besturing van een standaard microcontroller zoals bijvoorbeeld de 8031. De modem is hiertoe uitgerust met interfaces voor bus-signalen, terwijl hij ook geprogrammeerd kan worden voor seriële besturing.
De XR-2100 kan ook worden toegepast om snellere modemchips, zoals de XR-2400 chip-set (voor V.22 bis/V.22 /212A toepassingen) volgens V.21 te laten werken.
De XR-2100 kan namelijk op dezelfde manier op de controlbus en lijn-interface schakelingen worden aangesloten als de XR-2400 chip-set.
De XR-2100 wordt gefabriceerd in CMOS en bevindt zich in een 20-pens DIL- of PLCC-behuizing.

Eigenschappen

- CCITT V.21 compatibel
- 300 bps FSK, full duplex werking
- universele microcontroller of seriële interface
- direct aansluitbaar op XR-2400 (V.22 bis/V.22/212A) modem chip-set
- gering opgenomen vermogen (100 mW typisch)
- analoge loopback
- generator en detector voor antwoord- en oproeptonen
- V.25 compatibele antwoordtoon (2100 Hz)
- power down mode
- voeding: +/-5 V
- bedrijfstemperatuur: 0 tot +70 °C
- behuizing: 20-pens DIL of PLCC (figuur 9/5.3-1)



Figuur 9/5.3-1: Aansluitgegevens van de XR-2100.

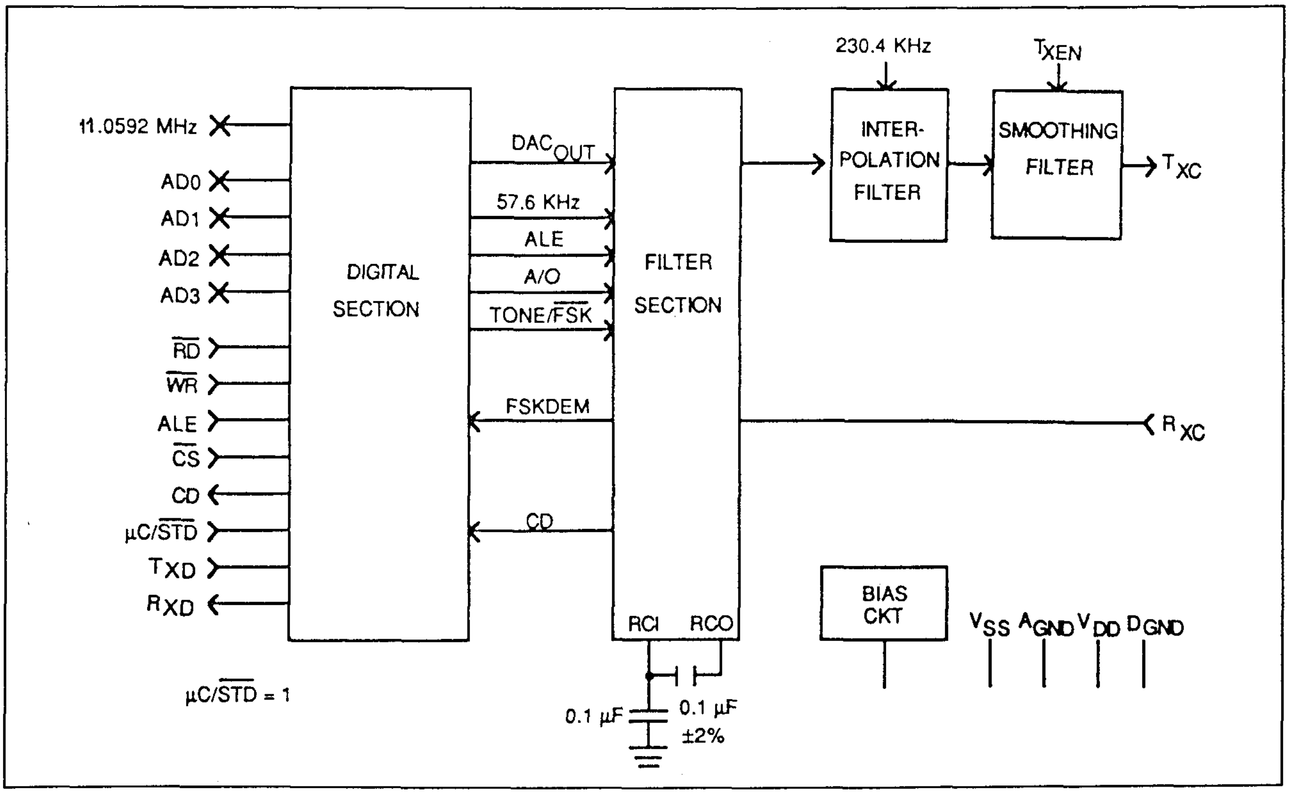
5.3 Type-beschrijving XR-type modems

Power Supply	
VDD	-0.3 to 7V
VSS	0.3 to -7V
Input Voltage	VSS -0.3V to VDD +0.3V
DC Input Current	+10mA
Power Dissipation (Package Limitation)	
Plastic Dip	1W
Plastc Dip	5mW/°C
Storage Temperature Range	-65°C to +150°C

Tabel 9/5.3-1: Maximaal toelaatbare waarden voor de XR-2100.

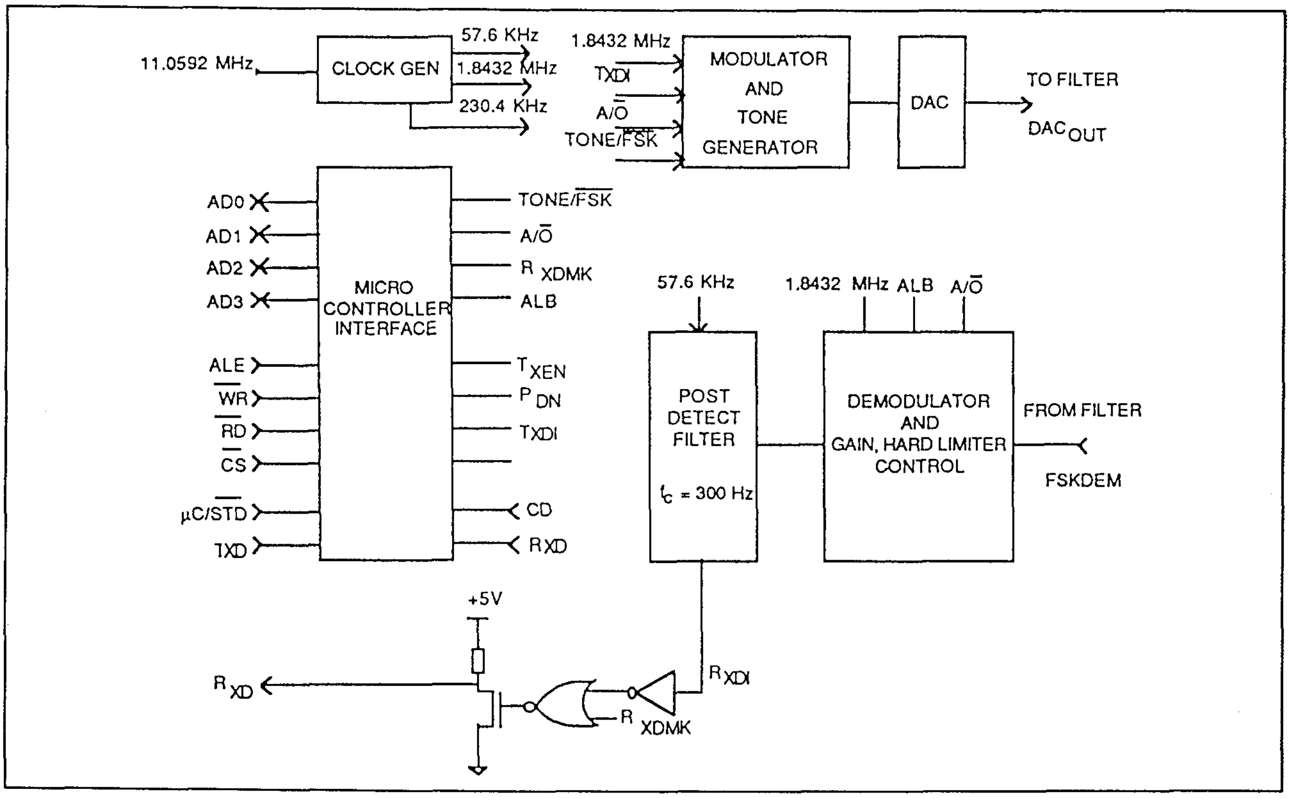
Beschrijving

In het systeem-blokschema van deze modem (figuur 9/5.3-2) zijn alle signalen te zien die verderop, onder "beschrijving van de pennen" worden verklaard. In de figuren 9/5.3-3 en -4 zijn de blokdelen "digital section" en "filter section" verder uitgewerkt.
De nominale oscillatiefrequentie van de XR-2100 (master clockinput) bedraagt 11,0592 MHz.
De hierbij behorende frequentie-parameters voor zenden en ontvangen zijn te zien in tabel 9/5.3-2. De antwoordtoon van 2100 Hz is V.25 compatibel.
De XR-2100 bevat twee control-registers die worden gebruikt als de µC-mode is gekozen ($\mu C/\overline{STD}$ = 1). Tabel 9/5.3-3 geeft een overzicht van de betekenissen van de µC-besturingsbits.
Wanneer de stand-alone mode wordt gekozen ($\mu C/\overline{STD}$ = 0) geldt tabel 9/5.3-4.
In figuur 9/5.3-5 is de timing bij het uitlezen van de modem te zien en in figuur 9/5.3-6 bij het schrijven (ten opzichte van de microcontroller).
Tenslotte geeft tabel 9/5.3-5 een overzicht van de elektrische karakteristieken.

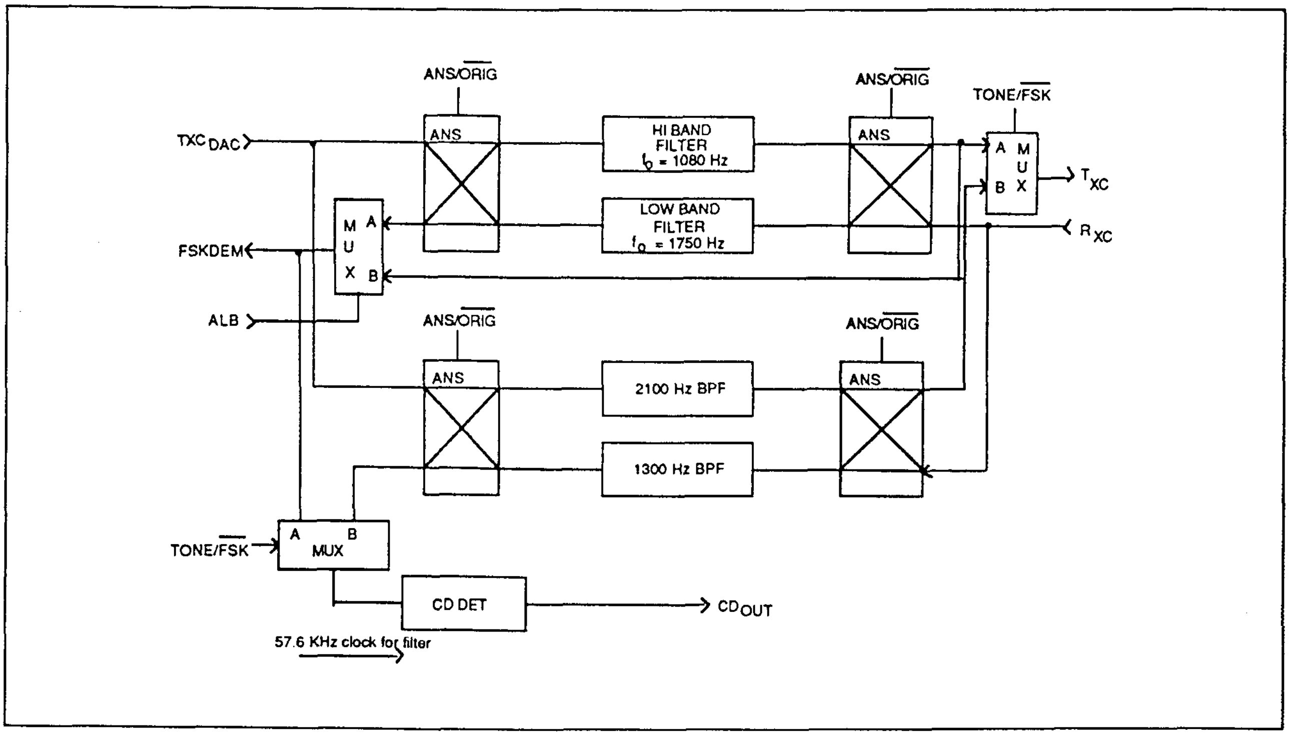


Figuur 9/5.3-2: Systeem-blokschema en optredende signalen van de XR-2100.

5.3 Type-beschrijving XR-type modems

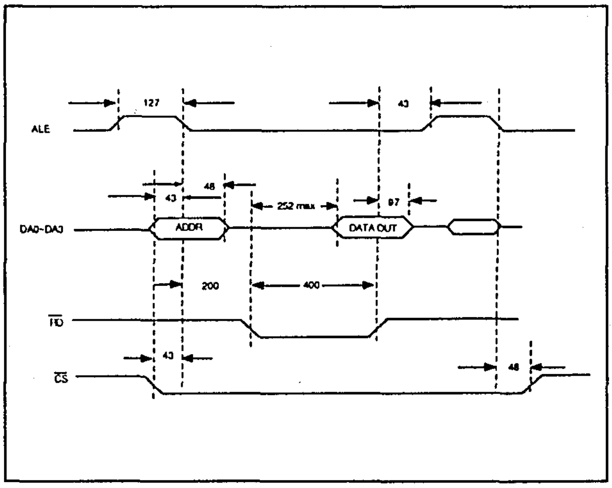


Figuur 9/5.3-3: Het digitale gedeelte van de XR-2100.

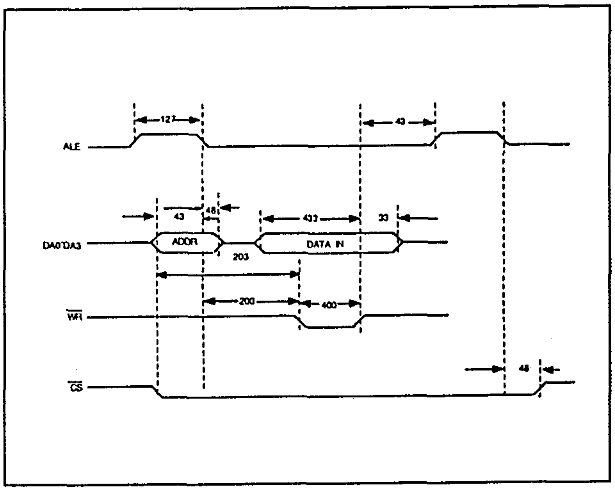


Figuur 9/5.3-4: De filter-sectie van de XR-2100.

5.3 Type-beschrijving XR-type modems



Figuur 9/5.3-5: Timing en golfvormen bij het uitlezen van de XR-2100 door een 8031/51 controller (aangegeven tijden in ns).



Figuur 9/5.3-6: *Timing en golfvormen bij het schrijven naar de XR-2100. Alle vermelde tijden in ns.*

Mode	Transmit Frequency (Hz)		Receive Frequency (Hz)	
	Mark	Space	Mark	Space
Originate	980	1180	1650	1850
Answer	1650	1850	980	1180

Tabel 9/5.3-2: De CCITT V.21 frequentieparameters. De antwoordtoon is 2100 Hz (V.25).

ADDRESS BITS				DATA BITS			
AD3	AD2	AD1	AD0	Bit 3	Bit 2	Bit 1	Bit 0
$\overline{WR}$ = 0							
1	0	0	0	ALB	RXDMK	A/$\overline{O}$	Tone/$\overline{FSK}$
1	0	0	1	CD Tone/$\overline{FSK}$	-	PDN	TXEN
$\overline{RD}$ = 0							
1	0	0	0	-	-	CD	RXD

Tabel 9/5.3-3: Besturingsbits in de Control-registers ($\mu C/\overline{STD}$ = 1: μC interface gekozen).

5.3 Type-beschrijving XR-type modems

Mode	I/O State	Mode Descriptions
Tone/$\overline{FSK}$	1	Answer or calling tone, 2100 Hz for A/$\overline{O}$ = 1 and 1300 Hz for A/$\overline{O}$ = 0.
	0	FSK mode, 980 Hz/ 1180 HZ for mark/space in ORIG and 1650 Hz/ 1850 Hz for mark/space
A/$\overline{O}$	1	Answer mode.
	0	Originate mode.
RXDMK	1	R_{XD} is clamped to mark.
	0	R_{XD} is demod output.
ALB	1	ALB
	0	Normal mode.
T_{XEN}	1	T_{XC} is enabled.
	0	T_{XC} is disabled.
P_{DN}	1	Power down mode
	0	Normal operation.
CD	1	CD is on.
	0	CD is off.
		CD depends on the mode selected, it can be: . Normal receive HI band: FSK Orig. . Normal receive LO band: FSK Ans. . Ans Tone Detect: Tone Orig. . Calling Tone Detect: Tone Ans.

Tabel 9/5.3-4: Stand-alone mode selecties (µC/$\overline{STD}$ = 0: stand-alone mode gekozen).

Beschrijving van de aansluitpennen

- Pen 1: AD0 (Tone/$\overline{FSK}$)
  Deze I/O-lijn heeft twee functies: Adres/databus bit 0 voor µC (microcontroller) en select-toon of FSK-mode voor stand-alone gebruik (toon = 1, FSK = 0).
- Pen 2: AD1 (A/$\overline{O}$)
  Ook dit is een I/O-lijn met twee functies: Adres/databus bit 1 voor µC of mode-select voor stand-alone (ANS = 1, Orig =0).
- Pen 3: AD2 (RXDMK)
  I/O-lijn met twee functies: adres/databus bit 2 voor µC of RXD-besturing voor stand-alone (RXD aan mark geclamped = 1, RXD van DEMOD = 0).
- Pen 4: AD3 (ALB)
  I/O-lijn met dubbele functie: adres/databus bit 3 voor µC of ALB-besturing (Analoge LoopBack testmode) voor stand-alone (ALB = 1, normaal ontvangen = 0).
- Pen 5: MSCLK
  Dit is de master clock-ingang (11,0592 MHz).
- Pen 6: ALE (TXEN)
  Ingang met twee functies: adres latch-enable voor µC of transmit-carrier control voor stand-alone (enable = 1, disable = 0).
- Pen 7: $\overline{WR}$ (PDN)
  Write-enable "not" ingang voor µC of power-down besturing voor stand-alone (power down = 1, normaal bedrijf = 0).
- Pen 8: $\overline{RD}$ (CD)
  I/O-lijn met twee functies: read-enable "not" voor µC of carrier-detect status voor stand-alone.
- Pen 9: $\overline{CS}$ (CD Tone/$\overline{FSK}$)
  Ingang met twee functies: chip-select "not" voor µC of energieregeling voor stand-alone (toon-energie = 1, FSK-energie = 0).
- Pen 10: D_{GND}
  Digitale aardpen. Deze aansluiting moet apart van A_{GND} naar de voeding worden geleid.
- Pen 11: RXD
  Receive data-signaal van de demodulator-uitgang (mark = 1, space = 0).
- Pen 12: V_{SS}

5.3 Type-beschrijving XR-type modems

Aansluitpunt van de negatieve voedingsspanning -5 V +/-5% (moet dichtbij met een keramische condensator van 0,1 µF naar A_{GND} worden ontkoppeld).

– Pen 13: RXC
Ingang voor de analoge ontvang-draaggolf (recieve carrier).

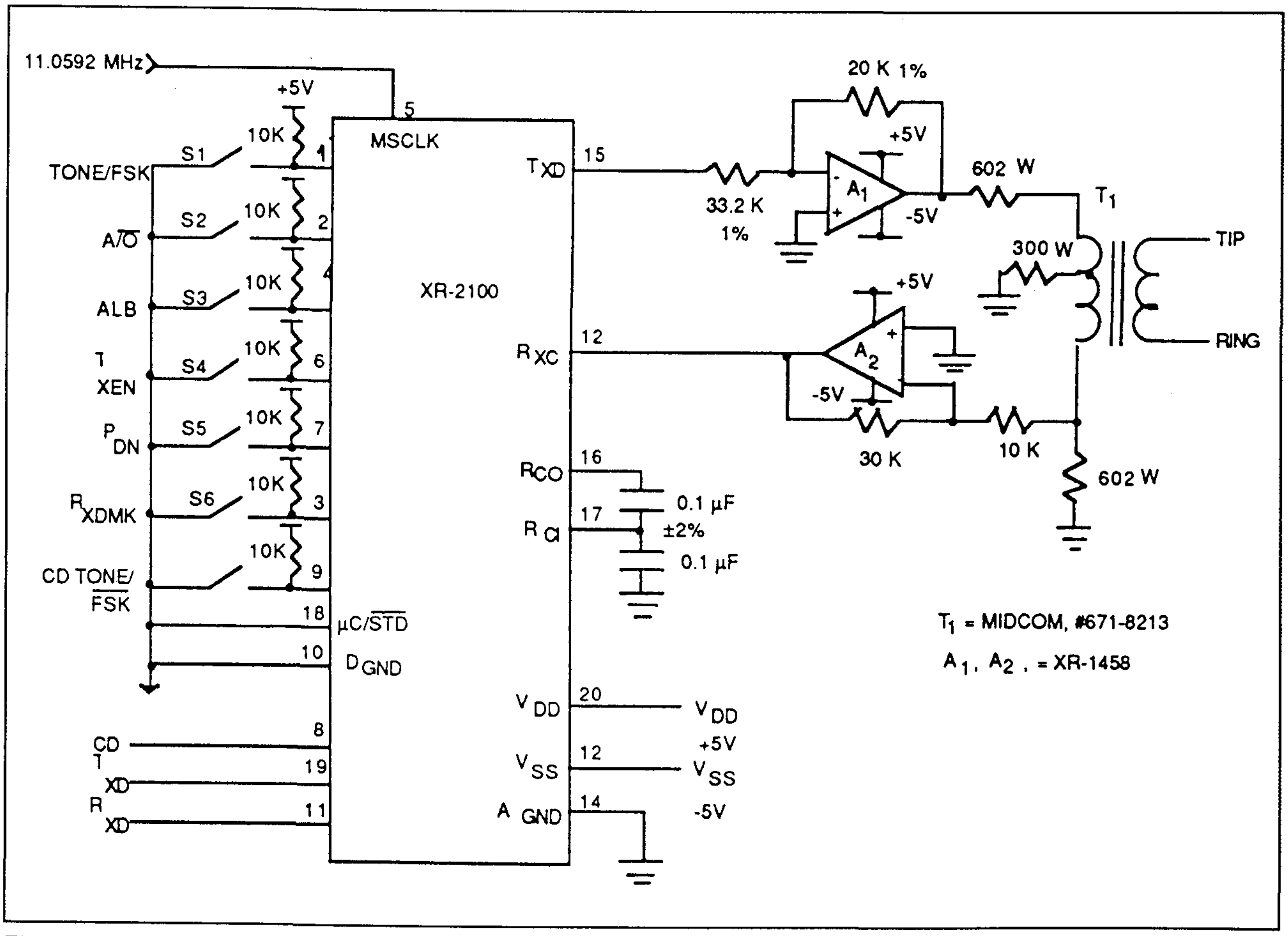
SYMBOL	PARAMETER	MIN	TYP	MAX	UNITS	CONDITIONS
I_{DD}	Positive Supply Current Power Down Mode		11 7		mA mA	
I_{SS}	Negative Supply Current Power Down Mode		11 7		mA mA	
V_{IH}	High Level Input Voltage	2.0			V	
V_{IL}	Low Level Input Voltage			0.8	V	
I_{OH}	High Level Output Current			300	µA	V_{OH} = 2.4 V
I_{OL}	Low Level Output Current			2	mA	
I_I	Input Current			50	µA	V1 = 0 to V_{DD}
VO_{CAR}	Transmit Carrier Output		6		dBM	FSK Carrier calling or ANS Tone.
$V_{CAR\ RNG}$	Input Carrier Range	-43		+10	dBM	ANS, ORIG mode.
CD off	Carrier Detect Off Level		-48 -43 -37		dBM dBM dBM	FSK 1300 Hz 2100 Hz
CD on	Carrier Detect On Level		-42 -36 -30		dBM dBM dBM	FSK 1300 Hz 2100 Hz
CD_{HYS}	Carrier Detect Hystersis	2	6		dB	FSK, 1300 Hz, 2100 Hz
S/N	Signal-to-noise Ratio		7		dB	ANS/ORIG R_{XC} = -40 dBM T_{XC} = -10 dBM C0, C2, or B/B line conditions BER≤1/10-5
BIAS DIST	Bias Distortion		4 5		% %	ORIG mode ANS mode

Tabel 9/5.3-5: Elektrische kenmerken van de XR-2100.

5.3 Type-beschrijving XR-type modems

- Pen 14: A_{GND}
  Analoge aarde. Deze pen moet apart van de digitale aarde op de voeding worden aangesloten.
- Pen 15: TXC
  Uitgang van de analoge zenddraaggolf (transmit carrier).
- Pen 16: RCO
  Receive filter uitgang (wordt via een 0,1 μF condensator met RCI verbonden).
- Pen 17: RCI
  Demodulator ingang (via 0,1 μF verbonden met RCO).
- Pen 18: μC/$\overline{STD}$
  Besturingsingang voor selectie van μC of stand-alone interface
  (μC = 1, stand-alone = 0).
- Pen 19: TXD
  Transmit data-ingang
  (mark = 1, space = 0).
- Pen 20: V_{DD}
  Aansluitpunt van de positieve voedingsspanning +5 V +/-5% (moet dichtbij het IC met 0,1 μF naar de analoge aarde worden ontkoppeld).

Toepassing met seriële besturing
In figuur 9/5.3-7 is de XR-2100 te zien in een stand-alone configuratie (geselecteerd door μC/$\overline{STD}$ = 0 te maken).
De diverse bedrijfsmodes kunnen door middel van de schakelaars S1 tot en met S7 worden ingesteld.



Figuur 9/5.3-7: XR-2100 als stand-alone V.21 modem met seriële besturing.

5.3 Type-beschrijving XR-type modems

XR-2130

V.22/212A single chip modem

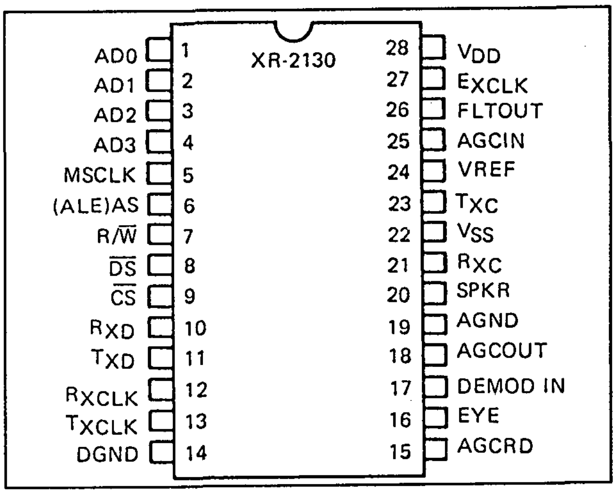
De XR-2130 is een single-chip modem van Exar die alle CCITT V.22 of Bell 212A functies kan uitvoeren. De XR-2130 werd ontworpen voor directe samenwerking met de XR-2131 modem-controller, waardoor een zogenaamde "smart modem" zoals een Hayes compatibel type ontstaat. De XR-2130 kan ook op een 80C31 microcontroller worden aangesloten.

De XR-2130 voert de modulatie en demodulatie uit voor 1200 bit/s DPSK (differential phase shift keying: V.22/212A) en 300 bit/s FSK (frequency shift keying: 212A). Bij het 1200 bps bedrijf worden geavanceerde schakeltechnieken toegepast, zoals digitale echo-modulatie voor precieze vorming van het spectrum van de zenddraaggolf en een coherente Costas Loop demodulator voor een goede bit-error-rate en signaal/ruis-verhouding.

De XR-2130 is ook uitgerust met allerlei "features" waardoor hij bijna alle "smart modem" functies kan uitvoeren: CPM (Call Progress Monitoring), DTMF kiezen en zowel analoge als digitale testmogelijkheden (ALB en DLB). De modem is verkrijgbaar in een 28-pens plastic of keramische DIL-behuizing (nu ook in SMD).

Eigenschappen

- CCITT V.22/Bell 212A werking
- 1200 bps DPSK/300 bps FSK
- universele microcontroller interface
- Costas Loop coherente PSK demodulator
- call progress monitoring
- ALB en DLB testmodes
- DTMF kiezen
- spraak-uitgangspoort
- Hayes type software beschikbaar (met XR-2131 modem-controller of 80C31)
- low power CMOS
- voeding: +/-5 V +/-5%
- bedrijfstemperatuur: 0 tot 70 °C
- 28-pens plastic of keramische DIL-behuizing (figuur 9/5.3-8)



Figuur 9/5.3-8: Aansluitgegevens van de XR-2130.

Pin No.	Name	I/O	DESCRIPTION
Power			
28	V_{DD}	I	Positive Supply +5 V ± 5%
22	V_{SS}	I	Negative Supply -5 V ± 5%
19	AGND	I	Analog Ground
14	DGND	I	Digital Ground
Clock			
5	MSCLK	I	Master Clock Input 11.0592 MHz ± 0.01%
Modem Controller Interface			
6	$\overline{AS}$	I	Address Latch Strobe
1	AD0	I/O	Address/Data Bus 0
2	AD1	I/O	Address/Data Bus 1
3	AD2	I/O	Address/Data Bus 2
4	AD3	I/O	Address/Data Bus 3
7	R/$\overline{W}$	I	Read/$\overline{Write}$
8	$\overline{DS}$	I	$\overline{Data\ Strobe}$
9	$\overline{CS}$	I	$\overline{Chip\ Select}$

Tabel 9/5.3-6a: Beschrijving van de aansluitpennen (met betrekking tot de voeding, clock en controller-interface).

5.3 Type-beschrijving XR-type modems

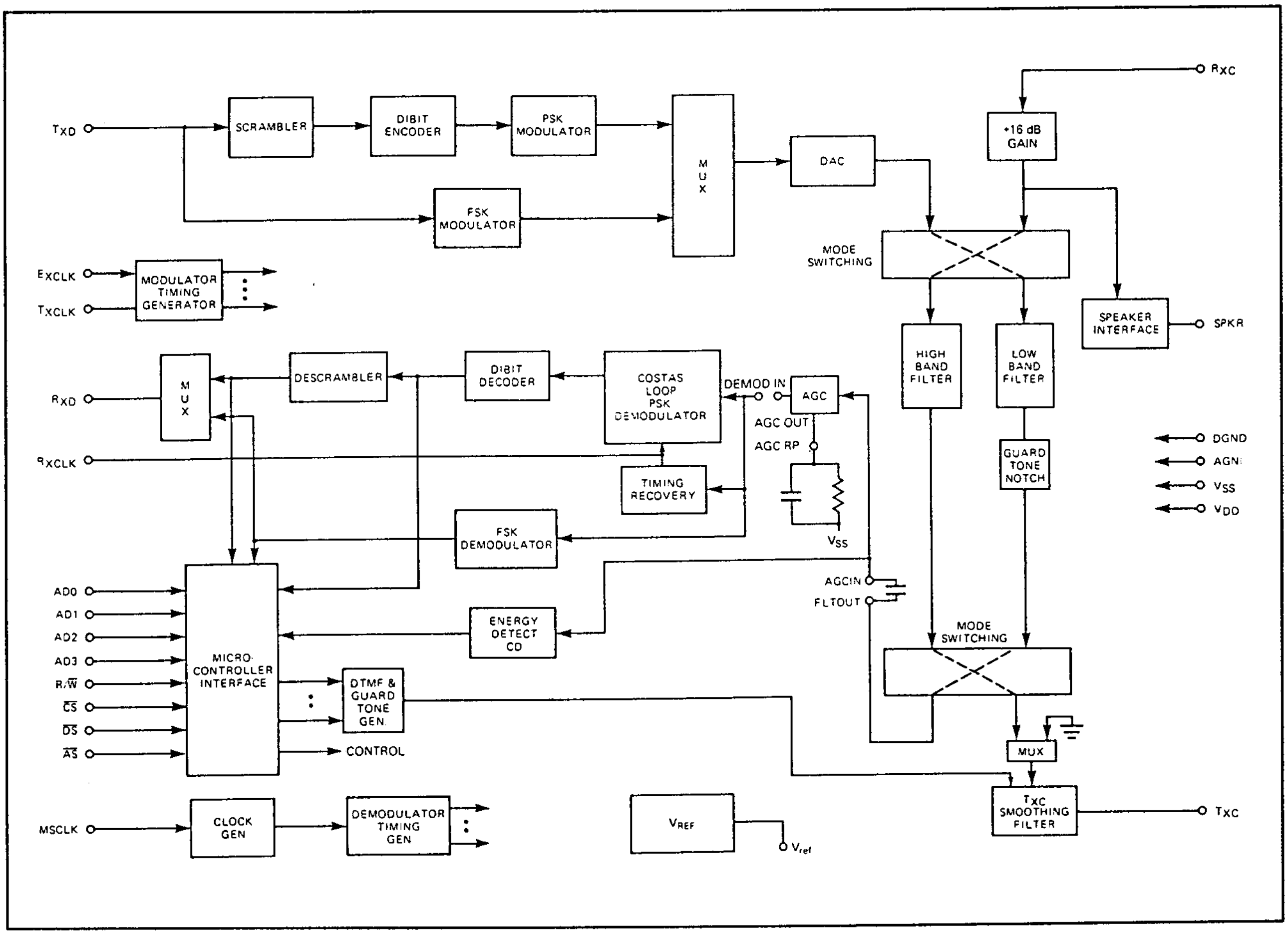
Pin No.	Name	I/O	DESCRIPTION
RS-232C Interface			
27	E_{XCLK}	I	External T_{XCLK} Input for external timing during sync mode.
13	T_{XCLK}	O	Transmit Clock Output. Used in sync mode to latch data on TXD pin. External mode: lock with E_{XCLK}.
12	R_{XCLK}	O	Receive Clock Output derived from the sync clock. The falling edge coincides with R_{XD} transitions.
11	T_{XD}	I	Transmit Data Input 1200 BPS ±0.01% for PSK, 300 BPS for FSK.
10	R_{XD}	O	Receive Data Output 1200 BPS ±0.01% for PSK and 300 BPS for FSK.
Analog Interface			
21	R_{XC}	I	Received FSK/DPSK Modulated Carrier Signal
23	T_{XC}	O	Transmitter Carrier Signal
15	AGCRP	I	AGC Response Control. R/C to VSS. R = 220kΩ, C = 0.1 μF typically.
25	AGCIN	I	AGC Input. Capacitively coupled from FLTOUT pin.
26	FLTOUT	O	Received Filter Output. Capacitively coupled to AGCIN.
16	EYE	O	Eye Pattern Output. Can be used to monitor demodulation quality.
20	SPKR	O	Audio Output to Speaker
17	DEMOD IN	I	Demodulator Input
18	AGCOUT	O	AGC Output
24	VREF	O	Reference Voltage Output

Tabel 9/5.3-6b: Beschrijving van de aansluitpennen (met betrekking tot RS-232C-interface en analoge interface).

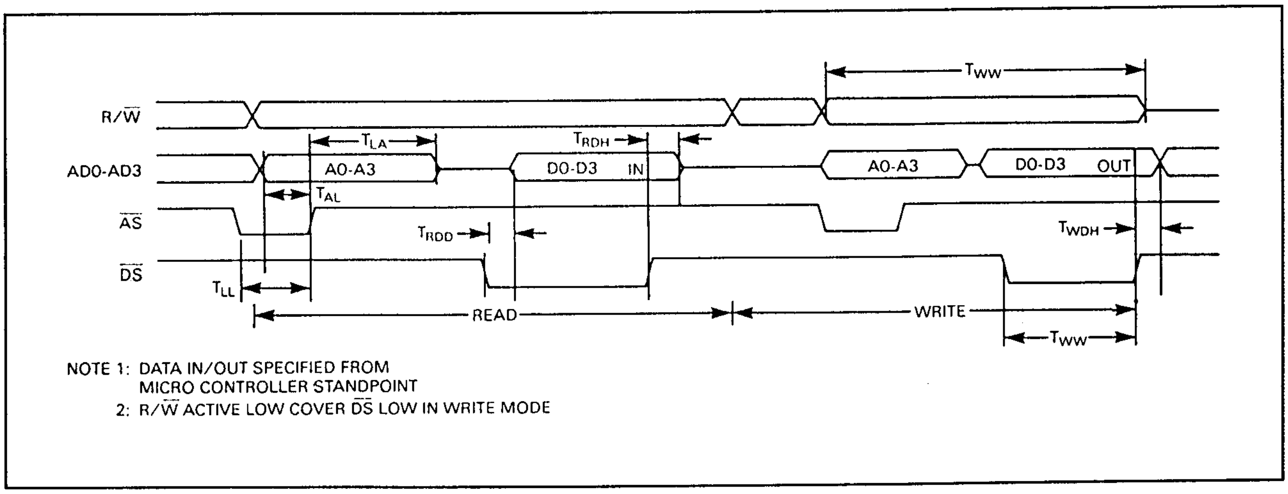
Power Supply	
V_{DD}	−0.3 to 7 V
V_{SS}	0.3 to −7 V
Input Voltage	V_{SS} −0.3 V to V_{DD} +0.3 V
DC Input Current	±10 mA
Power Dissipation	
(Package Limitation)	
Plastic DIP	750 mW
Ceramic DIP	1000 mW
Derate Above 25°C	
Plastic DIP	5 mW/°C
Ceramic DIP	7.5 mW/°C
Storage Temperature Range	−65°C to +150°C

Tabel 9/5.3-7: Absoluut maximaal toelaatbare waarden.

5.3 Type-beschrijving XR-type modems



Figuur 9/5.3-9: Functioneel blokschema van de XR-2130.



Figuur 9/5.3-10: Controller-interface golfvormen en timing.

5.3 Type-beschrijving XR-type modems

ELECTRICAL CHARACTERISTICS
Test Conditions: V_{DD} = +5 V, V_{SS} = -5 V, MSCLK = 11.0592 MHz, T_A = +25°C, unless otherwise specified

SYMBOL	PARAMETER	MIN	TYP	MAX	UNIT	CONDITION
V_{DD}	Positive Supply	4.75	5.0	5.25	V	
V_{SS}	Negative Supply	-5.25	-5.0	-4.75	V	
I_{DD}	Positive Supply Current		18		mA	
I_{SS}	Negative Supply Current		18		mA	
V_{IH}	Input High Voltage	2.0			V	
V_{IL}	Input Low Voltage			0.8	V	
V_{OH}	Output High Voltage	2.4			V	I_{OH} = 400 μA
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 1.6 mA
T_{AL}	Address Valid Before AS Goes High	30			ns	
T_{LA}	Address Hold After AS Goes High	20			ns	
T_{WDD}	Data Valid Before DS Goes High	50			ns	Write Mode
T_{LL}	Address Latch Pulse Width	60			ns	
T_{WDH}	Data Hold After DS Goes High	20			ns	
T_{WW}	R/W and DS	80			ns	
T_{RDH}	Data Hold After DS Goes High	0		50	ns	Read Mode
T_{RDD}	Data Valid After DS Goes Low			50	ns	Read Mode

Tabel 9/5.3-8: Elektrische kenmerken.

Werking

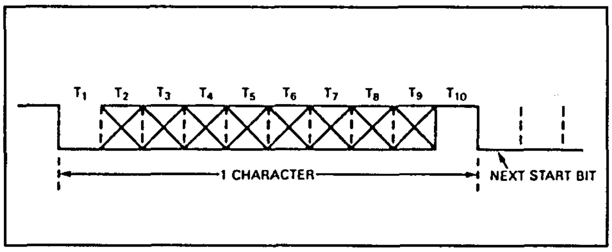
De XR-2130 voert de complete 1200/300 bit/s modemfunctie uit wanneer hij samen met een XR-2131 modem-controller of equivalent wordt gebruikt. In het volgende worden alle onderdelen van de XR-2130 behandeld, waarbij telkens naar het complete stand-alone schema van figuur 9/5.3-16 wordt verwezen.

Modulator

Data TXD die uit de RS-232C-poort/pin 2 komt om te worden verzonden, gaat eerst de XR-2131 modem-controller binnen. Voor 1200 bit/s asynchroon bedrijf wordt TXD door een async-naar-sync converter geleid. Deze converter levert een synchrone TXD en bijbehorende clock TXCLK aan de modulator. Het asynchrone TXD-signaal is karakter-

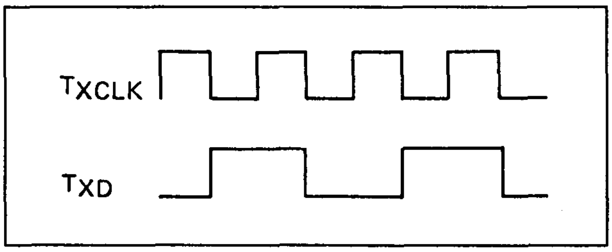
5.3 Type-beschrijving XR-type modems

asynchroon, zoals in figuur 9/5.3-11 te zien is.



Figuur 9/5.3-11: Asynchroon karakter.

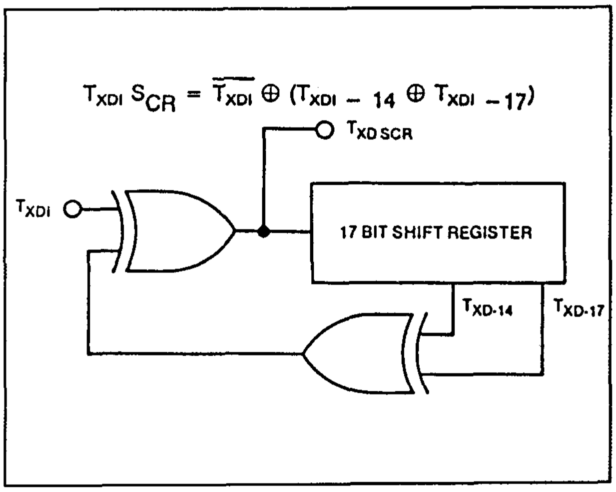
De eigenlijke data die hier als T2 tot en met T9 te zien is, wordt omgeven door een startbit T1 en een stopbit T10. De TXD asynchrone data-snelheid is 1200 bit/s +1%/-2,5%.
De synchrone data-snelheid moet echter 1200 bit/s +/-0,01% bedragen. De async-naar-sync converter corrigeert deze snelheidsvariatie door stopbits toe te voegen of weg te laten.
Voor 300 bit/s of 1200 bit/s synchrone werking wordt de ingangsbuffer overgeslagen. Het verband tussen de transmit-clock en TXD is dan te zien in figuur 9/5.3-12.



Figuur 9/5.3-12: Verband tussen synchrone TXD en TXCLK.

De TXCLK wordt meestal afgeleid van de XR-2131, hoewel ook een externe TXCLK op pen 27 (EXCLK) mag worden gezet. Dit signaal wordt dan gebruikt om het inklokken van TXD in de XR-2130 te regelen. De data moet op de stijgende flank van TXCLK geldig zijn.

TXD komt de XR-2130 binnen op pen 11 (TXD), waarbij 1200 bit/s data door een encryptie-proces gaat. De scrambler dient om de TXD te verdelen (random), aangezien het bij bepaalde data-patronen moeilijk kan zijn om de noodzakelijke RXCLK uit de RXC te halen. Het scramble-circuit en de algorithme worden getoond in figuur 9/5.3-13.



Figuur 9/5.3-13: Algorithme en schema van een 17-bit pseudo random scrambler.

De random verdeelde data gaat daarna door een dubbelbit (dibit) encoder. Deze schakeling groepeert de data in bit-paren en genereert hieruit differentiële fase-informatie zoals in tabel 9/5.3-9 te zien is.

TXDN	TXDN+1	PHASE SHIFT
0	0	90°
0	1	0°
1	1	270°
1	0	180°

TXDN, TXDN+1: Successive Data Bits Group To Form a Dibit

Tabel 9/5.3-9: Dubbelbit/faseverschuiving (dibit/phase-shift) encodering.

De dubbelbit geëncodeerde informatie bevat geen plotselinge fasesprongen maar wel ge-

5.3 Type-beschrijving XR-type modems

leidelijke. Hierdoor kan de zenddraaggolf TXC met behulp van digitale echo-modulatietechnieken precies worden gevormd. TXC gaat naar een uitgangsmultiplexer, waar gekozen kan worden uit een TXC van 1200 bit/s of 300 bit/s.

300 bit/s TXD gaat niet door de scrambler en dubbelbit encoder, maar direkt naar een enkele-toon sinus-synthesizer voor het opwekken van mark/space frequentieparen voor answer en originate modes, zoals tabel 9/5.3-10 laat zien.
Deze schakelingen worden tevens gebruikt voor het opwekken van de 2100 Hz V.22 antwoordtonen.

TXD	MODE	CARRIER FREQUENCY
0	ANS	1070 Hz
1	ANS	1270 Hz
0	ORIG	2025 Hz
1	ORIG	2225 Hz

0 = space, 1 = mark

Tabel 9/5.3-10: 300 bit/s TXC frequenties.

De FSK (frequency shift keying) geëncodeerde draaggolf gaat vervolgens naar de TXC-uitgangsmultiplexer.
De TXC multiplexer voedt een 6-bit uitgangs-DAC waarna de TXC wordt gefilterd en op het telefoonnet losgelaten.

Filters
De filters in de XR-2130 worden gebruikt bij zenden, ontvangen en in de call progress mode.
In de zend- en ontvangmodes werkt elk filter als een hogere orde bandfilter met een bandbreedte van 600 Hz, gecentreerd rond 1200 Hz of 2400 Hz. Beide filters werken ook als half-kanaals groepsvertragings-equalizer. In tabel 9/5.3-11 zijn de bij elke mode behorende zend/ontvang-frequenties te zien. Tevens is een op 550 Hz en 1800 Hz sperrend filter in de lage band aangebracht (notch filter) om de lokaal gegenereerde guard-toon tijdens V.22 bedrijf te verwijderen.

MODE	TRANSMIT FILTER	RECEIVE FILTER
Answer	2400 Hz	1200 Hz
Originate	1200 Hz	2400 Hz

Tabel 9/5.3-11: Zend- en ontvangfrequenties.

De filters zijn bovendien aan de uitgang voorzien van tweepolige afvlakfilters om de clockfrequentie weg te halen. In de call progress mode wordt het lage-band filter (1200 Hz) met een factor 2,5 verlaagd tot 480 Hz.
In deze bedrijfsmode worden de call progress-tonen via het verlaagde lage-band filter gecontroleerd, terwijl dat tegelijkertijd met de antwoordtoon of het spraaksignaal via het hoge-band filter kan worden gedaan. Tabel 9/5.3-12 laat zien hoe de CD-schakeling (carrier detect) in de hoge of lage band kan worden gezet.
De signalen die door de CD in de lage band worden gedetecteerd zijn kiestoon, bezettoon en "ring back". In de hoge band wordt CD gebruikt voor de antwoordtoon. Tabel 9/5.3-13 toont de tijdkarakteristieken van de genoemde signalen.

$A/\overline{O}$	ALB	CPM	CD FREQUENCY BAND
0	0	1	High
1	0	1	Low

Tabel 9/5.3-12: Instelling van de frequentiebanden van de CD.

5.3 Type-beschrijving XR-type modems

CD FREQUENCY BAND	SIGNAL	TIMING
Low	Dial Tone	Continuous
Low	Busy Tone	0.5 sec on/off
Low	Ring Back	2 sec on/4 sec off
High	Answer Tone	Continuous

Tabel 9/5.3-13: Call progress-tonen.

De call progress detectie-mode kan bijvoorbeeld als volgt worden uitgevoerd (zie ook figuur 9/5.3-14):

- Zet het call progress mode-bit.
- De draaggolfdetectie (CD) wordt in de lage band gezet (zie tabel 9/5.3-12).
- De telefoonlijn is in de "van de haak" positie gezet (µP-poort).
- De kiestoon wordt gecontroleerd door CD gedurende een door de "watch dog timer" ingestelde tijd te checken. Als aan het einde van deze tijd nog geen CD wordt gezien, moet "geen kiestoon" worden gemeld.
- Als wel een kiestoon wordt gedetecteerd moet een DTMF cijfer worden uitgezonden, wordt TXEN aan- en weer uitgeschakeld en wanneer daarna nog steeds een kiestoon wordt gedetecteerd moet "gekozen nummer niet geaccepteerd, check telefoonnummer of schakel over op pulskiezen" worden gemeld. Deze procedure wordt voortgezet totdat alle cijfers zijn verzonden.
- De microcontroller verwacht nu één van de volgende signalen: bezettoon, ring back of antwoordtoon.

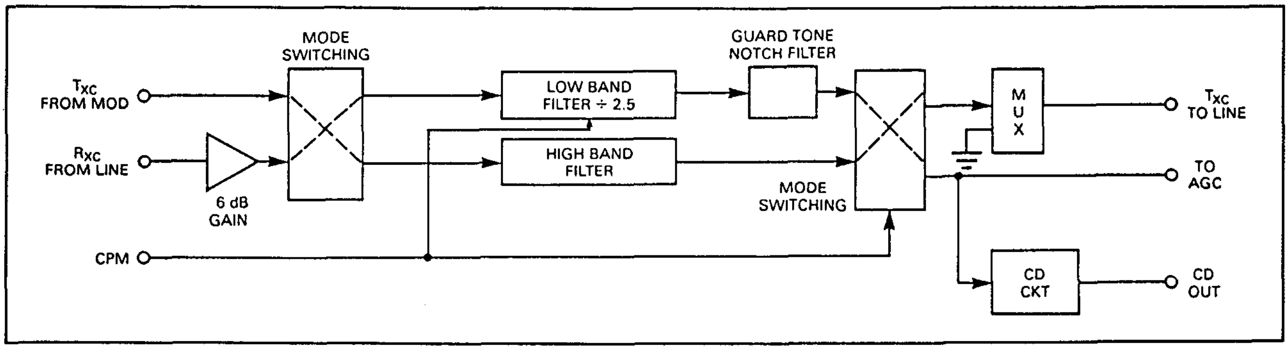
De controller zal CD eerst checken op een bezettoon. Als die niet aanwezig is, wordt het ring back signaal geprobeerd. Nadat dit twee seconden is gedaan zoekt de controller in de hoge band van CD naar een antwoordtoon. Wordt die gedetecteerd dan wordt de handshake voorbereid of in het andere geval wordt CD opnieuw gechecked op bezet- of ring back tonen.

De AGC-schakeling

De uitgang van het filter is verbonden met een AGC-schakeling (automatic gain control). Deze schakeling is een versterker met digitaal programmeerbare versterking met een dynamisch bereik van 46,5 dB in 31 stappen van elk 1,5 dB. De versterking van het AGC-circuit wordt vergeleken met een van te voren ingesteld gebied (window). Als het uitgangssignaal van de AGC buiten dit gebied komt, wordt de AGC door een 5-bit op/neerteller bijgeregeld. De reactiesnelheid van de AGC kan door de gebruiker worden geregeld met behulp van een extern RC-filter.

Demodulatie

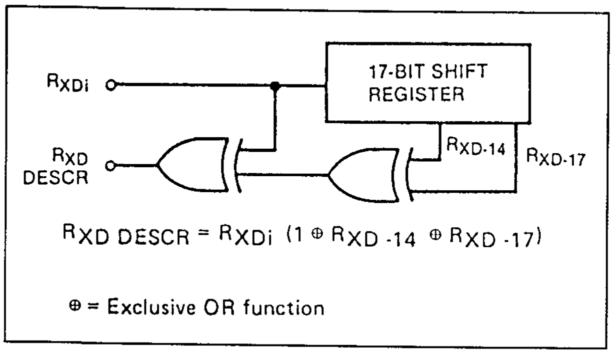
Na de AGC wordt de ontvangen, gemoduleerde draaggolf naar zowel naar de FSK als de DPSK demodulator geleid. De DPSK (1200 bit/s) demodulator gebruikt een Costas Loop PLL coherente demodulatietechniek.



Figuur 9/5.3-14: De call progress mode.

5.3 Type-beschrijving XR-type modems

De resulterende bemonsterde dubbelbit informatie wordt gedecodeerd naar normale seriële data. De data wordt vervolgens op de in figuur 9/5.3-15 getoonde wijze ge"descrambled".
De gedescrambelde data wordt door een syn-naar-async converter geleid om die een asynchroon karakterformaat voor de RS-232 poort te geven.



Figuur 9/5.3-15: 17-bit pseudo random descrambler en algorithme.

De ingang van de 300 bit/s FSK demodulator is ook op de AGC-uitgang aangesloten. Het signaal gaat eerst door een "slicer" en vervolgens naar een digitale PLL (phase locked loop). De PLL foutspanning wordt door een laagdoorlatend filter en een slicer geleid om zodoende de gedemoduleerde FSK data te vormen. De DPSK en FSK gedemoduleerde data signalen worden op een uitgangsmultiplexer gezet om het juiste signaal te kunnen kiezen.

Draaggolf detectie (CD)

Het draaggolf detectie-circuit (CD) is een piekdetector met -47 dBm als bovenste drempel en -52 dBm als onderste drempel. Deze niveaus zijn zo ingesteld dat bij 4 dB hybride verlies de draaggolfniveaus op Tip en Ring -43 dBm en -48 dBm zullen zijn. De CD-schakeling heeft een ingebouwde hysteresis van 2 dB.
De detectie-niveaus van de CD-schakeling worden gedurende de call progress mode veranderd in -34 dBm detectie-niveau en -40 dBm rejectie-niveau (ook met 2 dB hysteresis).

Loopback testfaciliteiten

Analoge loopback (ALB) is een lokale testmode voor het verifiëren van de juiste werking van de gehele lokale modem. De analoge zend-draaggolf wordt vanaf de uitgang van het zendfilter verbonden met de AGC-ingang, waarbij het ontvang-filter wordt overgeslagen. Het lijn-signaal wordt onderdrukt. Tijdens ALB kan de microcontroller ook de Ring-indicator controleren en ALB zo nodig afbreken, waarna direct een antwoordtoon wordt verzonden.
Tabel 9/5.3-14 beschrijft de besturing van ALB.
Digitale loopback (DLB) wordt gebruikt om de modem op afstand te checken (RDLB). De modem-controller checkt de niet-gescrambelde data om het RDLB-request te herkennen en het RDLB-bit te zetten om RXCLK met TXCLK te verbinden en RXD met TXD.

CPM = 0, ALB = 1, $A/\overline{O}$ = 0
  T_X = Low Band (Bypass R_X High Band Filter)
  R_X = Low Band

CPM = 0, ALB = 1, $A/\overline{O}$ = 1
  T_X = High Band (Bypass R_X Low Band Filter)
  R_X = High Band

Tabel 9/5.3-14: ALB-instellingen.

Modem-controller interface

De XR-2130 kan direct op de XR-2131 modem-controller of een gewone microcontroller zoals een 8051 worden aangesloten. De controller-interface is gebaseerd op nibble data-overdracht. De timing hiervan is te zien in figuur 9/5.3-10.
Bit-mapping van het schrijfregister en het leesregister is te zien in de tabellen 9/5.3-15 en -16. De functies van de bits in het schrijf-

5.3 Type-beschrijving XR-type modems

register worden verklaard in tabel 9/5.3-17, terwijl de frequentieparen bij DTMF en de zendniveaus apart worden vermeld in respectievelijk de tabellen 9/5.3-18 en -19. De bit-functies van het leesregister zijn tenslotte vermeld in tabel 9/5.3-20.

Address	Bit 3	Bit 2	Bit 1	Bit 0
0	SCREN	A/O	RDLB	FSK/$\overline{PSK}$
1	EXCKEN	TXEN	CPM	ALB
2	RXDMK	SPKR	GTE	GTS
3	DIL3	DIL2	DIL1	DIL0
4	DTMF	TXL2	TXL1	TXL0
5	ANS21	DIS64	PDN	HS
6	–	–	–	–
7	–	–	–	–

Tabel 9/5.3-15: Bit-mapping van het schrijfregister.

Address	Bit 3	Bit 2	Bit 1	Bit 0
0	–	–	–	CD
1	–	–	UNRXD	RXD

Tabel 9/5.3-16: Bit-mapping van het leesregister.

Tenslotte is in figuur 9/5.3-16 het schema van een complete stand-alone CCITT V.22 of Bell 212A modem te zien, waarbij de XR-2130 en de XR-2131 zijn toegepast.

Name	Logic Level	Function
SCREN	1	Scrambler/Descrambler On
	0	Scrambler/Descrambler Off
A/$\overline{O}$	1	Answer Mode
	0	Originate Mode
RDLB	1	Remote Digital Loopback
	0	Normal Mode
FSK/$\overline{PSK}$	1	FSK Operation
	0	PSK Operation
EXCKEN	1	Enable External Clock for TXCLK
	0	Internal Clock for TXCLK
TXEN	1	Transmitter Enable
	0	Transmitter Disable
CPM	1	Call Progress Mode
	0	Normal Mode
ALB	1	Analog Loopback Enable
	0	Normal Mode
RKDMK	1	RXD Clamped to Mark State
	0	RXD Normal
SPKR	1	Speaker Output On
	0	Speaker Output Off
GTE	1	Enable Guard Tone to High Band
	0	Disable Guard Tone
GTS	1	Select 550 Hz Guard Tone
	0	Select 1800 Hz Guard Tone
ANS21 A/$\overline{O}$ = 1 FSK/$\overline{PSK}$ = 1	1	Generate 2100 Hz Answer Tone
	0	No 2100 Hz Answer Tone
DIS64	1	Disable 64 Bit Mark Detector
	0	Enable 64 Bit Mark Detector
PDN	1	Power Down Mode
	0	Normal Operation
HS	1	Handshake Mode - widen capture range of RXCLK recovery circuit for fast response. Also generate a new sync pulse to force an immediate DPLL lock on 0 to 1 transition of HS bit.
	0	Normal Mode

Tabel 9/5.3-17: Functionele beschrijving van de bits in het schrijfregister. De DTMF kiestoon wordt vrijgegeven als TXEN = 1 (1 = DTMF-toon enable, 0 = DTMF-toon disable).

5.3 Type-beschrijving XR-type modems

DIL3	DIL2	DIL1	DIL0	DIGIT	TONE PAIRS (Hz)	
0	0	0	0	0	941	1336
0	0	0	1	1	697	1209
0	0	1	0	2	697	1336
0	0	1	1	3	697	1477
0	1	0	0	4	770	1209
0	1	0	1	5	770	1336
0	1	1	0	6	770	1477
0	1	1	1	7	852	1209
1	0	0	0	8	852	1336
1	0	0	1	9	852	1477
1	0	1	0	*	941	1209
1	0	1	1	#	941	1477
1	1	0	0	–	697	1633
1	1	0	1	–	770	1633
1	1	1	0	–	852	1633
1	1	1	1	–	941	1633

Tabel 9/5.3-18: DTMF set-bits en de bijbehorende frequentieparen.

TXL2	TXL1	TXL0	TXC LEVEL
0	0	0	0 dBM
0	0	1	-1.5 dBM
0	1	0	-3.0 dBM
0	1	1	-4.5 dBM
1	0	0	-6.0 dBM
1	0	1	-7.5 dBM
1	1	0	-9.0 dBM
1	1	1	-10.5 dBM

TXC Output Level

Tabel 9/5.3-19: Niveau-instelling van het zend-signaal.

CD 1 = Energy Detected
0 = No Energy

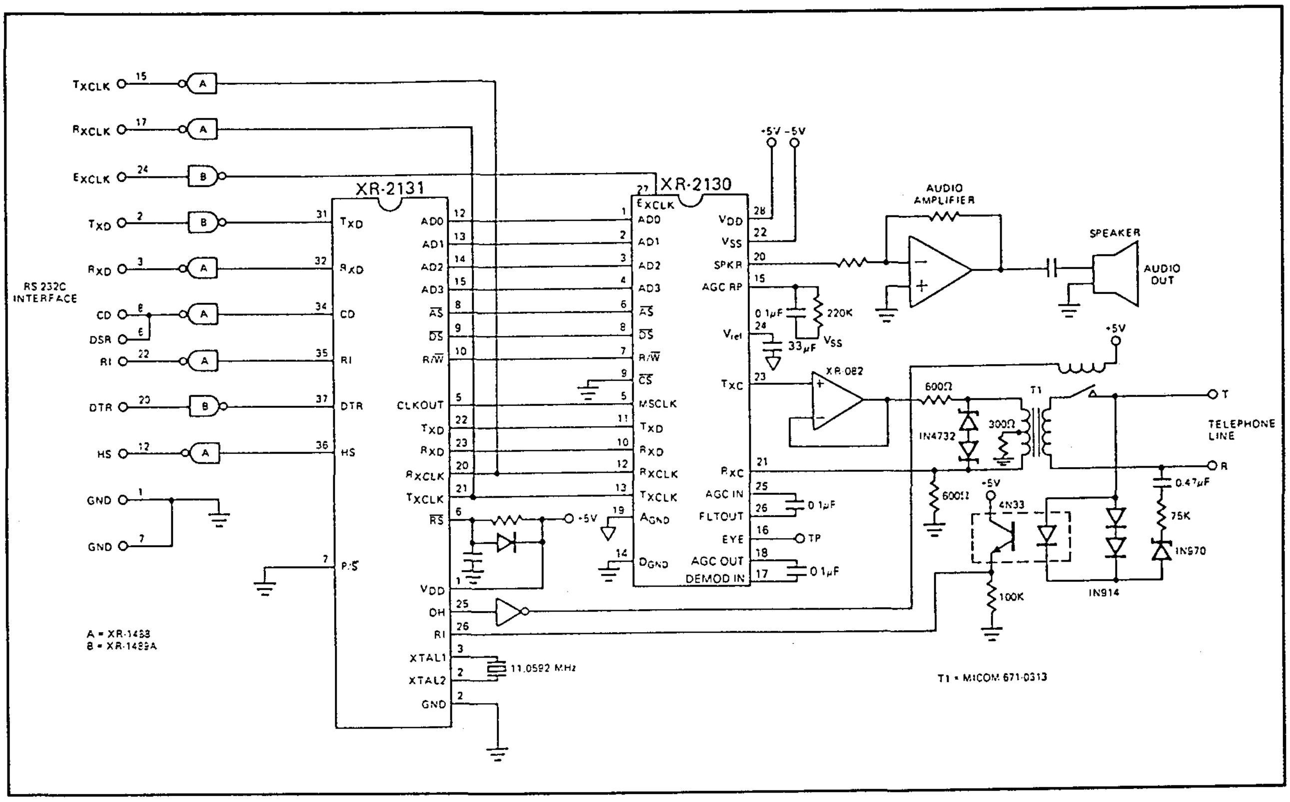
CPM	ALB	A/$\overline{O}$	CD
1	0	0	Receiving high band, moni - toring for answer tone.
1	0	1	Receiving low band filter output with this filter scaled down by a factor of 2.5. Detecting dial tone, busy and ring back signals.
0	0	0	Normal high band received energy detect.
0	0	1	Normal low band received energy detect.

Received data is available at two different outputs:

UNRXD = Undescrambled Received Data
RXD = Descrambled Received Data for PSK or FSK Data.

Tabel 9/5.3-20: De functies van de bits in het leesregister.

5.3 Type-beschrijving XR-type modems



Figuur 9/5.3-16: Compleet V.22/212A stand-alone modem.

XR-2321

V.21/V.23 single chip modem

De XR-2321 is een single chip asynchrone continue fase FSK modem van Exar. De modem is geschikt voor half of full duplex bedrijf over gewone of huur-telefoonlijnen. De modemfuncties en bedrijfsmodes kunnen worden geselecteerd door middel van micro-controller compatibele bus-interfaces. De XR-2321 voldoet aan de door de CCITT opgestelde normen voor V.21 en V.23.

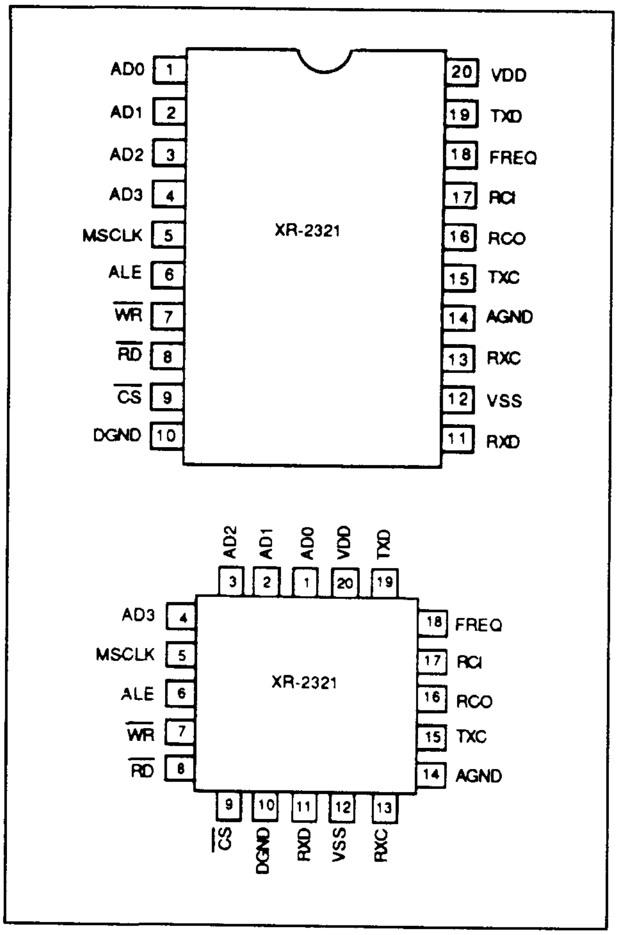
De XR-2321 kan met andere (snellere) Exar modemchips, zoals de XR-2400 chipset samenwerken in een V.22 bis/ V.22/212A multi-modem opstelling.
Alle belangrijke filterfuncties en modulatie/demodulatie worden bij de CMOS XR-2321 uitgevoerd met behulp van geschakelde condensator technieken. Wanneer de V.23 mode is gekozen staat tevens het 75 bit/s terugmeldkanaal (back channel) ter beschikking.
De XR-2321 wordt geleverd in een 20-pens DIP of PLCC behuizing.

Eigenschappen

- CCITT V.21 (300 bit/s full duplex) compatibel
- CCITT V.23 (1200 bit/s half duplex) compatibel, ook met 75 bit/s FSK Back Channel
- geen externe filters nodig
- ALB (analoge loop back) test mode
- 2-draads full duplex voor 300 bit/s
- 2-draads half duplex voor 1200 bit/s
- universele microcontroller interface
- alle digitale in-/uitgangen TTL-compatibel
- voeding: +/-5 V, +/-5%
- low power CMOS, power down mode
- generator en detector voor antwoord- en kiestonen

5.3 Type-beschrijving XR-type modems

- instelbare lijn-equalizer
- bedrijfstemperatuur: 0 tot +70 °C
- behuizing: 20-pens plastic DIL of PLCC (zie figuur 9/5.3-17)
- pen-compatibel met XR-2100



Figuur 9/5.3-17: Aansluitgegevens van de XR-2321.

Power Supply	
VDD	-0.3 to 7V
VSS	0.3 to -7V
Input Voltage	VSS -0.3V to VDD +0.3V
DC Input Current	±10mA
Power Dissipation (Package Limitation)	
Plastic Dip	1W
Derate Above 25°C	
Plastic Dip	5mW/°C
Storage Temperature Range	-65°C to +150°C

Tabel 9/5.3-21: Maximaal toelaatbare waarden.

Beschrijving van de aansluitpennen

- Pennen 1, 2, 3 en 4: AD0 t/m AD3
  Adres/databuslijnen voor microcontroller.
- Pen 5: MSCLK
  Dit is de externe master clock-ingang (11,0592 MHz +/-0,01%).
- Pen 6: ALE
  Adres latch-enable van de microcontroller.
- Pen 7: $\overline{WR}$
  Aktief LAGE write-enable ingang voor de microcontroller.
- Pen 8: $\overline{RD}$
  Aktief LAGE read-enable voor de microcontroller.
- Pen 9: $\overline{CS}$
  Chip-select ingang waarmee de 4-bit parallelle bus van de XR-2321 in werking komt.
- Pen 10: DGND
  Digitale aardpen. Deze aansluiting moet apart van AGND naar de voeding worden geleid.
- Pen 11: RXD
  Gedemoduleerde receive data-uitgang voor V.21, V.23 hoofd- of terugvoerkanaal.
- Pen 12: VSS
  Aansluiting van de negatieve voedingsspanning -5 V +/-5% (moet dichtbij met een keramische condensator van 0,1 µF naar AGND worden ontkoppeld).
- Pen 13: RXC
  Ingang voor de analoge ontvang draaggolf (recieve carrier) voor V.21, V.23 of achterwaartskanaal.
- Pen 14: AGND
  Analoge aarde. Deze pen moet apart van de digitale aarde op de voeding worden aangesloten.
- Pen 15: TXC
  Uitgang van de analoge zenddraaggolf (transmit carrier) voor V.21, V.23 of achterwaartskanaal.
- Pennen 16, 17: RCO, RCI
  Receive filter uitgang en demodulator ingang (worden via een 0,1 µF condensator met elkaar verbonden).

5.3 Type-beschrijving XR-type modems

SYMBOL	PARAMETER	MIN	TYP	MAX	UNITS	CONDITIONS
I_{DD}	Positive Supply Current Power Down Mode		11 5		mA mA	
I_{SS}	Negative Supply Current Power Down Mode		12 5		mA mA	
V_{IH}	High Level Input Voltage	2.0			V	
V_{IL}	Low Level Input Voltage			0.8	V	
I_{OH}	High Level Output Current			300	µA	V_{OH} = 2.4 V
I_{OL}	Low Level Output Current			2	mA	
I_I	Input Current			50	µA	VI = 0 to V_{DD}
TXC	Transmit Carrier Output	-2	0	+2	dBM	FSK Carrier
RXC	Receiver Dynamic Range	-43		-10	dBM	ANS, ORIG mode.
CD off	Carrier Detect Off Level		-48 -43 -37		dBM dBM dBM	FSK 1300 Hz 2100 Hz
CD on	Carrier Detect On Level		-43 -36 -30		dBM dBM dBM	FSK 1300 Hz 2100 Hz
CD HYS	Carrier Detect Hystersis	2	6		dB	FSK, 1300 Hz, 2100 Hz

Tabel 9/5.3-22: Elektrische kenmerken van de XR-2321.

- Pen 18: FREQ
  Deze uitgang levert een TTL-compatibele begrensde versie van het ontvangen signaal.
- Pen 19: TXD
  Transmit data-ingang voor V.21, V.23 hoofd- of terugvoerkanaal.
- Pen 20: V_{DD}
  Aansluiting van de positieve voedingsspanning +5 V +/-5% (moet dichtbij met 0,1 µF naar de analoge aarde worden ontkoppeld).

Functionele beschrijving

Aan de hand van het blokschema (figuur 9/5.3-18) wordt de werking van de uit drie hoofdbestanddelen (zender, ontvanger en logische besturing) bestaande XR-2321 beschreven.

Zender

Het zendgedeelte "transmitter" bestaat uit een FSK (frequency shift keying) modulator, een digitaal-naar-analoog (D/A) omzetter, een zendfilter en een uitgangs-versterker-

5.3 Type-beschrijving XR-type modems

trap. De belangrijkste taak van dit gedeelte is binaire digitale data om te zetten in een hiermee overeenkomend analoog signaal dat geschikt is om via telefoonlijnen te worden overgebracht. De binaire data komt aan de ingangspen TRANSMIT DATA (TXD) van de FSK-modulator. De modulator wekt een digitaal gevormde sinusgolf op waarvan de frequentie afhankelijk is van het feit of een logische 1 of een 0 op de TXD-pen staat.

SYMBOL	PARAMETER	MIN	TYP	MAX	UNIT	CONDITIONS
V.21 MODE						
S/N	Signal-to-Noise Ratio		7		dB	BER < 10^{-5}
BIAS DIST	Bias Distortion		6 6		% %	ORIG Mode ANS Mode
V.23 MODE						
S/N	Signal-to-Noise Ratio		15		dB	BER <10^{-6} Primary Channel Receive Reverse Channel Transmit.
BIAS DIST	Bias Distortion		 7 7		 % %	Primary Channel ORIG Mode ANS Mode
S/N	Signal-to-Noise Ratio		7		dB	BER <10^{-5} Reverse Channel Receive Primary Channel Transmit
BIAS DIST	Bias Distortion		 5 5		 % %	Reverse Channel ORIG Mode ANS Mode

Tabel 9/5.3-23: Prestaties van de XR-2321 bij V.21 en V.23 bedrijf.

Mode	Baud Rate (BPS)	Duplex	Transmit Frequency		Receive Frequency		FREQ Accuracy (Hz)
			Space (Hz)	Mark (Hz)	Space (Hz)	Mark (Hz)	
CCITT V.21 ORIG.	300	FULL	1180	980	1850	1650	+/-2
CCITT V.21 ANS	300	FULL	1850	1650	1180	980	+/-2
CCITT V.23 Primary	1200	HALF	2100	1300	2100	1300	+/-6
CCITT V.23 Reverse	75	HALF	450	390	450	390	+/-2

Answer Tone Frequency: 2100 Hz +/- 6Hz

Tabel 9/5.3-24: Frequentie-parameters bij V.21 en V.23.

5.3 Type-beschrijving XR-type modems

Na passeren van een digitale filtertrap in de FSK-modulator wordt deze digitale voorstelling door de DAC omgezet in een analoog signaal. Dit signaal passeert vervolgens het zendfilter. Het resulterende signaal wordt tenslotte vloeiend gemaakt door een laagdoorlatend filter en versterkt in de trap met programmeerbare versterking. De FSK-gemoduleerde draaggolf verschijnt op de TRANSMIT CARRIER (TXC) uitgangspen en wordt dan gewoonlijk via een Data Access Arrangement (DAA) interface of een akoestische koppelaar op de telefoonlijn gezet.

Onvanger

De ontvanger "receiver" bestaat uit een anti-aliasing filter, een ontvangfilter, een toonconditioner, een slicer, een FSK-demodulator, een draaggolf-detector en een post-detectie filter.
De functie van dit gedeelte is de binaire digitale informatie terug te winnen uit het ontvangen analoge signaal.
De FSK-gemoduleerde draaggolf (carrier) wordt ontvangen via een DAA of akoestische koppelaar en toegevoerd aan de RECEIVE CARRIER (RXC) ingangspen. Het signaal wordt eerst naar een eenvoudig laagdoorlatend anti-aliasing filter geleid en daarna naar zowel het ontvangbandfilter als de toonconditioneer sectie gebracht. Dit laatste deel levert een TTL-compatibele, begrensde versie van het ontvangen analoge signaal aan de FREQUENCY OUTPUT (FREQ) uitgangspen. Langs de andere route wordt het signaal begrensd door het ontvangfilter voordat het de slicer bereikt die het omzet in een digitale bitstroom. Deze bitstroom wordt bewerkt door de FSK-demodulator en doorgegeven aan een post-detectiefilter. Het resulterende signaal wordt blokvormig gemaakt door de uitgangscomparator, waarvan het uitgangssignaal nu het teruggewonnen datapatroon voorstelt. Dit komt beschikbaar aan de RECEIVE DATA (RXD) uitgang.
Tevens wordt een CARRIER DETECT (CD) signaal uit de ontvangen draaggolf (na het ontvangfilter) gegenereerd. Het CDsignaal, dat wordt gebruikt om de aanwezigheid van geldige data aan te geven, wordt via de databus ingelezen door het READ register van de XR-2321 te adresseren.

Programmering van de besturing

De werking van de XR-2321 wordt geprogrammeerd met behulp van de lees- en schrijfregisters die toegankelijk zijn via de AD0 tot en met AD3 pennen. Besturing en mode-configuratie kunnen worden ingesteld door control-woorden in het juiste schrijfregister te zetten, terwijl status en data-informatie uit het leesregister kunnen worden gelezen.
De lees/schrijf-register adressen zijn vermeld in tabel 9/5.3-25, terwijl de register bitformaten in tabel 9/5.3-26 staan. Door de lees/schrijf-cyclus van figuur 9/5.3-19 te volgen kan toegang worden verkregen tot de individuele bits. Deze timing heeft betrekking op de samenwerking van een 8031 of soortgelijke modemcontroller met de XR-2321.

	ADDRESS BITS				HEX
	AD3	AD2	AD1	AD0	
WR=0	1 1 1 1 1	0 0 0 0 1	0 0 1 1 0	0 1 0 1 0	(8) (9) (A) (B) (C)
RD=0	1	0	0	0	

Tabel 9/5.3-25: Adressen van de lees/schrijfregisters.

Schrijfregisterbits

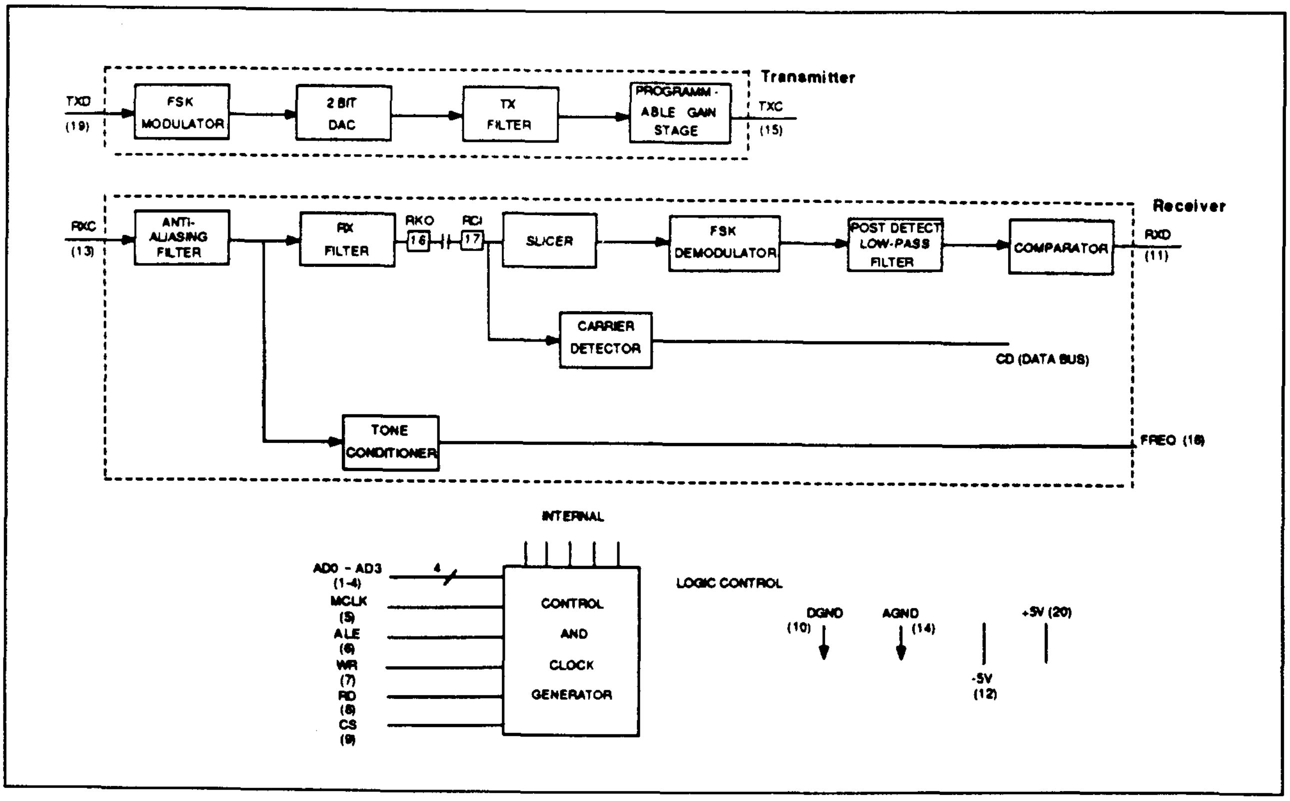
- ALB: Analoge loop-back
  Hiermee wordt de analoge loop-back mode voor diagnostische testdoeleinden geaktiveerd.
- RXDMK: Receive datamark
  Door dit bit HOOG te zetten kan de gebruiker de RXD-pen continu HOOG maken. Dit is bijvoorbeeld nuttig voor handshake functies.

5.3 Type-beschrijving XR-type modems

	DATA BITS			
	BIT 3	BIT 2	BIT 1	BIT 0
WR=0	ALB	RXDMK	A/O	TONE/FSK
	V.23 EQ	TXD	PDN	TXEN
	CPM	TONE/DTMF	V23/V21	PTXD
	DTH3	DTH2	DTL1	DTL0
	TX3	TX2	TX1	TX0
RD=0	•••	FREQ	CD	RXD

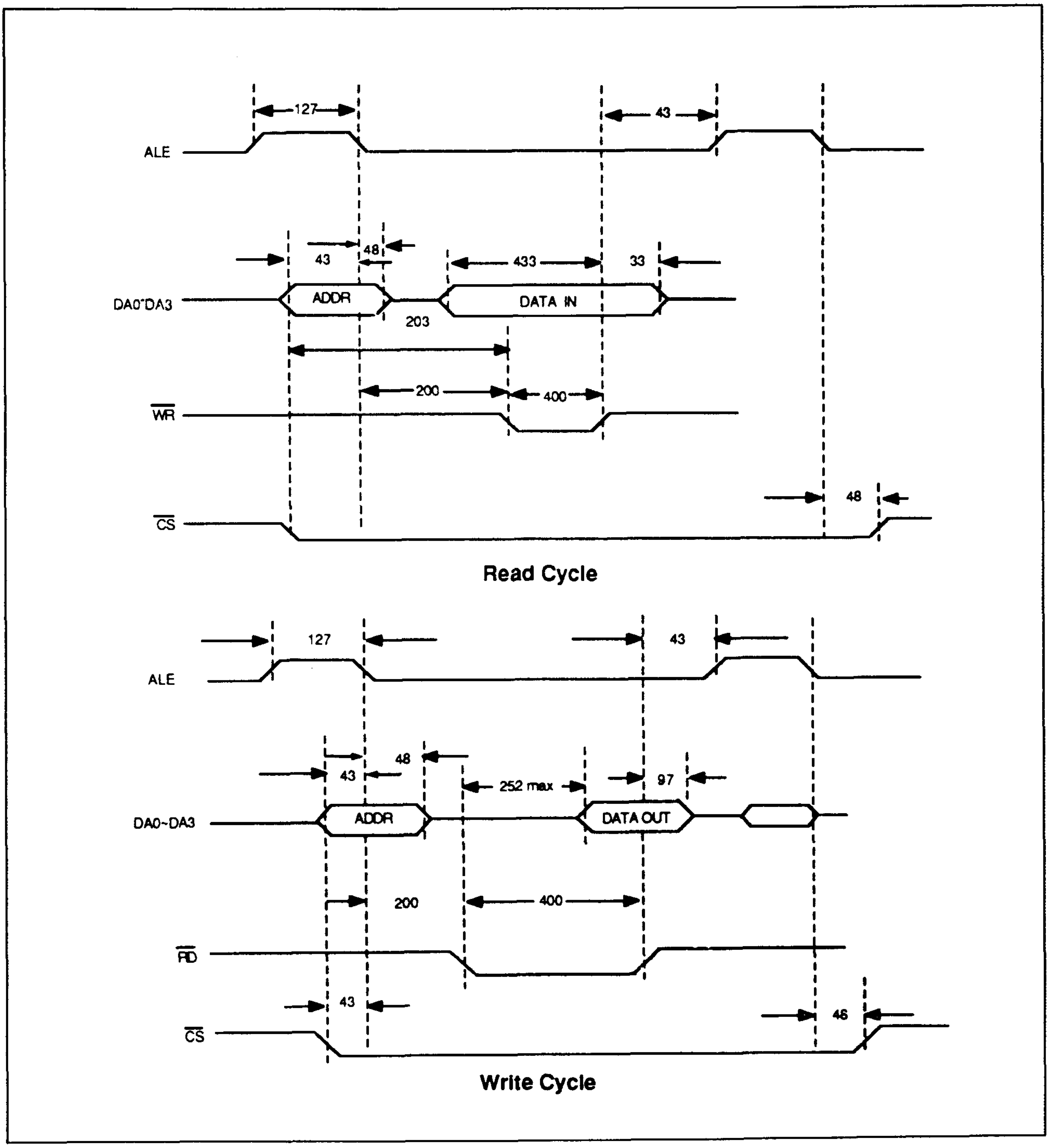
Tabel 9/5.3-26: De aan de bits in de lees/schrijf-registers toegekende functies.

- A/O: Answer/originate mode
  Wanneer dit bit LAAG is wordt de modem in de originate mode gezet (HOOG: antwoord-mode).
- TONE/FSK: Zendtoon uit of FSK-gemoduleerde draaggolf
  Als dit bit HOOG is wordt via de TXC-uitgang de 2100 Hz antwoordtoon of 1300 Hz oproeptoon uitgezonden.
  Is dit bit LAAG dan wordt de standaard FSK-gemoduleerde draaggolf uitgezonden.
  Let op: TONE/DTMF = 1 voor toonwerking.
- TXD: Transmit data
  Dit is het databit dat via de bus wordt geladen om verzonden te worden.
- PDN: Power down mode
  Als dit bit is gezet worden alle secties behalve de besturing afgeschakeld. Deze mode wordt gekozen om minder vermogen te dissiperen als de modem niet ontvangt of zendt.
- TXEN: Transmitter enable
  Als dit bit LAAG is, is de zenduitgang gesperd.



Figuur 9/5.3-18: Intern blokschema van de XR-2321.

5.3 Type-beschrijving XR-type modems



Figuur 9/5.3-19: Lees/schrijf-golfvormen en timing (12 MHz clock: alle tijden in ns).

- CPM: Call progress mode
  Door dit bit HOOG te maken probeert de modem in de originate mode de oproep te bevestigen door checken van de kiestoon, ringbacktoon of bezettoon.

- TONE/DTMF:
  Als dit bit HOOG is werkt de zender met toonfrequenties die afhangen van de configuratie. Indien LAAG is de zender in de DTMF-mode geplaatst en volgt deze de

5.3 Type-beschrijving XR-type modems

configuratie die in het DTMF-bit selectregister is geprogrammeerd.

- V.23/V.21:
  Dit configuratiebit dient om de modem in de V.23 of V.21 communicatiemode te zetten (HOOG: V.23, LAAG: V.21).
- PTXD: Parallel transmit data
  Met dit bit kan de gebruiker kiezen of data uit de parallelle databus wordt geladen of dat hiervoor de seriële TXD-pen wordt gebruikt. Als PTXD = LAAG wordt data van pen 19 (TXD) afgenomen.
- DTH3, DTH2, DTL1, DTL0: DTMF bit select
  Deze bits worden gebruikt om de te verzenden DTMF-frequenties in te stellen. De bits worden overeenkomstig tabel 9/5.3-27 geprogrammeerd.

WRITE ADDRESS	DATA BITS				TONE FREQUENCY		
	BIT3	BIT 2	BIT 1	BIT0	LOW	HIGH	
8 9 A	0 X 0	0 X 0	0 0 X	1 1 X			
B	0	1	1	1	941	1336	(0)
B	0	0	0	0	697	1209	(1)
B	0	1	0	0	697	1336	(2)
B	1	0	0	0	697	1447	(3)
B	0	0	0	1	770	1209	(4)
B	0	1	0	1	770	1336	(5)
B	1	0	0	1	770	1447	(6)
B	0	0	1	0	852	1209	(7)
B	0	1	1	0	852	1336	(8)
B	1	0	1	0	852	1477	(9)
B	0	0	1	1	941	1209	(*)
B	1	0	1	1	941	1477	(#)
B	1	1	0	0	697	1633	(B)
B	1	1	0	1	770	1633	(C)
B	1	1	1	0	852	1633	(D)
B	1	1	1	1	941	1633	(F)

Tabel 9/5.3-27: DTMF programmering.

- TX3 tot en met TX0:
  Bits voor de instelling van de versterking bij het zenden (zie tabel 9/5.3-28).

Leesregisterbits

- FREQ: Frequentie-uitgang
  De informatie in dit bit is gelijk aan die op de FREQ-uitgang pen 18. Dit bit is een TTL-versie van het ontvangen ingangssignaal.
- CD: Carrier Detect
  Als dit bit HOOG is geeft het aan dat een geldig signaal in de ontvangband aanwezig is.
- RXD: Receive Data
  Dit bit levert gedemoduleerde digitale data. Indien data uit dit register wordt gelezen kan de RXD-pen worden genegeerd.

WRITE ADDRESS	DATA BITS				OUTPUT TRANSMIT LEVEL (dBm)
	BIT 3	BIT 2	BIT1	BIT 0	
C	0	0	0	0	-18.0
C	0	0	0	1	-16.8
C	0	0	1	0	-15.6
C	0	0	1	1	-14.4
C	0	1	0	0	-13.2
C	0	1	0	1	-12.0
C	0	1	1	0	-10.8
C	0	1	1	1	-9.6
C	1	0	0	0	-8.4
C	1	0	0	1	-7.2
C	1	0	1	0	-6.0
C	1	0	1	1	-4.8
C	1	1	0	0	-3.6
C	1	1	0	1	-2.4
C	1	1	1	0	-1.2
C	1	1	1	1	0

Tabel 9/5.3-28: Programmering van de versterking bij het zenden.

Programmering van de Mode Configuratie

De tabellen 9/5.3-27, -28 en -29 geven alle benodigde informatie voor de programmeerstappen voor de DTMF-signalen, versterkingsniveaus en configuratie-modes.

FUNCTION	WRITE ADDRESS (HEX)	DATA BITS BIT 3	BIT 2	BIT 1	BIT 0
V.21 ORG mode, Transmit low and and receive high band.	8	0	0	0	0
	9	0	D	0	1
	A	0	X	0	0/1*
V.21 ANS mode, Transmit high band and receive low band.	8	0	0	1	0
	9	0	D	0	1
	A	0	X	0	0/1*
V.23 mode, Primary channel transmit and reverse channel receive.	8	0	0	0	0
	9	0	D	0	1
	A	0	X	1	0/1*
V.23 mode, Reverse channel transmit and primary channel receive.	8	0	0	1	0
	9	0	D	0	1
	A	0	X	1	0/1*
Transmit calling tone and prepare to detect calling tone energy.	8	0	X	0	1
	9	X	X	0	1
	A	0	1	X	X
Transmit answer tone and prepare to detect calling tone energy.	8	0	X	1	1
	9	X	X	0	1
	A	0	1	X	X
Transmit calling tone and receive CPM.	8	0	X	0	1
	9	X	X	0	1
	A	1	1	X	X
V.21 Analog loop back in originate mode.	8	1	0	0	0
	9	0	D	0	1
	A	0	X	0	0/1*
V.21 Analog loop back in answer mode.	8	1	0	1	0
	9	0	D	0	1
	A	0	X	0	0/1*
V.23 Primary channel analog loop back.	8	1	0	0	0
	9	0	D	0	1
	A	0	X	1	0/1*

D = Databit

Tabel 9/5.3-29a: Programmering van de configuratie-modes.

5.3 Type-beschrijving XR-type modems

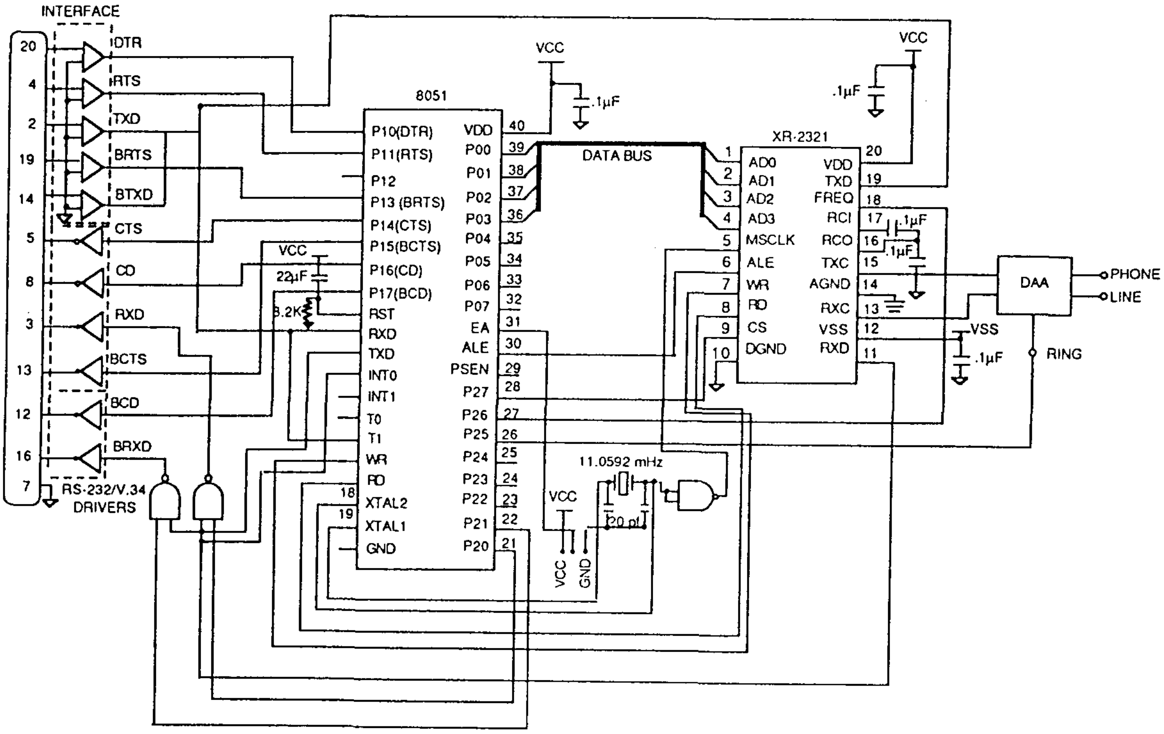
V.23 Reverse channel analog loop back.	8 9 A	1 0 0	0 D X	1 0 1	0 1 0/1*
Read register. Pin 11 is clamped to "Mark" in V.21 mode.	8 9 A	X 0 0	1 X X	X 0 0	X X X
Read register. Pin 11 is clamped to "Mark" in V.23 mode.	8 9 A	X 0 0	1 X X	X 0 1	X X X
Power down mode.	8 9 A	X X X	X X X	X 1 X	X X X
V.21 high band filer check.	8 9 A	1 X 1	X D X	0 0 0	0 1 0/1*
V.21 low band filter check.	8 9 A	1 X 1	X D X	1 0 0	0 1 0/1*
V.23 back channel check.	8 9 A	1 X 1	X D X	0 0 1	0 1 0/1*
V.23 main channel check.	8 9 A	1 X 0	X D X	1 0 1	1 1 0/1*
Busy tone filter check.	8 9 A	1 X 1	X D X	1 0 1	0 1 0/1*

Tabel 9/5.3-29b: Programmering van de configuratie-modes (vervolg).

Toepassing

In figuur 9/5.3-20 wordt een toepassing van de XR-2321 getoond waarin een 8051 microcontroller zorgt voor de programmering van de status en de besturing.
Let op dat de analoge (A_{GND}) en de digitale aarde (D_{GND}) van elkaar gescheiden moeten blijven, behalve op één punt in de voeding.
Anders zullen digitale stromen de gevoelige analoge delen beïnvloeden. Bovendien moet de voeding vlakbij de XR-2321 met keramische condensatoren van 0,1 µF worden ontkoppeld.

5.3 Type-beschrijving XR-type modems



Figuur 9/5.3-20: Toepassing van de XR-2321 als V.21/V.23 modem.

5.3 Type-beschrijving XR-type modems

9/6

Video display controllers

Inhoud

9/6.1

Achtergrond-informatie

Een van de belangrijkste taken van een microcomputer, het zichtbaar maken van opdrachten, menu's, resultaten, bedrijfstoestanden, foutmeldingen, enzovoorts op een beeldscherm is zo veelomvattend dat hiervoor speciale IC's zijn en worden ontwikkeld. In dit hoofdstuk hebben zij de verzamelnaam **Video Display Controllers** gekregen.

Hieronder vallen:
- CRT Controllers (Interface schakelingen voor kathodestraalbuizen);
- Color Video Display Generators;
- Intelligent Display Controllers (Alphanumeric-, Dot Matrix-, Bargraph Display Controllers);
- Graphics Display Controllers.

Er wordt begonnen met de CRT Controllers van de 65- en 68-serie, waarvan tabel 9/6.1-1 een vergelijkend overzicht geeft.
Later zullen de bij de andere microprocessoren behorende Video Display Controllers aan de beurt komen.

6.1 Achtergrond-informatie

CRTC Register Comparison

REGISTER	SY6545R	SY6845	MC6845R HD6845R	HD6845S	R6545-1 SY6545-1	R6545 SY6545E
NON-INTERLACE						
R0 HORIZONTAL TOT	TOT-1	TOT-1	TOT-1	TOT-1	TOT-1	TOT-1
R1 HORIZONAL DISP	ACTUAL	ACTUAL	ACTUAL	ACTUAL	ACTUAL	ACTUAL
R2 HORIZONTAL SYNC	ACTUAL	ACTUAL	ACTUAL	ACTUAL	ACTUAL	ACTUAL
R3 HORIZ AND VERT SYNC WIDTH	HORIZONTAL	HORIZONTAL	HORIZONTAL	HORIZONTAL AND VERTICAL	HORIZONTAL AND VERTICAL	HORIZONTAL AND VERTICAL
R4 VERTICAL TOT	TOT-1	TOT-1	TOT-1	TOT-1	TOT-1	TOT-1
R5 VERTICAL TOT ADJ	ANY VALUE	ANY VALUE	ANY VALUE	ANY VALUE	ANY VALUE EXCEPT R5 = R9H•X	ANY VALUE
R6 VERTICAL DISP	ANY VALUE <R4	ANY VALUE <R4	ANY VALUE <R4	ANY VALUE <R4	ANY VALUE <R4	ANY VALUE <R4
R7 VERTICAL SYNC POS	ACTUAL	ACTUAL	ACTUAL	ACTUAL	ACTUAL	ACTUAL
R8 MODE REG BITS 0 and 1	INTERLACE MODE SELECT	INTERLACE MODE SELECT	INTERLACE MODE SELECT	INTERLACE MODE SELECT	INTERLACE MODE SELECT	INTERLACE MODE SELECT
BITS 2	—	—	—	—	ROW/COLUMN OR STRAIGHT BINARY ADDRESSING	ROW/COLUMN OR STRAIGHT BINARY ADDRESSING
BITS 3	—	—	—	—	SHARED OR TRANSPARENT ADDR	SHARED OR TRANSPARENT ADDR
BITS 4	—	—	—	DISPEN SKEW	DISPEN SKEW	DISPEN SKEW
BITS 5	—	—	—	DISPEN SKEW	CURSOR SKEW	CURSOR SKEW
BITS 6	—	—	—	CURSOR SKEW	RA4/UPSTB	RA4/UPSTB
BITS 7	—	—	—	CURSOR SKEW	TRANSPARENT MODE SELECT	TRANSPARENT MODE SELECT
R9 SCAN LINES	TOT-1	TOT-1	TOT-1	TOT-1	TOT-1	TOT-1
R10 CURSOR START	ACTUAL	ACTUAL	ACTUAL	ACTUAL	ACTUAL	ACTUAL
R11 CURSOR END	ACTUAL	ACTUAL	ACTUAL	ACTUAL	ACTUAL	ACTUAL
R12/R13 DISP ADDR	WRITE ONLY	WRITE ONLY	WRITE ONLY	READ/WRITE	WRITE ONLY	WRITE ONLY
R14/R15 CURSOR POS	READ/WRITE	READ/WRITE	WRITE ONLY	READ/WRITE	READ/WRITE	READ/WRITE
R16/R17 LPEN REG	READ ONLY	READ ONLY	READ ONLY	READ ONLY	READ ONLY	READ ONLY
R18/R19 UPDATE ADDR REG	N/A	N/A	N/A	N/A	TRANSPARENT MODE ONLY	TRANSPARENT MODE ONLY
R31 DUMMY REG	N/A	N/A	N/A	N/A	TRANSPARENT MODE ONLY	TRANSPARENT MODE ONLY
STATUS REG	YES	NO	NO	NO	YES	YES
INTERLACE SYNC						
R0	TOT-1 = ODD OR EVEN	TOT-1 = ODD OR EVEN	TOT-1 = ODD	TOT-1 = ODD	TOT-1 = ODD	TOT-1 = ODD OR EVEN
INTERLACE SYNC AND VIDEO						
R4 VERTICAL	TOT-1	TOT-1	TOT-1	TOT-2	TOT/2-1	TOT-1
R6 VERT DISP	TOT	TOT	TOT/2	TOT	TOT/2	TOT
R7 VERT SYNC	ACTUAL	ACTUAL	ACTUAL	ACTUAL	ACTUAL/2	ACTUAL
R10 CURSOR START R11 CURSOR END	ODD/EVEN ODD/EVEN	ODD/EVEN ODD/EVEN	BOTH ODD OR BOTH EVEN	ODD/EVEN ODD/EVEN	ODD/EVEN ODD/EVEN	ODD/EVEN ODD/EVEN
CCLK	3.7 MHz	2.5 MHz	2.5 MHz	3.7 MHz	2.5 MHz	3.7 MHz

Tabel 9/6.1-1: Overzicht van de 65- en 68-serie.

9/6.2

Type-beschrijving 65-familie

6545
CRT Controller (CRTC)

Met de 6545 kan een 8-bit microprocessor worden aangesloten op een CRT (kathodestraalbuis) raster scan video display.
De 6545 levert refresh-geheugenadressen en rij-adressen voor de karaktergenerator. In totaal kunnen 16K karakters met 32 aftastlijnen per karakter worden geadresseerd. Een belangrijk voordeel van de 6545 is dat het refresh-geheugen zowel binair als met de rij/kolommethode kan worden geadresseerd.

De 6545 heeft een intern cursor-register dat een cursor-signaal opwekt wanneer de inhoud ervan overeenkomt met het refresh-adres van dat moment. Doordat de cursor programmeerbare begin- en eindregisters heeft, kan deze maximaal de gehele hoogte van een karakter groot zijn. Bovendien kan de knipperfrequentie van de cursor worden gevarieerd.

Met een speciale strobe-ingang kan het refresh-adres in een intern lichtpen-register worden opgeslagen. De refresh-adreslijnen zijn zodanig uitgevoerd dat zij geschikt zijn voor directe dynamische geheugenrefresh.

De timing voor de video refresh-signalen wordt afgeleid van de karakter clock-ingang. De besturingssignalen voor schuifregister, latch en (indien nodig) multiplexer worden geleverd door externe timing. Het mode control-register maakt niet-vervlochten video display-modes bij refresh-frequencies van 50 of 60 Hz mogelijk en het interne status-register kan worden gebruikt om de werking van de 6545 te controleren. Met de $\overline{\text{RES}}$-ingang kan de door de CRTC gegenereerde field-rate dynamisch worden gesynchroniseerd op de jitter van de netfrequentie.

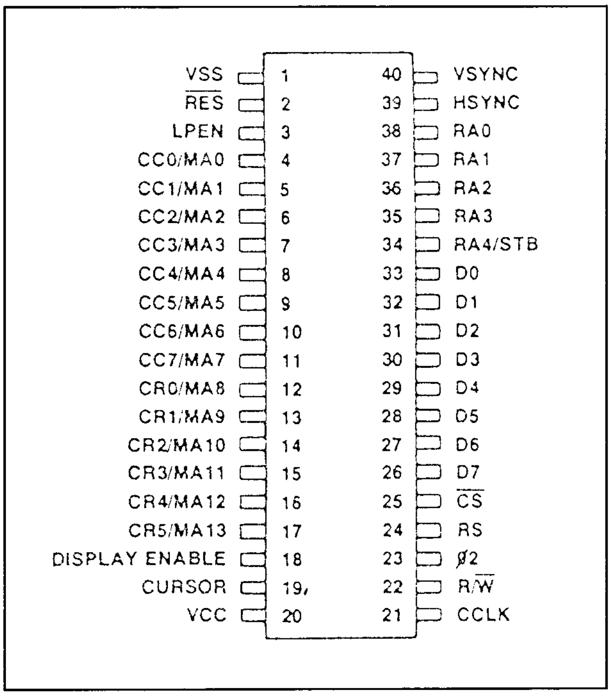
Kenmerken van de 6545

- compatibel met 8-bit microprocessoren;
- enkele +5 V ± 5 % voeding;
- karakter clock maximaal 3,7 MHz;
- refresh RAM adresseerbaar als rij/kolom of zuiver binair;
- geschikt voor alfanumerieke en beperkte grafische afbeelding;
- op- en neerwaarts scrollen per pagina, regel of karakter;
- programmeerbare vertikale sync-breedte;
- volledig programmeerbare display (rijen, kolommen, karaktermatrix);
- het video display RAM kan zowel deel uitmaken van het geheugenveld van de microprocessor als apart aan de 6545 toegevoegd (transparante adressering);
- vervlochten (interlaced) of niet-vervlochten aftasting;
- werkt op 50 of 60 Hz;
- volledig programmeerbare cursor;
- lichtpen-register;
- RAM-refresh adressen voor maximaal 16K karakters;
- geen externe DMA nodig;
- intern statusregister;
- behuizing: 40-pens keramische of plastic DIL (zie figuur 9/6.2-1);
- snelheid: 6545: 1 MHz, 6545A: 2MHz;
- bedrijfstemperatuurgebied: 0 tot +70°C (industriëel: −40 tot +85°C);

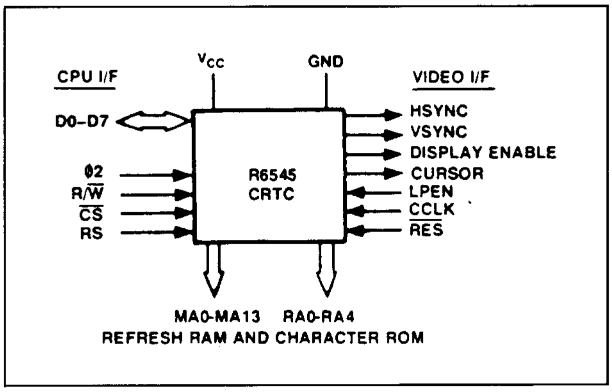
6.2 Type-beschrijving 65-familie

- pen-compatibel met 6845;
- fabrikanten: Rockwell, Synertek.

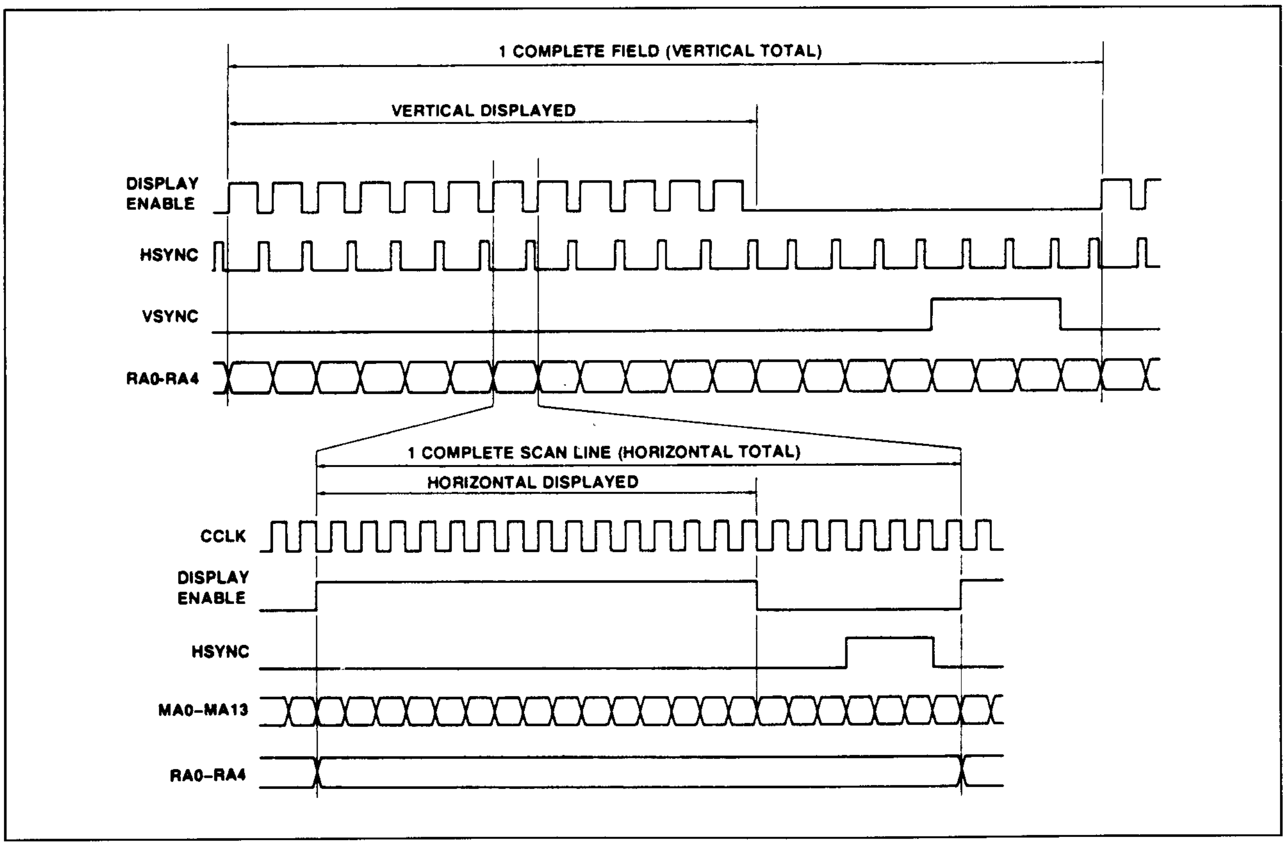
In figuur 9/6.2-2 is te zien welke plaats de 6545 inneemt tussen de CPU en de video-schakelingen, terwijl figuur 9/6.2-3 de timing van de video-interface toont.



Figuur 9/6.2-1: Aansluitgegevens van de 6545.



Figuur 9/6.2-2: 6545 interface signalen.



Figuur 9/6.2-3: Vertikale en horizontale timing.

CPU Interface

- ϕ2 (fase 2 clock)
  Het fase 2 kloksignaal triggert alle datatransporten tussen de systeemprocessor (CPU) en de 6545. Aangezien de toelaatbare ϕ2 kloktijd onbeperkt is, behoeft ϕ2 geen continue klok te zijn. Hierdoor kan de 6545 ook gemakkelijk met andere processoren dan de 6500 samenwerken.
- R/$\overline{W}$ (Read/Write)
  De richting van de data-overdrachten wordt geregeld door het lees/schrijfsignaal (R/$\overline{W}$) dat de processor opwekt. Wordt de R/$\overline{W}$-pen HOOG dan kan de processor data die afkomstig is van de 6545 inlezen, terwijl data in de 6545 kan worden geschreven met een LAAG op de R/$\overline{W}$-pen.
- $\overline{CS}$ (Chip Select)
  De Chip Select-ingang wordt gewoonlijk òf direct òf via een decoder op de adresbus van de processor aangesloten. De 6545 is geselecteerd als $\overline{CS}$ = LAAG is.
- RS (Register Select)
  Een LAAG op de Register Select-ingang maakt de interne registers toegankelijk. Met R/$\overline{W}$ = LAAG kan dan worden geschreven in het adresregister en met R/$\overline{W}$ = HOOG kan het statusregister worden uitgelezen. De inhoud van het adresregister is de identiteit van het register dat wordt bereikt als RS = HOOG is.
- D0 tot en met D7 (Data Bus)
  De acht datalijnen D0 t/m D7 brengen informatie over tussen de processor en de 6545. Deze lijnen zijn bidirectioneel en normaal hoog-impedant, behalve tijdens de leescyclussen wanneer de chip is geselecteerd ($\overline{CS}$ = LAAG).

Video Interface

- HSYNC (Horizontale Synchronisatie)
  Het aktief-hoge uitgangssignaal HSYNC bepaalt wanneer de horizontale rasterlijn wordt gestart. Het kan òf direct op een CRT-monitor worden aangesloten òf worden gebruikt om een composiet videosignaal samen te stellen. De tijd-positie en breedte van HSYNC zijn volledig programmeerbaar.
- VSYNC (Verticale Synchronisatie)
  Het aktief-hoge uitgangssignaal VSYNC bepaalt wanneer het vertikale frame wordt gestart. Net als HSYNC is VSYNC zowel geschikt voor een CRT-monitor als voor het opwekken van composiet videosignalen. De tijd-positie en breedte van VSYNC zijn beide programmeerbaar.
- Display enable
  Het aktief-hoge uitgangssignaal DISPLAY ENABLE geeft aan wanneer de 6545 bezig is met het opwekken van aktieve display informatie. Het aantal horizontale display-karakters per rij en het aantal vertikale display-rijen zijn beide volledig programmeerbaar en wekken samen het DISPLAY ENABLE-signaal op. DISPLAY ENABLE wordt de tijd van een karakter vertraagd als bit 4 van R8 HOOG wordt gemaakt.
- CURSOR (Samenvallen van de cursor)
  Het aktief-hoge uitgangssignaal CURSOR geeft aan wanneer het aftasten samenvalt met de geprogrammeerde cursor-positie. De positie van de cursor kan naar elk karakter in het adresveld worden geprogrammeerd. Bovendien kan de cursor binnen het karakter een willekeurig blok scanlijnen omvatten, aangezien zowel de begin- als eindscanlijn programmeerbaar is. De positie van de cursor kan met de tijd van een karakter worden vertraagd door bit 5 van R8 HOOG te maken.
- LPEN (Lichtpen Strobe)
  Het flank-gevoelige LPEN ingangssignaal laadt de inhoud van de Refresh Scan Counter in het interne Light Pen Register met op het moment dat de aktieve flank optreedt (een LAAG-naar-HOOG overgang).
- CCLK (Clock)
  Het ingangssignaal van de CCLK karaktertiming clock is de tijdbasis voor alle interne tel/besturings-functies.
- $\overline{RES}$
  Het aktief-lage ingangssignaal $\overline{RES}$ initia-

6.2 Type-beschrijving 65-familie

liseert alle interne scan-telschakelingen. Wanneer $\overline{RES}$ = LAAG is worden alle interne tellers gestopt en op nul gezet, gaan alle scan- en video-uitgangen LAAG en worden de besturingsregisters niet beïnvloed. $\overline{RES}$ moet tenminste een CCLK-periode LAAG blijven. Door het HOOG gaan van $\overline{RES}$ worden alle timingen geïnitialiseerd. Op deze wijze kan $\overline{RES}$ de display-timing synchroniseren op de lijnfrequentie.
$\overline{RES}$ kan ook meerdere CRT's tegelijk synchroniseren in horizontale en/of verticale 'split-screen' operatie.

Refresh RAM en karakter ROM interface

- MA0 tot en met MA13 (Refresh Adreslijnen)
  De 14 aktief-hoge uitgangssignalen adresseren de opslag van karakters en de display-operaties in de refresh RAM. Het eerste scan-adres is volledig programmeerbaar, terwijl het laatste scan-adres afhankelijk is van het totale aantal karakters dat getoond wordt. Dit laatste is ook programmeerbaar, in termen van karakters/lijn en lijnen/frame.
  Voor MA0 t/m MA 13 bestaan twee selecteerbare adresmodes.
  In de **zuiver binaire** mode (R8, Mode Control, bit 2 = LAAG) worden karakters op achtereenvolgende geheugenplaatsen opgeborgen. In het software ontwerp moeten de rij- en kolomcoördinaten van de karakters dus worden vertaald naar opeenvolgend genummerde adressen voor geheugen-refresh handelingen.
  In de **rij/kolom** mode (R8, Mode Control, bit 2 = HOOG) worden MA0 tot en met MA7 de kolom-adressen CC0 tot en met CC7 en MA8 tot en met MA13 de rij-adressen CR0 tot en met CR5. In dit geval behandelt de software de karakters in termen van rij- en kolom-lokaties, waarbij extra adres-compressieschakelingen nodig zijn om de door CC0 tot en met CC7 en CR0 tot en met CR5 aangegeven adressen efficiënt te beheren.
- RA0 tot en met RA4 (Raster Adreslijnen)
  Deze vijf aktief-hoge uitgangssignalen selecteren elke raster-scan binnen een individuele karakterrij. Het aantal raster-scanlijnen is programmeerbaar en bepaalt de hoogte van het karakter, inclusief de ruimten tussen de karakterrijen.
  De meest-significante lijn RA0 is uniek in het opzicht dat die ook kan functioneren als strobe-uitgangspen wanneer de 6545 wordt geprogrammeerd in de 'Transparante Adresserings Mode'. De strobe is dan een aktief-hoge uitgang die 'waar' is op het moment dat het update-adres voor Refresh RAM op de adreslijnen MA0 tot en met MA13 wordt gezet. Op deze wijze kunnen bijwerken en uitlezen van het Refresh RAM onder besturing van de 6545 worden uitgevoerd met slechts een kleine hoeveelheid externe logica.

Interne registers

In tabel 9/6.2-1 is een overzicht te zien van de interne registers en de adressen daarvan, plus de lees/schrijfmogelijkheden.

- Adresregister
  Dit 5-bit 'write-only' register (figuur 9/6.2-3) wordt gebruikt als 'pointer' om CRTC/CPU data-transporten binnen de CRTC te regelen. Het bevat het nummer van het gewenste register (0 tot en met 31). Wanneer RS = LAAG is kan het adresregister worden geladen; wanneer RS = HOOG is wordt de identiteit van het geselecteerde register in het adresregister opgeslagen.
- Statusregister (SR)
  Dit 3-bit register (figuur 9/6.2-5) bevat de status van de CRTC. De bits 0 tot en met 4 worden niet gebruikt.

ADDRESS REGISTER

7	6	5	4	3	2	1	0
—	—	—	A_4	A_3	A_2	A_1	A_0

Figuur 9/6.2-4: Het adress register.

6.2 Type-beschrijving 65-familie

$\overline{CS}$	RS	Address Reg. 4	3	2	1	0	Reg. No.	Register Name	Stored Info.	RD	WR	Register Bit 7	6	5	4	3	2	1	0
1	—	—	—	—	—	—	—												
0	0	—	—	—	—	—	—	Address Reg.	Reg. No.		√				A_4	A_3	A_2	A_1	A_0
0	0	—	—	—	—	—	—	Status Reg.		√		U	L	V					
0	1	0	0	0	0	0	R0	Horiz. Total	# Charac. − 1		√	•	•	•	•	•	•	•	•
0	1	0	0	0	0	1	R1	Horiz. Displayed	# Charac.		√	•	•	•	•	•	•	•	•
0	1	0	0	0	1	0	R2	Horiz. Sync Position	# Charac.		√	•	•	•	•	•	•	•	•
0	1	0	0	0	1	1	R3	VSYNC, HSYNC Widths	# Scan Lines and # Char. Times		√	V_3	V_2	V_1	V_0	H_3	H_2	H_1	H_0
0	1	0	0	1	0	0	R4	Vert. Total	# Charac. Row − 1		√		•	•	•	•	•	•	•
0	1	0	0	1	0	1	R5	Vert. Total Adjust	# Scan Lines		√				•	•	•	•	•
0	1	0	0	1	1	0	R6	Vert. Displayed	# Charac. Rows		√		•	•	•	•	•	•	•
0	1	0	0	1	1	1	R7	Vert. Sync Position	# Charac. Rows		√		•	•	•	•	•	•	•
0	1	0	1	0	0	0	R8	Mode Control			√	U_1	U_0	C	D	T	RC	I_1	I_0
0	1	0	1	0	0	1	R9	Scan Lines	# Scan Lines − 1		√				•	•	•	•	•
0	1	0	1	0	1	0	R10	Cursor Start	Scan Line No.		√		B_1	B_0	•	•	•	•	•
0	1	0	1	0	1	1	R11	Cursor End	Scan Line No.		√				•	•	•	•	•
0	1	0	1	1	0	0	R12	Display Start Addr (H)			√			•	•	•	•	•	•
0	1	0	1	1	0	1	R13	Display Start Addr (L)			√	•	•	•	•	•	•	•	•
0	1	0	1	1	1	0	R14	Cursor Position (H)		√	√			•	•	•	•	•	•
0	1	0	1	1	1	1	R15	Cursor Position (L)		√	√	•	•	•	•	•	•	•	•
0	1	1	0	0	0	0	R16	Light Pen Reg (H)		√				•	•	•	•	•	•
0	1	1	0	0	0	1	R17	Light Pen Reg (L)		√		•	•	•	•	•	•	•	•
0	1	1	0	0	1	0	R18	Update Address Reg (H)			√			•	•	•	•	•	•
0	1	1	0	0	1	1	R19	Update Address Reg (L)			√	•	•	•	•	•	•	•	•
0	1	1	1	1	1	1	R31	Dummy Location											

Notes: • Designates used bit in register
▒ Designates unused bit in register. Reading this bit is always 0, except for R31, which does not drive the data bus at all, and for $\overline{CS}$ = 1 which operates likewise.

Tabel 9/6.2-1: Overzicht van de interne registers.

STATUS REGISTER (SR)

7	6	5	4	3	2	1	0
UR	LRF	.VRT	—	—	—	—	—

Figuur 9/6.2-5: Het status-register.

Bit 7: UR (Update Ready)

0 = In register 31 is zojuist geschreven of gelezen door de CPU;

1 = er is een update strobe geweest.

Bit 6: LRF (LPEN Register Full)

0 = Register R16 of R17 is door de CPU uitgelezen;

1 = LPEN strobe werd ontvangen.

Bit 5: VRT (Vertical Re-Trace)

0 = Scan bevindt zich op dit moment niet in de vertikale re-trace tijd;

1 = Scan op dit moment in zijn vertikale re-trace tijd.
Merk op dat dit bit inderdaad 1 wordt wanneer een vertikale re-trace begint, maar vijf karakter-kloktijden voordat de vertikale re-trace stopt weer 0 wordt om kritische timing voor RAM refresh handelingen te vermijden.

- RO: Totaal aantal horizontale karakters

Dit 8-bit 'write-only' register bevat het totale al dan niet zichtbare karakter minus één per horizontale lijn. Dit register (figuur 9/6.2-6) bepaalt de frequentie van HSYNC.

6.2 Type-beschrijving 65-familie

R0—HORIZONTAL TOTAL CHARACTERS

7	6	5	4	3	2	1	0
NUMBER OF CHARACTERS - 1							

Figuur 9/6.2-6: De horizontal total characters.

R1—HORIZONTAL DISPLAYED CHARACTERS

7	6	5	4	3	2	1	0
NUMBER OF CHARACTERS							

Figuur 9/6.2-7: De horizontal displayed characters.

- R1: Aantal horizontale zichtbare karakters
  In dit 8-bit 'write-only' register (figuur 9/6.2-7) staat hoeveel karakters per horizontale lijn zichtbaar zijn.
- R2: Horizontale Synchronisatie Positie
  Dit 8-bit register (figuur 9/6.2-8) bevat de positie van HSYNC op de horizontale lijn, in de vorm van het plaatsnummer van het karakter op de lijn. De positie van HSYNC bepaalt de plaats van links naar rechts van de zichtbare tekst op het videoscherm. Op deze wijze worden de kantlijnen gericht.
- R3: Horizontale en vertikale sync-breedten
  Dit 8-bit 'write-only' register (figuur 9/6.2-9) bevat de breedten van zowel HSYNC als VSYNC, op de volgende manier:

  HVSW 7 tot en met 4:
  VSYNC pulsbreedte

  De breedte van de vertikale synchronisatiepuls VSYNC in het aantal scanlijnen. Wanneer de bits 4 tot en met 7 alle 0 zijn, is VSYNC 16 scanlijnen breed.

  HVSW 3 tot en met 0:
  HSYNC pulsbreedte

  De breedte van de horizontale synchronisatiepuls HSYNC in het aantal karakter-kloktijden CCLK.

  De instelbaarheid van deze parameters maakt het de 6545 mogelijk om met verschillende CRT-monitoren samen te werken, aangezien de HSYNC en VSYNC timing sinalen kunnen worden aangepast zonder gebruik te maken van externe one-shot timers.
- R4: Totaal aantal vertikale rijen
  Het 7-bit Vertical Total Register (figuur 9/6.2-10) bevat het totale aantal karakterrijen in een frame, min één. Dit register bepaalt samen met R5 de totale framesnelheid, die dichtbij de netfrequentie dient te liggen voor een flikkervrije weergave. Indien de ingestelde frame-tijd langer duurt dan een periode van de netfrequentie, kan RES voor absolute synchronisatie zorgen.
- R5: Vertikale totale lijn-instelling
  Het 5-bit 'write-only' Vertical Total Line Adjust Register (figuur 9/6.2-11) bevat het aantal extra scanlijnen dat nodig is om een volledige frame-scan uit te voeren en is bedoeld als fijnregeling voor de video frame-tijd.

R2—HORIZONTAL SYNC POSITION

7	6	5	4	3	2	1	0
HORIZONTAL SYNC POSITION							

Figuur 9/6.2-8: De horizontal sync position.

R3—HORIZONTAL AND VERTICAL SYNC WIDTHS

7	6	5	4	3	2	1	0
V_3	V_2	V_1	V_0	H_3	H_2	H_1	H_0

Figuur 9/6.2-9: De horizontal en vertical sync widths.

R4—VERTICAL TOTAL ROWS

7	6	5	4	3	2	1	0
—	NO. OF CHAR. ROWS - 1						

Figuur 9/6.2-10: De vertical total rows.

6.2 Type-beschrijving 65-familie

R5—VERTICAL TOTAL LINE ADJUST

7	6	5	4	3	2	1	0
—	—	—	SCAN LINES				

Figuur 9/6.2-11: De vertical total line adjust.

- R6: Aantal vertikale zichtbare rijen
  Dit 7-bit 'write-only' register (figuur 9/6.2-12) bevat het aantal zichtbare karakter-rijen in elk frame. Het bepaalt de vertikale afmeting van de zichtbare tekst.
- R7: Vertikale synchronisatie-positie
  Dit 7-bit 'write-only' register (figuur 9/6.2-13) kiest de karakterrij-tijd waarop de vertikale SYNC-puls moet verschijnen en bepaalt op deze wijze de posities van de zichtbare tekst in vertikale richting.
- R8: Mode control (MC)
  Dit 8-bit 'write-only' register (figuur 9/6.2-14) selecteert de bedrijfsmodes van de 6545 als volgt:

  Bit 7: UM(T) - Update/Read Mode (Transparante Mode)
  0 = Update vindt plaats tijdens horizontale en vertikale blanking door middel van een update strobe;
  1 = Update 'interleaves' tijdens het 02-gedeelte van de cyclus.

  Bit 6: US(T) - Update Strobe (Transparante Mode)
  0 = Pen 34 werkt als geheugenadres;
  1 = Pen 34 werkt als update strobe.

  Bit 5: CSK - Cursor Skew
  0 = Geen vertraging;
  1 = Cursor wordt met een karaktertijd vertraagd.

  Bit 4: DES - Display Enable Skew
  0 = Geen vertraging;
  1 = Display enable wordt een karaktertijd vertraagd.

  Bit 3: RRA - Refresh RAM Access
  0 = Gedeelte toegang tot geheugen;
  1 = Transparante toegang tot geheugen.

  Bit 2: RAD - Refresh RAM Adressing Mode
  0 = Zuiver binaire adressering;
  1 = Rij/kolom adressering.

- MC1 en MC0: IMC - Interlace Mode Control

MC1	MC0	
X	0	Geen interlace;
0	1	Interlace SYNC raster scan;
1	1	Interlace SYNC en video raster scan.

- R9: Rij-scanlijnen
  Dit 5-bit 'write-only' register (figuur 9/6.2-15) bevat het aantal scanlijnen minus één, inclusief spaties.

R6—VERTICAL DISPLAYED ROWS

7	6	5	4	3	2	1	0
—	DISPLAYED CHAR. ROWS						

Figuur 9/6.2-12: De vertical displayed rows.

R7—VERTICAL SYNC POSITION

7	6	5	4	3	2	1	0
—	VERTICAL POSITION						

Figuur 9/6.2-13: De vertical sync position.

R8—MODE CONTROL (MC)

7	6	5	4	3	2	1	0
UM(T)	US(T)	CSK	DES	RRA	RAD	—	0

Figuur 9/6.2-14: De mode control.

R9—ROW SCAN LINES

7	6	5	4	3	2	1	0
—	—	—	SCAN LINES - 1				

Figuur 9/6.2-15: De row scan lines.

6.2 Type-beschrijving 65-familie

- R10: Cursor startlijn en R11 - Cursor eindlijn
  Deze 5-bit 'write-only' registers (figuur 9/6.2-16) selecteren de scanlijnen waarop de cursor begint en eindigt. Bovendien worden de bits 5 en 6 van R10 gebruikt om het knipperen van de cursor te regelen (zie figuur 9/6.2-17).
  Een cursor die één karakter breed is kan worden bestuurd door het opslaan van waarden in de registers voor cursor startlijn (R10) en cursor eindlijn (R11) en de registers voor cursor positie-adres hoog (R14) en cursor positie laag (R15).

R10—CURSOR START LINE

7	6	5	4	3	2	1	0
—	B_1	B_0	START SCAN LINE				

R11—CURSOR END LINE

7	6	5	4	3	2	1	0
—	—	—	END SCAN LINE				

Figuur 9/6.2-16: De cursor start en end lines.

B_1	B_0	Cursor Operating Mode
0	0	Display Cursor Continuously
0	1	Blank Cursor
1	0	Blink cursor at 1/16 Field Rate
1	1	Blink Cursor at 1/32 Field Rate

Figuur 9/6.2-17: De cursor operating modes.

- R12: Display startadres hoog en R13: Display startadres laag
  Deze registers (figuur 9/6.2-18) vormen tezamen een 14-bit register waarvan de inhoud het geheugenadres is van het eerste karakter van de zichtbare scan (het karakter linksboven op de video display). Opvolgende geheugenadressen worden door de 6545 gegenereerd als resultaat van CCLK-pulsen. Scrolling van de display wordt bereikt door in R12 en R13 het geheugenadres van het eerste karakter op de gewenste tekstregel te laden. Via R12 en R13 kunnen hele pagina's tekst worden gescrolled of veranderd.

R12—DISPLAY START ADDRESS HIGH

7	6	5	4	3	2	1	0
—	—	DISPLAY START ADDRESS HIGH					

R13—DISPLAY START ADDRESS LOW

7	6	5	4	3	2	1	0
DISPLAY START ADDRESS LOW							

Figuur 9/6.2-18: De display start adressen.

- R14: Cursorpositie hoog en R15: Cursorpositie laag
  Deze registers (figuur 9/6.2-19) vormen tezamen een 14-bit register waarvan de inhoud het geheugenadres is van de huidige cursorpositie. Wanneer de video display scanteller (MA-lijnen) overeenkomt met de inhoud van dit register en wanneer de scan-lijnteller (RA-lijnen) binnen de grenzen valt die door R10 en R11 worden bepaald, wordt de CURSOR-uitgang aktief. Bit 5 van het Mode Control Register (R8) kan worden gebruikt om de CURSOR-uitgang een hele CCLK-tijd te vertragen om tegemoet te komen aan langzame geheugens.
  Een cursor van maximaal 32 karakters hoog kan op en tussen de scanlijnen zichtbaar worden gemaakt, afhankelijk van de inhoud van R10 en R11.
  De cursor wordt over het scherm bewogen door in het Cursorpositie-adres Hoog

R14—CURSOR POSITION HIGH

7	6	5	4	3	2	1	0
—	—	CURSOR POSITION HIGH					

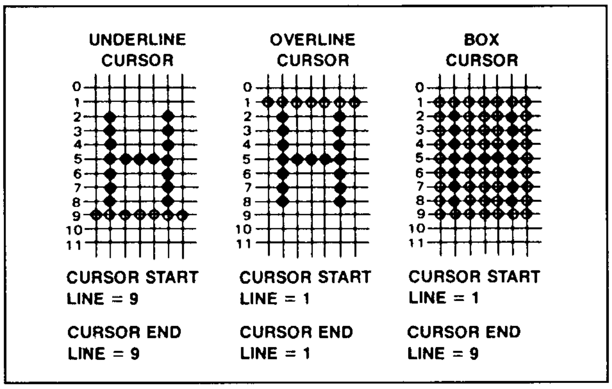
R15—CURSOR POSITION LOW

7	6	5	4	3	2	1	0
CURSOR POSITION LOW							

Figuur 9/6.2-19: De cursor positie.

(R14), respectievelijk Laag (R15) het gewenste refresh RAM-adres te laden. De cursor kan op elk van de 16K karakterposities worden geplaatst. Hierdoor zijn hardware paging en data scrolling toegestaan zonder de cursorpositie te verliezen. In figuur 9/6.2-20 zijn enkele voorbeelden van de cursor scanlijn te zien.

- R16: Lichtpen Hoog en R17: Lichtpen Laag
  Deze registers (figuur 9/6.2-21) vormen samen een 14-bit register waarvan de inhoud de lichtpen strobe-positie is, in termen van het video display-adres waarop de strobe plaatsvond. Wanneer de LPEN-ingang van LAAG naar HOOG verandert wordt, op de volgende neergaande flank van CCLK, de inhoud van de interne scanteller opgeslagen in de registers R16 en R17.



Figuur 9/6.2-20: Voorbeelden van de cursor-display scan-lijn besturing.

R16—LIGHT PEN HIGH

7	6	5	4	3	2	1	0
—	—	LPEN HIGH					

R17—LIGHT PEN LOW

7	6	5	4	3	2	1	0
LPEN LOW							

Figuur 9/6.2-21: De light pen high en low.

- R18: Update-adres Hoog en R19: Update-adres Laag
  Deze registers (figuur 9/6.2-22) vormen tezamen een 14-bit register waarvan de inhoud overeenkkomt met het adres waarop de volgende Read of Update zal plaatsvinden (alleen in de transparante adresseermode). Wanneer een Read/Update verschijnt, wordt de update-lokatie automatisch verhoogd om snelle updates of uitlezingen van achtereenvolgende karakterposities mogelijk te maken (zie ook 'Refresh RAM Adressering').
- R31: Dummy-lokatie
  In dit register (figuur 9/6.2-23) wordt nooit data opgeslagen, maar het wordt gebruikt om te detecteren wanneer transparante adresserings-updates plaatsvinden. Dit is nodig om het Update Adresregister te verhogen en het Update Ready-bit in het Statusregister HOOG te maken.

R18—UPDATE ADDRESS HIGH

7	6	5	4	3	2	1	0
—	—	UPDATE ADDRESS HIGH					

R19—UPDATE ADDRESS LOW

7	6	5	4	3	2	1	0
UPDATE ADDRESS LOW							

Figuur 9/6.2-22: De update adressen.

R31—DUMMY LOCATION

7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—

Figuur 9/6.2-23: De dummy location.

Register formaten

De registerparen R12/R13, R14/R15, R16/R17 en R18/R19 kunnen op twee manieren worden geformatteerd:

1 Zuiver binair, als in register R8, bit 2 = 0;
2 Rij/kolom, als in register R8, bit 2 = 1.

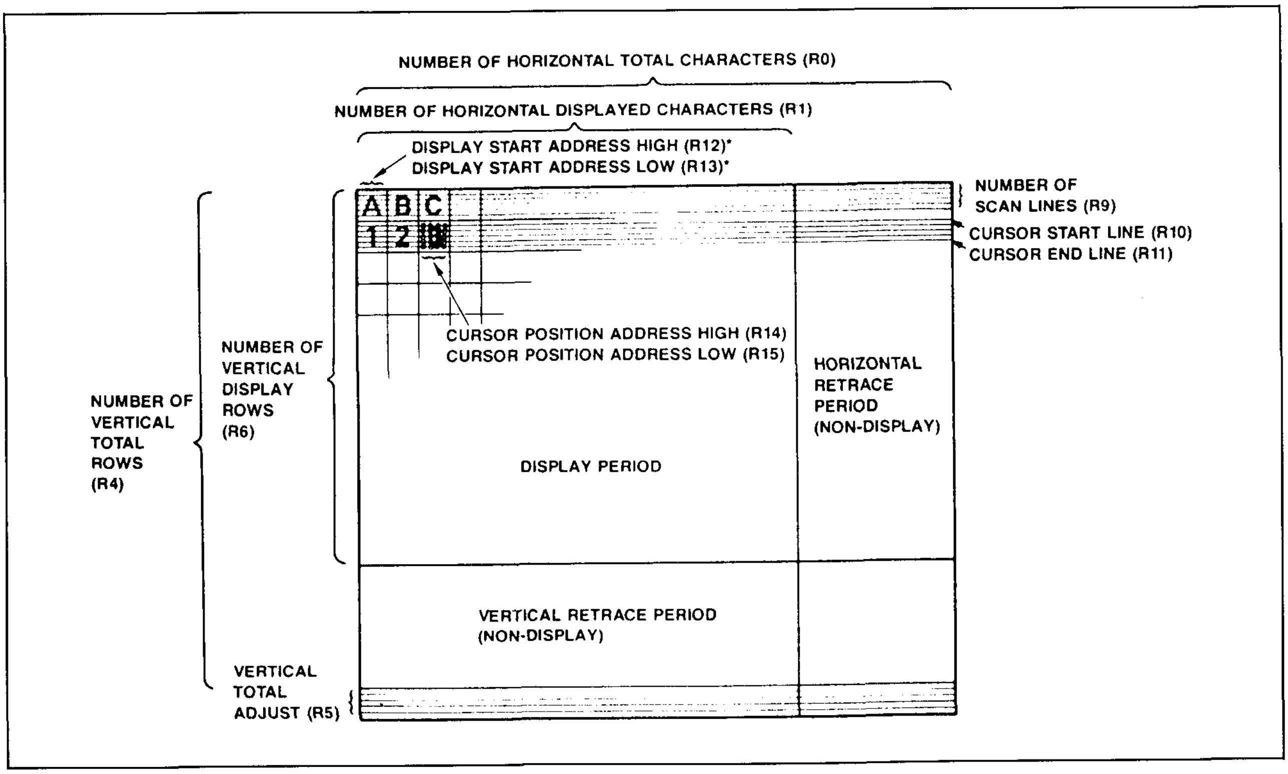
In dit laatste geval is de lage byte de karakter-kolom en de hoge byte de karakter-rij.

Video display
In figuur 9/6.2-24 is het onderlinge verband tussen de verschillende registers in de 6545 en het resulterende videobeeld te zien.

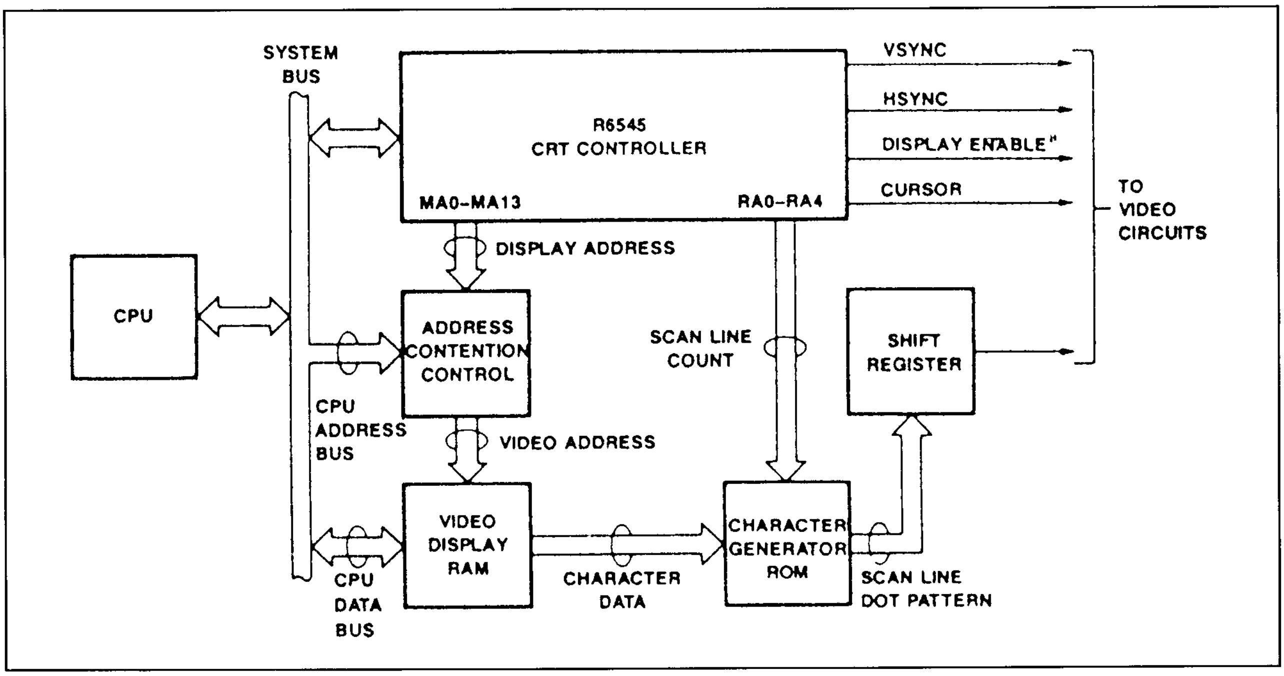
Niet-zichtbare gedeelten van de Video Display vallen onder de horizontale en vertikale retrace functies van de CRT monitor. De horizontale en vertikale synchronisatie signalen HSYNC en VSYNC worden zodanig geprogrammeerd dat zij gedurende deze intervallen optreden om de retrace in de monitor te triggeren. De pulsbreedten zijn afhankelijk van de voorschriften van de monitor. De tijdpositie van de pulsen kan worden veranderd om de randen van het beeld in te stellen (linker- en rechterkant, boven- en onderkant).

Refresh RAM Adressering
Er zijn twee manieren om het video display-geheugen te programmeren.

- **Gedeelde geheugen-mode (R8, bit 3 = 0)**
  In deze mode geven de Refresh RAM adreslijnen (MA0 tot en met MA13) direkt de inhoud van de interne refresh scan-karakterteller weer. Om adresseren en selecteren van de RAM door zowel de CPU als de CRTC mogelijk te maken moet een externe multiplexer buiten de CRTC worden geplaatst. In de rij/kolom adresseringsmode worden de lijnen MA0 tot en met MA7 de karakter kolom-adressen (CC0 tot en met CC7) en MA8 tot en met MA13 de karakter rij-adressen (CR0 tot en met CR5). In figuur 9/6.2-25 is de opzet van het systeem te zien.
- **Transparante geheugen-adressering**
  In deze mode is de display RAM niet direkt bereikbaar voor de CPU, maar wordt deze volledig bestuurd door de 6545. Alle toe-



Figuur 9/6.2-24: Video display formaat.

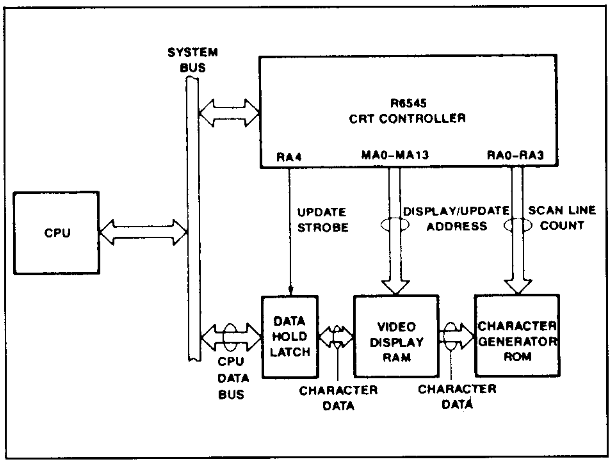


Figuur 9/6.2-25: Configuratie van een systeem met gedeeld geheugen (door CRTC en CPU).

gangen vanuit de CPU worden via de 6545 en een kleine hoeveelheid externe logica gedaan, zoals in figuur 9/6.2-26 te zien is.

Adresseringsmodes

In figuur 9/6.2-27 is een voorbeeld te zien



Figuur 9/6.2-26: Een systeem met transparante geheugen-adressering (heeft alleen data-hold latches nodig voor horizontale/vertikale blanking updates).

van de adres-volgorde voor beide manieren van Refresh RAM adressering.

- **Rij/Kolom**
  In deze mode (register R8, bit 2 = 1) genereert de CRTC 8 kolom-adressen (MA0 tot en met MA7) en 6 rij-adressen (MA8 tot en met MA13) op de adreslijnen. Om niet teveel geheugen in de refresh RAM te gebruiken is extra hardware nodig om deze adressering te comprimeren tot een zuiver binaire reeks.
- **Binair**
  In deze mode (register R8, bit 2 = 0) zijn de CRTC adreslijnen zuiver binair en zijn geen compressieschakelingen nodig. De software wordt echter wel ingewikkelder aangezien de CRT-karakters niet kunnen worden opgeslagen in termen van hun rij- en kolomlokaties.

Het gebruik van dynamisch RAM als refresh geheugen

Bij de 6545 kunnen dynamische RAM's worden toegepast als opslagmiddelen voor de Refresh RAM door in de niet-zichtbare inter-

6.2 Type-beschrijving 65-familie

TOTAL = 90; DISPLAY = 80 (kolommen); TOTAL = 34; DISPLAY = 24 (rijen)

0	1	2	---	---	77	78	79	80	81	---	89
80	81	82	---	---	157	158	159	160	161	---	169
160	161	162	---	---	237	238	239	240	241	---	249
:							:				:
:							:				:
:							:				:
1760	1761	1762	---	---	1837	1838	1839	1840	1841	---	1849
1840	1841	1842	---	---	1917	1918	1919	1920	1921	---	1929
1920	1921	1922	---	---	1997	1998	1999	2000	2001	---	2009
2000	2001	2002	---	---	2077	2078	2079	2080	2081	---	2089
:							:				:
2640	2641	2642	---	---	2717	2718	2719	2720	2721	---	2729

STRAIGHT BINARY ADDRESSING SEQUENCE

TOTAL = 90; DISPLAY = 80; COLUMN ADDRESS (MA0–MA13); TOTAL = 34; DISPLAY = 24; ROW ADDRESS (MA0–MA13)

ROW	0	1	2			77	78	79	80	81		89
0	0	1	2	---	---	77	78	79	80	81	---	89
1	256	257	258	---	---	333	334	335	336	337	---	345
2	512	513	514	---	---	589	590	591	592	593	---	601
:	:							:				:
:	:							:				:
21	:							:				:
22	5632	5633	5634	---	---	5709	5710	5711	5712	5713	---	5721
23	5888	5889	5890	---	---	5965	5966	5967	5968	5969	---	5977
24	6144	6145	6146	---	---	6221	6222	6223	6224	6225	---	6233
25	6400	6401	6402	---	---	6477	6478	6479	6480	6481	---	6489
	:							:				:
33	8448	8449	8450	---	---	8525	8526	8527	8528	8529	---	8537

ROW/COLUMN ADDRESSING SEQUENCE

Figuur 9/6.2-27: Display adresvolgorden voor een 80 × 24 voorbeeld (met startadres 0).

vallen van de scan door te gaan met het verhogen van de geheugen-adressen. Dit is een levensvatbare techniek aangezien het Display Enable-signaal de werkelijke video display-blanking voor zijn rekening neemt. In figuur 9/6.2-27 is de Refresh RAM adressering voor zowel de rij/kolom- als de binaire adressering te zien, voor 80 kolommen en 24 rijen plus 10 niet-zichtbare kolommen en rijen.

Merk op dat de zuiver binaire mode het voordeel heeft dat alle display-geheugenadressen in een opeenvolgend geheugenblok worden opgeslagen, beginnend bij adres 0 en eindigend bij adres 1919. Het nadeel van deze methode is dat, wanneer de positie van een zichtbaar karakter veranderd moet worden, eerst de rij- en kolom identiteit van de positie in een binair adres moet worden omgezet voordat dit in het geheugen mag worden geschreven.
Voor de rij/kolom mode is deze omzetting niet nodig. Het geheugen wordt echter niet zo efficiënt gebruikt omdat de geheugenadressen niet opeenvolgend zijn. Hierdoor is het nodig het systeem van meer geheugen te voorzien dan eigenlijk wordt gebruikt. Het is echter mogelijk om adres-compressielogica te installeren om het rij/kolom-formaat om te zetten in een continu binair adresblok.

De gebruiker kan zelf beslissen welke mode de beste is voor zijn toepassing. Voor de zuiver binaire mode is minder hardware nodig (meer software) en voor de rij/kolom mode minder software (meer hardware).

Contentie bij gedeelde geheugen-adressering

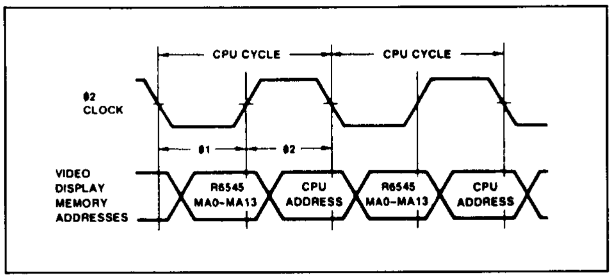
Uit het schema van figuur 9/6.2-25 blijkt dat zowel de 6545 als de CPU toegang hebben tot het video display-geheugen. De 6545 haalt herhaaldelijk karakter-informatie op om de video-signalen te kunnen genereren voor het beeldscherm. De CPU heeft af en toe toegang tot het geheugen om de zichtbare informatie te veranderen of om aktuele datakarakters uit te lezen.

Er zijn drie manieren om deze contentie (strijdigheid) op te lossen:

- **CPU Prioriteit**
  Bij deze techniek worden de adreslijnen naar het video display-geheugen normaal gestuurd door de 6545, behalve wanneer

de CPU toegang moet hebben. In dat geval worden de adreslijnen onmiddellijk overgenomen door de CPU.

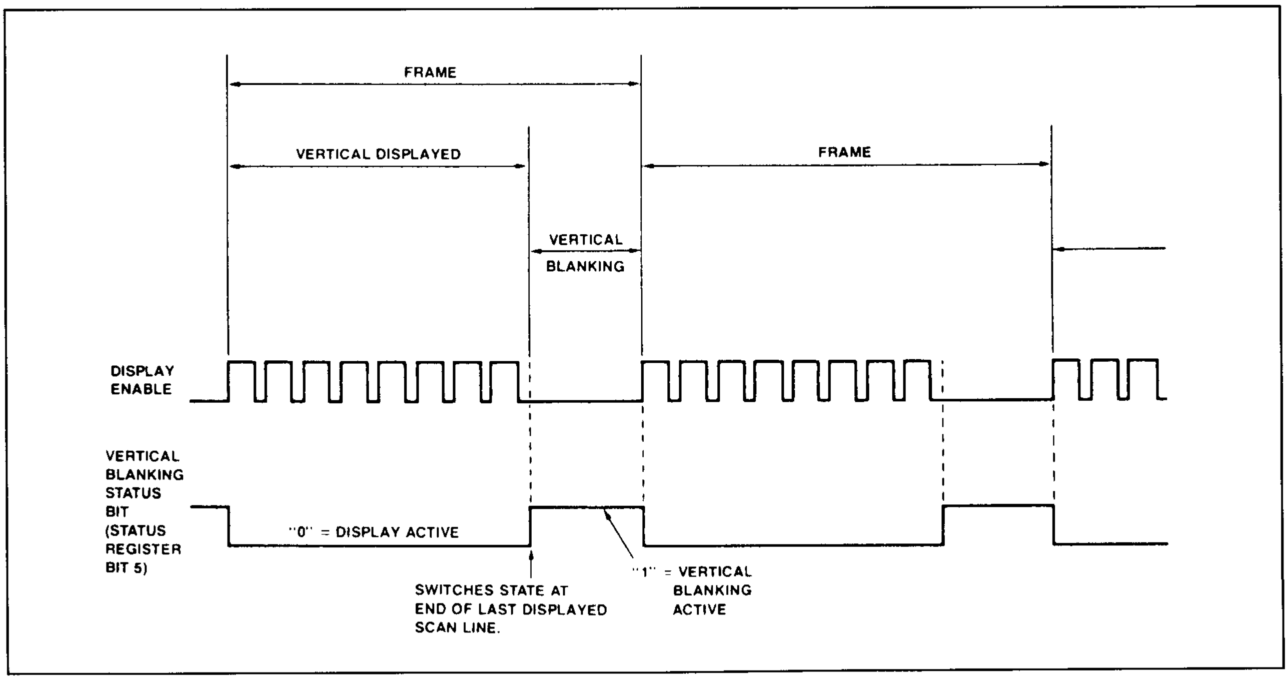
- **ϕ1 en ϕ2 Geheugen Interleaving**
  Bij deze methode hebben de 6545 en de CPU om en om toegang tot het video display-geheugen (time-sharing via de ϕ1 en ϕ2 systeemklokken). Gedurende het ϕ1-gedeelte van elke cyclus (wanneer ϕ2 LAAG is) worden de adressignalen van de 6545 naar het video display-geheugen geleid. In de ϕ2-tijd worden de CPU adreslijnen ingeschakeld. Op deze wijze hebben zowel de 6545 als de CPU ongehinderde toegang tot het geheugen, hetgeen in figuur 9/6.2-28 te zien is.
- **Vertikale blanking**
  Bij deze benadering zijn de adresschakelingen dezelfde als in het geval van CPU Prioriteit. Het enige verschil is dat het Vertikale Retrace Status-bit (bit 5 van het Statusregister) door de CPU wordt gebruikt om alleen toegang tot het video display-geheugen te verkrijgen gedurende de vertikale blanking-tijd (zie ook figuur 9/6.2-29 voor details).



Figuur 9/6.2-28: ϕ1 en ϕ2 interleaving.

- **Transparante Geheugen-adressering**
  In deze bedrijfsmode worden de video display geheugenadreslijn niet omgeschakeld door contentieschakelingen, maar worden zij door de 6545 opgewekt. In feite wordt de strijdigheid afgehandeld door de 6545.
  Als gevolg hiervan is de opzet voor het verkrijgen van toegang tot het geheugen door de CPU anders.

- **ϕ1 en ϕ2 Interleaving**
  Deze mode is gelijk aan de interleave mode die bij de gedeelde geheugen-methode wordt gebruikt. In dit geval wordt het

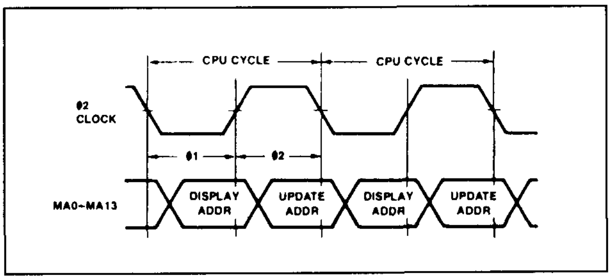


Figuur 9/6.2-29: ϕ1 en ϕ2 transparante interleaving.

6.2 Type-beschrijving 65-familie

ϕ2-adres echter gegenereerd uit het Update Adresregister (R18 en R19) in de 6545. De CPU moet dus eerst het te bereiken adres laden in R18/R19, waarna dit adres altijd tijdens ϕ2 op de MA-lijnen wordt gezet. De timing hiervan is te zien in figuur 9/6.2-30.

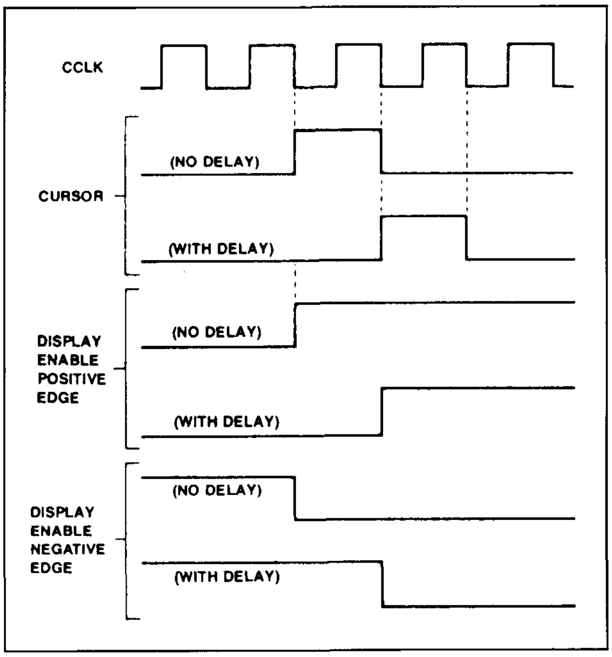
- **Horizontale/Vertikale Blanking**
  In deze mode laadt de CPU het Update-adres, maar dit wordt alleen op de MA-lijnen gezet gedurende horizontale of vertikale blanking tijden, zodat de toegang tot het geheugen geen invloed heeft op wat op het scherm te zien is. Om aan te geven wanneer het update-adres op de MA-lijnen staat, wordt een update strobe (STB) afgegeven als een alternatieve functie van pen 34. Om het karakter tijdelijk op te slaan tot de retrace-tijd optreedt, moeten latches worden gebruikt. De CPU behoeft dan niet op de blanking-tijd te wachten (zie figuur 9/6.2-31).



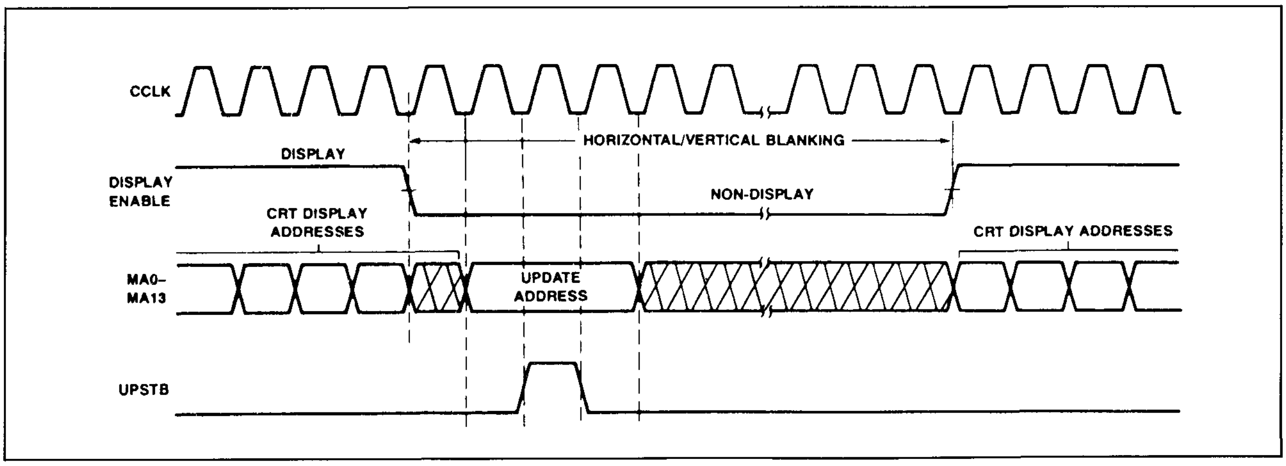
Figuur 9/6.2-30: Werking van het statusbit voor vertikale blanking.

Cursor en Display Enable Skew Control
De bits 4 en 5 van het Mode Control Register (R8) worden gebruikt om de Display Enable, respectievelijk de Cursor uitgangen te vertragen. In figuur 9/6.2-32 zijn de effecten van deze vertragingen te zien.

Overige elektrische en timing-kenmerken
Deze worden vermeld in de figuren 9/6.2-33 tot en met -37 en de tabellen 9/6.2-2 tot en met -7.

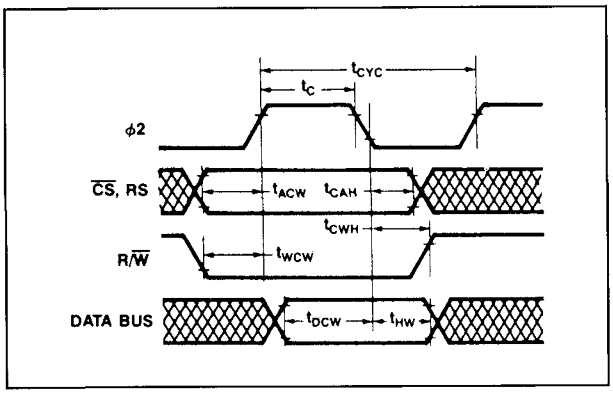


Figuur 9/6.2-32: Cursor en Display-enable skew.

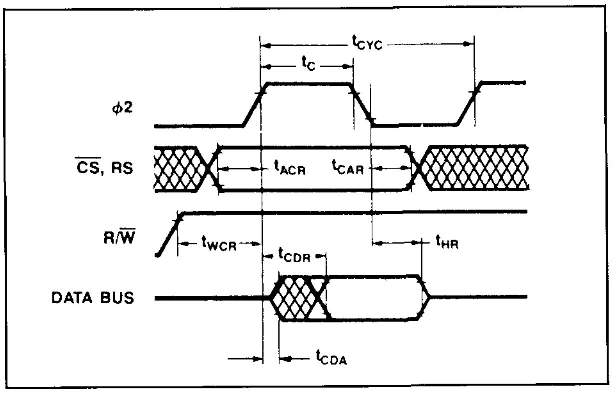


Figuur 9/6.2-31: Retrace-update timing.

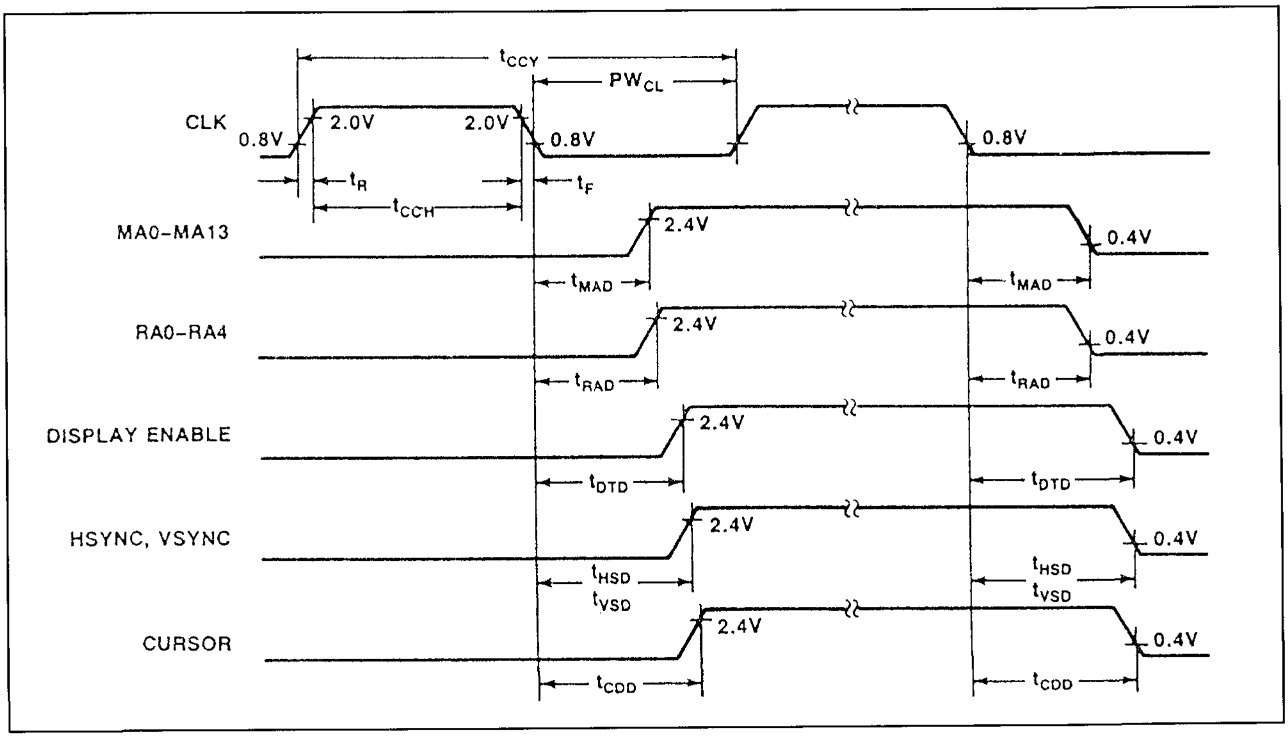
6.2 Type-beschrijving 65-familie



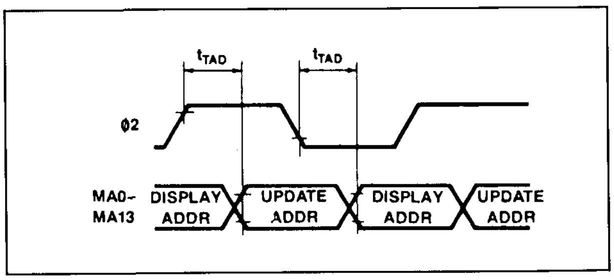
Figuur 9/6.2-33: Write-timing golfvormen (zie ook tabel 9/6.2-4).



Figuur 9/6.2-34: Real-timing golfvormen (zie ook tabel 9/6.2-5).

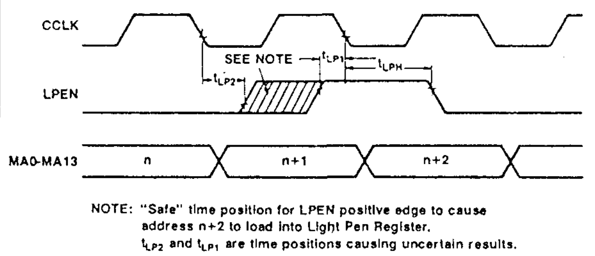


Figuur 9/6.2-35: Timing van geheugen en video interface signalen (zie ook tabel 9/6.2-6).



Figuur 9/6.2-36: Golfvormen bij transparante adressering ($\phi1/\phi2$ interleaving).

6.2 Type-beschrijving 65-familie



Figuur 9/6.2-37: Golfvormen voor lichtpen-strobe timing (zie ook tabel 9/6.2-7).

Parameter	Symbol	Value	Unit
Supply Voltage	V_{CC}	−0.3 to +7.0	Vdc
Input Voltage	V_{IN}	−0.3 to +7.0	Vdc
Operating Temperature Range Commercial Industrial	T_A	 0 to +70 −40 to +85	°C
Storage Temperature	T_{STG}	−55 to +150	°C

Tabel 9/6.2-2: Maximaal toegelaten waarden.

DC CHARACTERISTICS
(V_{CC} = 5.0V ±5%, T_A = T_L to T_H, unless otherwise noted)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Input High Voltage	V_{IH}	2.0		V_{CC}	Vdc
Input Low Voltage	V_{IL}	−0.3		0.8	Vdc
Input Leakage (Ø2, R/$\overline{W}$, $\overline{RES}$, $\overline{CS}$, RS, LPEN, CCLK)	I_{IN}	—		2.25	μAdc
Three-State Input Leakage (D0–D7) (V_{IN} = 0.4 to 2.4V)	I_{TSI}	—		±10.0	μAdc
Output High Voltage I_{LOAD} = 205 μAdc (D0–D7) I_{LOAD} = 100 μAdc (all others)	V_{OH}	2.4		—	Vdc
Output Low Voltage I_{LOAD} = 1.6 mAdc	V_{OL}	—		0.4	Vdc
Power Dissipation (V_{CC} = 5.25V)	P_D	—	260	525	mW
Input Capacitance Ø2, R/$\overline{W}$, $\overline{RES}$, $\overline{CS}$, RS, LPEN, CCLK D0–D7	C_{IN}	 — —		10.0 12.5	pF pF
Output Capacitance	C_{OUT}	—		10.0	pF

Tabel 9/6.2-3: Elektrische karakteristieken.

WRITE TIMING CHARACTERISTICS (V_{CC} = 5.0V ± 5%, T_A = T_L to T_H, unless otherwise noted)

Symbol	Characteristic	R6545		R6545A		Unit
		Min.	Max.	Min.	Max.	
t_{CYC}	Cycle Time	1.0	—	0.5	—	μs
t_C	Ø2 Pulse Width	440	—	200	—	ns
t_{ACW}	Address Set-Up Time	80	—	40	—	ns
t_{CAH}	Address Hold Time	0	—	0	—	ns
t_{WCW}	R/$\overline{W}$ Set-Up Time	80	—	40	—	ns
t_{CWH}	R/$\overline{W}$ Hold Time	0	—	0	—	ns
t_{DCW}	Data Bus Set-Up Time	165	—	60	—	ns
t_{HW}	Data Bus Hold Time	10	—	10	—	ns
(t_R and t_F = 10 to 30 ns)						

Tabel 9/6.2-4: Schakeltijden bij het schrijven naar de 6545.

6.2 Type-beschrijving 65-familie

READ TIMING CHARACTERISTICS (V_{CC} = 5.0V ± 5%, T_A = T_L to T_H, unless otherwise noted)

Symbol	Characteristic	R6545 Min.	R6545 Max.	R6545A Min.	R6545A Max.	Unit
t_{CYC}	Cycle Time	1.0	—	0.5	—	µs
t_C	ϕ2 Pulse Width	440	—	200	—	ns
t_{ACR}	Address Set-Up Time	80	—	40	—	ns
t_{CAR}	Address Hold Time	0	—	0	—	ns
t_{WCR}	R/$\overline{W}$ Set-Up Time	80	—	40	—	ns
t_{CDR}	Read Access Time (Valid Data)	—	290	—	150	ns
t_{HR}	Read Hold Time	10	—	10	—	ns
t_{CDA}	Data Bus Active Time (Invalid Data)	40	—	40	—	ns
(t_R and t_F = 10 to 30 ns)						

Tabel 9/6.2-5: Schakeltijden bij het uitlezen van de 6545.

MEMORY AND VIDEO INTERFACE CHARACTERISTICS
(V_{CC} = 5.0V ± 5%, T_A = T_L to T_H, unless otherwise noted)

Symbol	Parameter	Min.	Typ.	Max.	Unit
t_{CCH}	Minimum Clock Pulse Width, High	130			ns
t_{CCV}	Clock Frequency			3.7	MHz
t_R, t_F	Rise and Fall Time for Clock Input			20	ns
t_{MAD}	Memory Address Delay Time		100	160	ns
t_{RAD}	Raster Address Delay Time		100	160	ns
t_{DTD}	Display Timing Delay Time		160	300	ns
t_{HSD}	Horizontal Sync Delay Time		160	300	ns
t_{VSD}	Vertical Sync Delay Time		160	300	ns
t_{CDD}	Cursor Display Timing Delay Time		160	300	ns

Tabel 9/6.2-6: Schakeltijden bij geheugen en video interfacing.

LIGHT PEN STROBE TIMING CHARACTERISTICS

Symbol	Characteristic	R6545 Min.	R6545 Max.	R6545A Min.	R6545A Max.	Unit
t_{LPH}	LPEN Hold Time	100	—	100	—	ns
t_{LP1}	LPEN Setup Time	120	—	120	—	ns
t_{LP2}	CCLK to LPEN Delay	0	—	0	—	ns
Note: t_R, t_F = 20 ns (max)						

Tabel 9/6.2-7: Schakeltijden bij gebruik van een lichtpen.

6545-1
Inleiding

De 6545-1 is een CRT-Controller die, op kleine functionele details na, identiek is aan de 6545. De verschillen tussen de 6545-1 en de 6545 blijken bijvoorbeeld uit de overzichtstabel 9/6.1-1 en uit de tabellen 9/6.2-1 en 9/6.2-8 (register R8).

De toelichtingen op de werking, de interface signalen, de interne registers en de adres-

6.2 Type-beschrijving 65-familie

CS	RS	Address Reg. 4	3	2	1	0	Reg. No.	Register Name	Stored Info.	RD	WR	Register Bit 7	6	5	4	3	2	1	0
1	—	—	—	—	—	—	—												
0	0	—	—	—	—	—	—	Address Reg.	Reg. No.		√				A_4	A_3	A_2	A_1	A_0
0	0	—	—	—	—	—	—	Status Reg.		√		U	L	V					
0	1	0	0	0	0	0	R0	Horiz. Total	# Charac. -1		√	•	•	•	•	•	•	•	•
0	1	0	0	0	0	1	R1	Horiz. Displayed	# Charac.		√	•	•	•	•	•	•	•	•
0	1	0	0	0	1	0	R2	Horiz. Sync Position	# Charac.		√	•	•	•	•	•	•	•	•
0	1	0	0	0	1	1	R3	VSYNC, HSYNC Widths	# Scan Lines and # Char. Times		√	V_3	V_2	V_1	V_0	H_3	H_2	H_1	H_0
0	1	0	0	1	0	0	R4	Vert. Total	# Charac. Row -1		√		•	•	•	•	•	•	•
0	1	0	0	1	0	1	R5	Vert. Total Adjust	# Scan Lines		√				•	•	•	•	•
0	1	0	0	1	1	0	R6	Vert. Displayed	# Charac. Rows		√		•	•	•	•	•	•	•
0	1	0	0	1	1	1	R7	Vert. Sync Position	# Charac. Rows		√		•	•	•	•	•	•	•
0	1	0	1	0	0	0	R8	Mode Control			√	U_1	U_0	C	D	T	RC		0
0	1	0	1	0	0	1	R9	Scan Lines	# Scan Lines -1		√				•	•	•	•	•
0	1	0	1	0	1	0	R10	Cursor Start	Scan Line No.		√		B_1	B_0	•	•	•	•	•
0	1	0	1	0	1	1	R11	Cursor End	Scan Line No.		√				•	•	•	•	•
0	1	0	1	1	0	0	R12	Display Start Addr (H)			√			•	•	•	•	•	•
0	1	0	1	1	0	1	R13	Display Start Addr (L)			√	•	•	•	•	•	•	•	•
0	1	0	1	1	1	0	R14	Cursor Position (H)		√	√			•	•	•	•	•	•
0	1	0	1	1	1	1	R15	Cursor Position (L)		√	√	•	•	•	•	•	•	•	•
0	1	1	0	0	0	0	R16	Light Pen Reg (H)		√				•	•	•	•	•	•
0	1	1	0	0	0	1	R17	Light Pen Reg (L)		√		•	•	•	•	•	•	•	•
0	1	1	0	0	1	0	R18	Update Address Reg (H)			√			•	•	•	•	•	•
0	1	1	0	0	1	1	R19	Update Address Reg (L)			√	•	•	•	•	•	•	•	•
0	1	1	1	1	1	1	R31	Dummy Location											

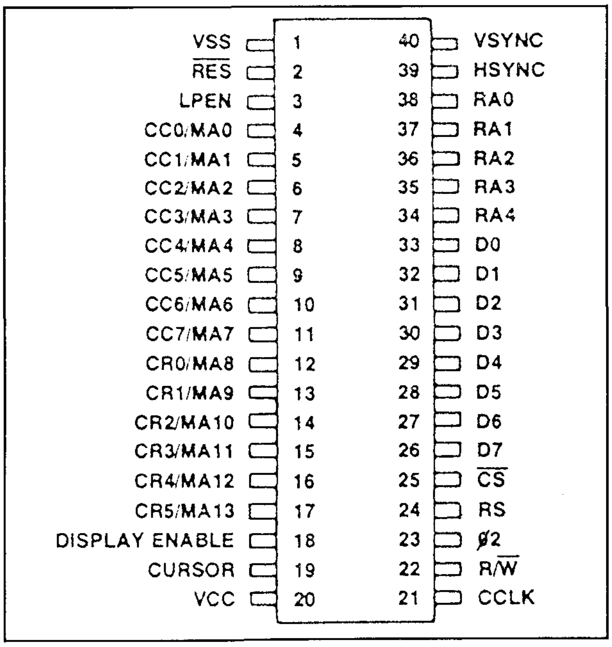
Notes: [•] Designates used bit in register
[▒] Designates unused bit in register. Reading this bit is always 0, except for R31, which does not drive the data bus at all, and for $\overline{CS}$ = 1 which operates likewise.

Tabel 9/6.2-8: Overzicht van de interne registers.

sering voor de 6545 zijn volledig van toepassing voor de 6545-1. Hieronder worden alleen de afwijkende gegevens vermeld.

Kenmerken van de 6545-1

- karakter clock maximaal 2,5 MHz;
- niet-vervlochten aftasting (non-interlaced scan);
- behuizing: 40-pens keramische of plastic DIL (zie figuur 9/6.2-38);
- snelheid: 6545-1: 1 MHz, 6545-1A: 2 MHz;
- pen-compatibel met 6545 en 6845;
- fabrikanten: Rockwell, Synertek.



Figuur 9/6.2-38: Aansluitgegevens van de 6545-1.

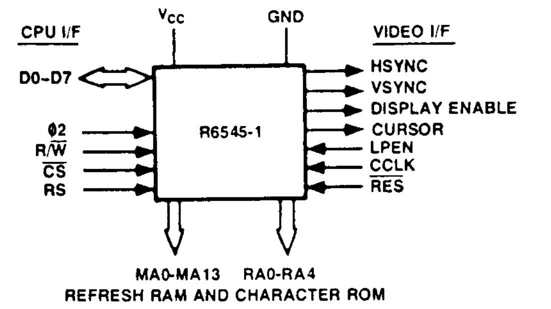
6.2 Type-beschrijving 65-familie

CPU Interface, Video Interface, Refresh RAM en karakter ROM Interface

Zie figuur 9/6.2-39 en beschrijvingen bij 6545.

Interne Registers

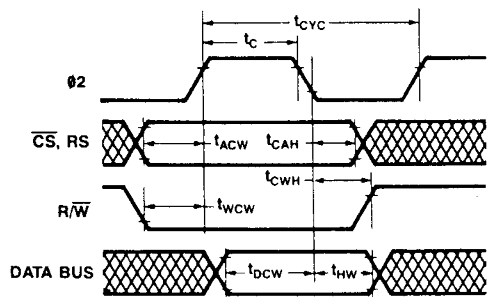
Alle identiek aan die van 6545, behalve register **R8**, dat **geen interlace mode control** heeft (zie tabel 9/6.2-8):
MC1 wordt niet gebruikt;
MC2 moet altijd 0 zijn.



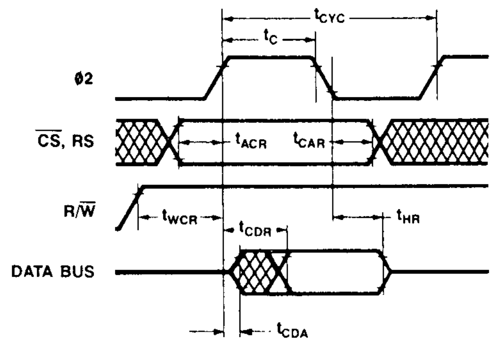
Figuur 9/6.2-39: Interface signalen bij de 6545-1.

Overige elektrische- en timing kenmerken

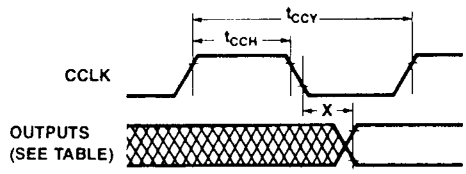
De overige (van de 6545 afwijkende) kenmerken zijn opgenomen in de figuren 9/6.2-40 tot en met 44 en de tabellen 9/6.2-9 tot en met 14.



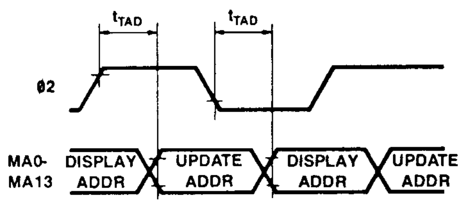
Figuur 9/6.2-40: Write-timing golfvormen (zie ook tabel 9/6.2-11).



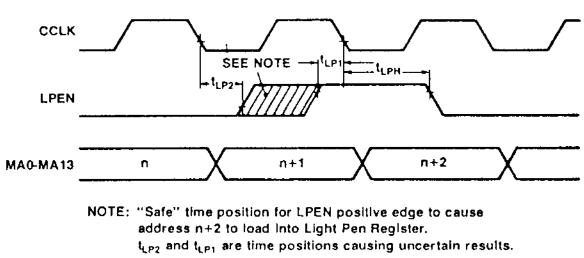
Figuur 9/6.2-41: Read-timing golfvormen (zie ook tabel 9/6.2-12).



Figuur 9/6.2-42: Golfvormen bij de systeem-timing (tabel 9/6.2-13).



Figuur 9/6.2-43: Golfvormen bij transparante adressering (ϕ1/ϕ2 interleaving).



Figuur 9/6.2-44: Golfvormen voor de lichtpen-strobe timing (zie tabel 9/6.2-14).

6.2 Type-beschrijving 65-familie

ABSOLUTE MAXIMUM RATINGS*

Parameter	Symbol	Value	Unit
Supply Voltage	V_{CC}	−0.3 to +7.0	Vdc
Input Voltage	V_{IN}	−0.3 to +7.0	Vdc
Operating Temperature Range Commercial Industrial	T_A	 0 to +70 −40 to +85	°C
Storage Temperature	T_{STG}	−55 to +150	°C

Tabel 9/6.2-9: Maximaal toegelaten waarden.

DC CHARACTERISTICS
(V_{CC} = 5.0V ±5%, T_A = T_L to T_H, unless otherwise noted)

Parameter	Symbol	Min.	Max.	Unit
Input High Voltage	V_{IH}	2.4	V_{CC}	Vdc
Input Low Voltage	V_{IL}	−0.3	0.4	Vdc
Input Leakage (Ø2, R/$\overline{W}$, $\overline{RES}$, $\overline{CS}$, RS, LPEN, CCLK)	I_{IN}	—	2.25	μAdc
Three-State Input Leakage (D0–D7) (V_{IN} = 0.4 to 2.4V)	I_{TSI}	—	±10.0	μAdc
Output High Voltage I_{LOAD} = 205 μAdc (D0–D7) I_{LOAD} = 100 μAdc (all others)	V_{OH}	2.4	—	Vdc
Output Low Voltage I_{LOAD} = 1.6 mAdc	V_{OL}	—	0.4	Vdc
Power Dissipation	P_D	—	900	mW
Input Capacitance Ø2, R/$\overline{W}$, $\overline{RES}$, $\overline{CS}$, RS, LPEN, CCLK D0–D7	C_{IN}	 — —	10.0 12.5	pF pF
Output Capacitance	C_{OUT}	—	10.0	pF

Tabel 9/6.2-10: Elektrische kenmerken.

WRITE TIMING CHARACTERISTICS (V_{CC} = 5.0V ± 5%, T_A = T_L to T_H, unless otherwise noted)

Symbol	Characteristic	R6545-1		R6545A-1		
		Min.	Max.	Min.	Max.	Unit
t_{CYC}	Cycle Time	1.0	—	0.5	—	μs
t_C	Ø2 Pulse Width	440	—	200	—	ns
t_{ACW}	Address Set-Up Time	180	—	90	—	ns
t_{CAH}	Address Hold Time	0	—	0	—	ns
t_{WCW}	R/$\overline{W}$ Set-Up Time	180	—	90	—	ns
t_{CWH}	R/$\overline{W}$ Hold Time	0	—	0	—	ns
t_{DCW}	Data Bus Set-Up Time	265	—	100	—	ns
t_{HW}	Data Bus Hold Time	10	—	10	—	ns
(t_R and t_F = 10 to 30 ns)						

Tabel 9/6.2-11: Schakeltijden bij het schrijven naar de 6545-1.

6.2 Type-beschrijving 65-familie

READ TIMING CHARACTERISTICS (V_{CC} = 5.0V ± 5%, T_A = T_L to T_H, unless otherwise noted)

Symbol	Characteristic	R6545-1		R6545A-1		Unit
		Min.	Max.	Min.	Max.	
t_{CYC}	Cycle Time	1.0	—	0.5	—	μs
t_C	Ø2 Pulse Width	440	—	200	—	ns
t_{ACR}	Address Set-Up Time	180	—	90	—	ns
t_{CAR}	Address Hold Time	0	—	0	—	ns
t_{WCR}	R/$\overline{W}$ Set-Up Time	180	—	90	—	ns
t_{CDR}	Read Access Time (Valid Data)	—	340	—	150	ns
t_{HR}	Read Hold Time	10	—	10	—	ns
t_{CDA}	Data Bus Active Time (Invalid Data)	40	—	40	—	ns
(t_R and t_F = 10 to 30 ns)						

Tabel 9/6.2-12: Schakeltijden bij het uitlezen van de 6545-1.

MEMORY AND VIDEO INTERFACE CHARACTERISTICS
(V_{CC} = 5.0V ± 5%, T_A = T_L to T_H, unless otherwise noted)

Symbol	Characteristic	R6545-1		R6545A-1		Unit
		Min.	Max.	Min.	Max.	
t_{CCY}	Character Clock Cycle Time	0.40	—	0.40	—	μs
t_{CCH}	Character Clock Pulse Width	200	—	200	—	ns
(X)t_{MAD}	MA0–MA13 Propagation Delay	—	300	—	300	ns
(X)t_{RAD}	RA0–RA4 Propagation Delay	—	300	—	300	ns
(X)t_{DTD}	DISPLAY ENABLE Propagation Delay	—	450	—	450	ns
(X)t_{HSD}	HSYNC Propagation Delay	—	450	—	450	ns
(X)t_{VSD}	VSYNC Propagation Delay	—	450	—	450	ns
(X)t_{CDD}	CURSOR Propagation Delay	—	450	—	450	ns
t_{TAD}	MA0–MA13 Switching Delay	—	200	—	200	ns
Note: t_R, t_F = 20 ns (max).						

Tabel 9/6.2-13: Schakeltijden bij geheugen- en video interfacing.

LIGHT PEN STROBE TIMING CHARACTERISTICS

Symbol	Characteristic	R6545-1		R6545A-1		Unit
		Min.	Max.	Min.	Max.	
t_{LPH}	LPEN Hold Time	150	—	150	—	ns
t_{LP1}	LPEN Setup Time	20	—	20	—	ns
t_{LP2}	CCLK to LPEN Delay	0	—	0	—	ns
Note: t_R, t_F = 20 ns (max)						

Tabel 9/6.14: Schakeltijden bij gebruik van een lichtpen.

6.2 Type-beschrijving 65-familie

9/6.3

Type-beschrijving 68-familie

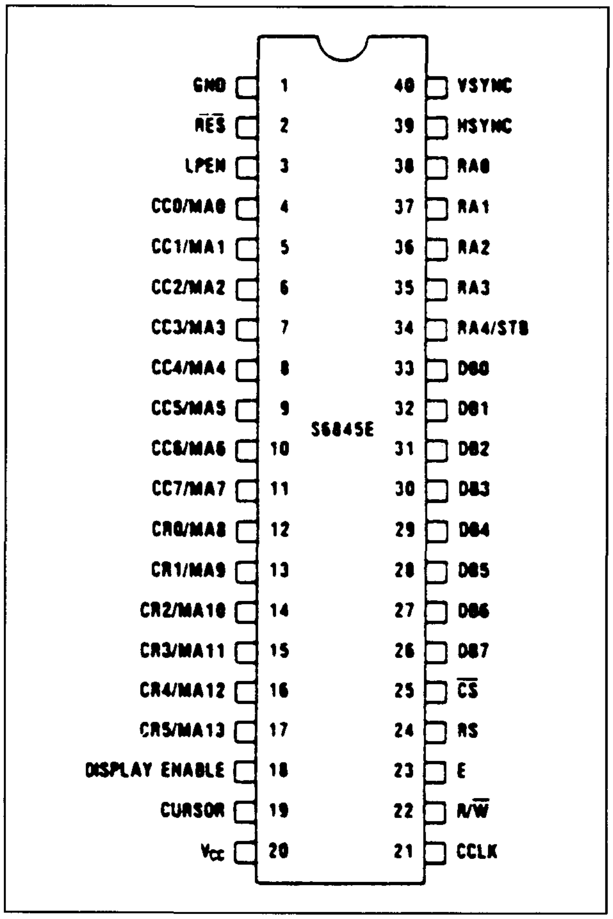
6845

CRT Controller (CRTC)

De 6845 is een LSI-controller die werd ontworpen om raster scan CRT (kathodestraalbuis-) displays en (tv-) monitoren op microcomputers te kunnen aansluiten. Deze CRTC behoort tot de 6800-familie en is met de data- en controllijnen hiervan dan ook volledig compatibel. Dit IC verzorgt de Video Timing en de Refresh Geheugenadressering.

Kenmerken van de 6845

- programmeerbaar: aantal zichtbare karakters op het beeldscherm, vertikaal dotformaat van één karakter, horizontaal- en vertikaal synchronisatiesignaal en display timing signaal;
- 3,7 MHz display-timing;
- enkele +5 V ± 5% voeding;
- geschikt voor alfanumerieke, semi-grafische en volledig grafische afbeelding;
- kan maximaal 16k karakter Video Display RAM adresseren;
- refresh RAM adresseerbaar als rij/kolom of zuiver binair;
- compatibel met 8- of 16-bit microprocessoren;
- werkt op 50 of 60 Hz;
- vervlochten (interlaced) of niet-vervlochten aftasting;
- volledig programmeerbare cursor;
- ingebouwde lichtpen-detectie functie;
- intern statusregister;
- refresh zonder lijnbuffers;
- geen externe DMA nodig;
- TTL compatibel;



Figuur 9/6.3-1: Aansluitingen van de 6845.

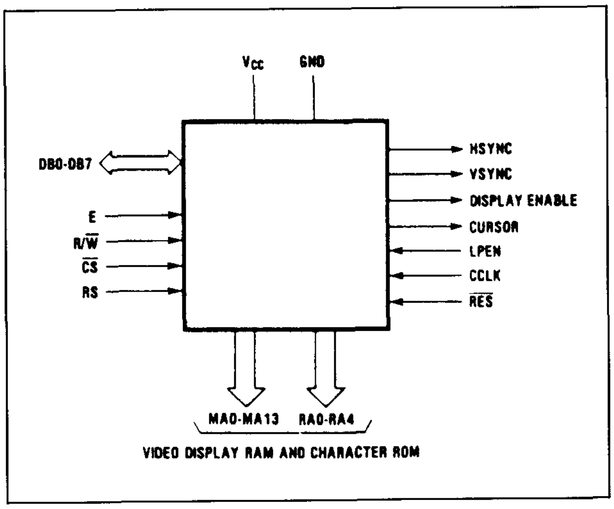
- behuizing: 40-pens keramische of plastic DIL (zie figuur 9/6.3-1);
- scrollen per pagina, regel of karakter;
- snelheid: 6845: 1 MHz, 68A45: 1,5 MHz, 68B45: 2 MHz;
- fabrikanten: Motorola, Hitachi, AMI, Synertek.

6.3 Type-beschrijving 68-familie

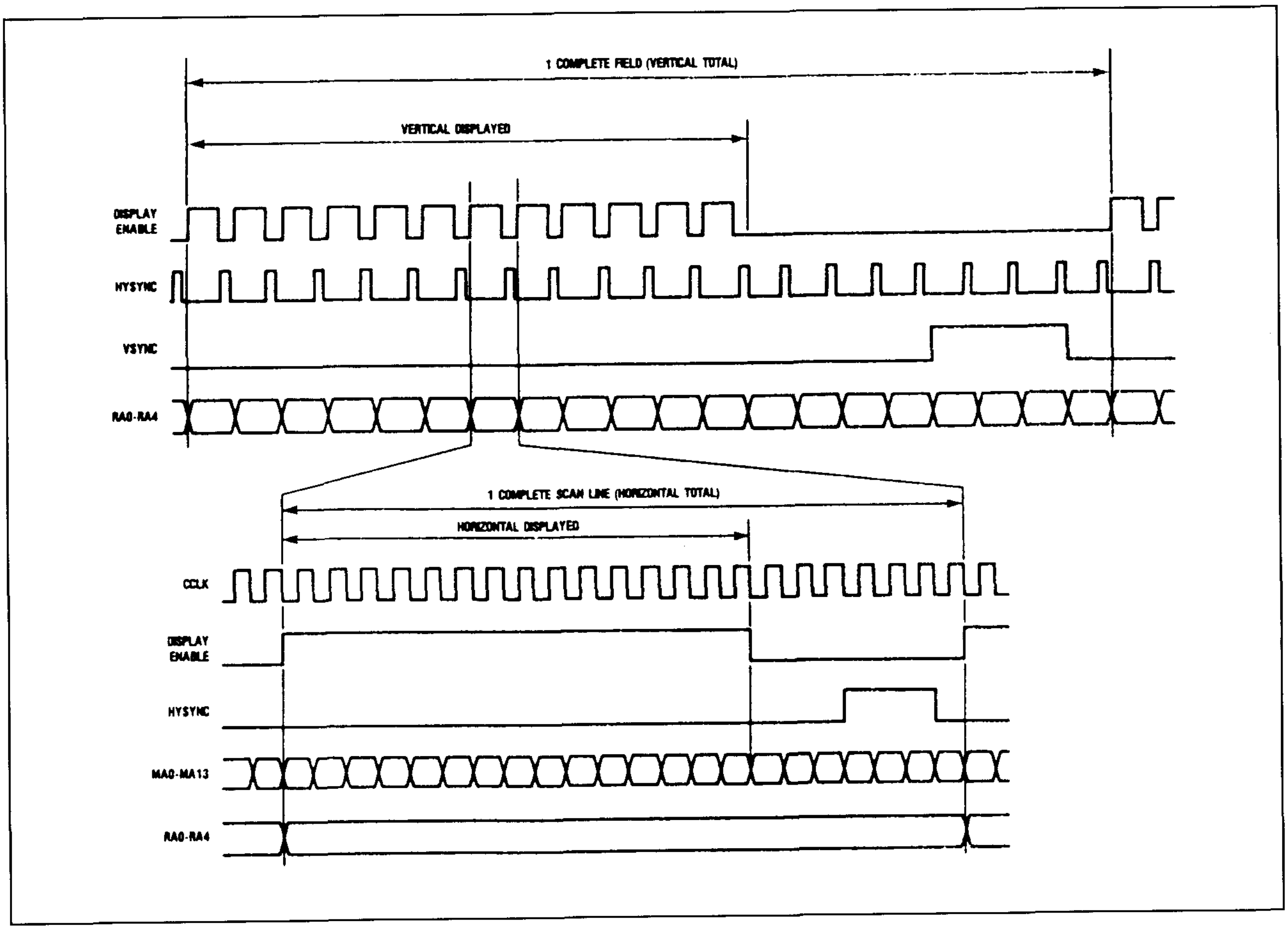
In figuur 9/6.3-2 zijn de interface signalen tussen CPU en CRTC (links) en CRTC en monitor (rechts) te zien, terwijl figuur 9/6.3-3 de inwendige opbouw van de 6845 met alle registers en timing schakelingen toont. De CRTC verzorgt 13 interface-signalen naar de microprocessor (CPU) en 25 interface-signalen naar de CRT-display. De timing van de vertikale- en horizontale video-signalen is te zien in figuur 9/6.3-4.

CPU Interface

- Bidirectionele Databus (D0 tot en met D7)
  De bidirectionele datalijnen D0 tot en met D7 worden gebruikt voor het informatie-transport van CRTC naar CPU en omgekeerd. De databus uitgangen zijn 3-state buffers en blijven altijd in de hoog-

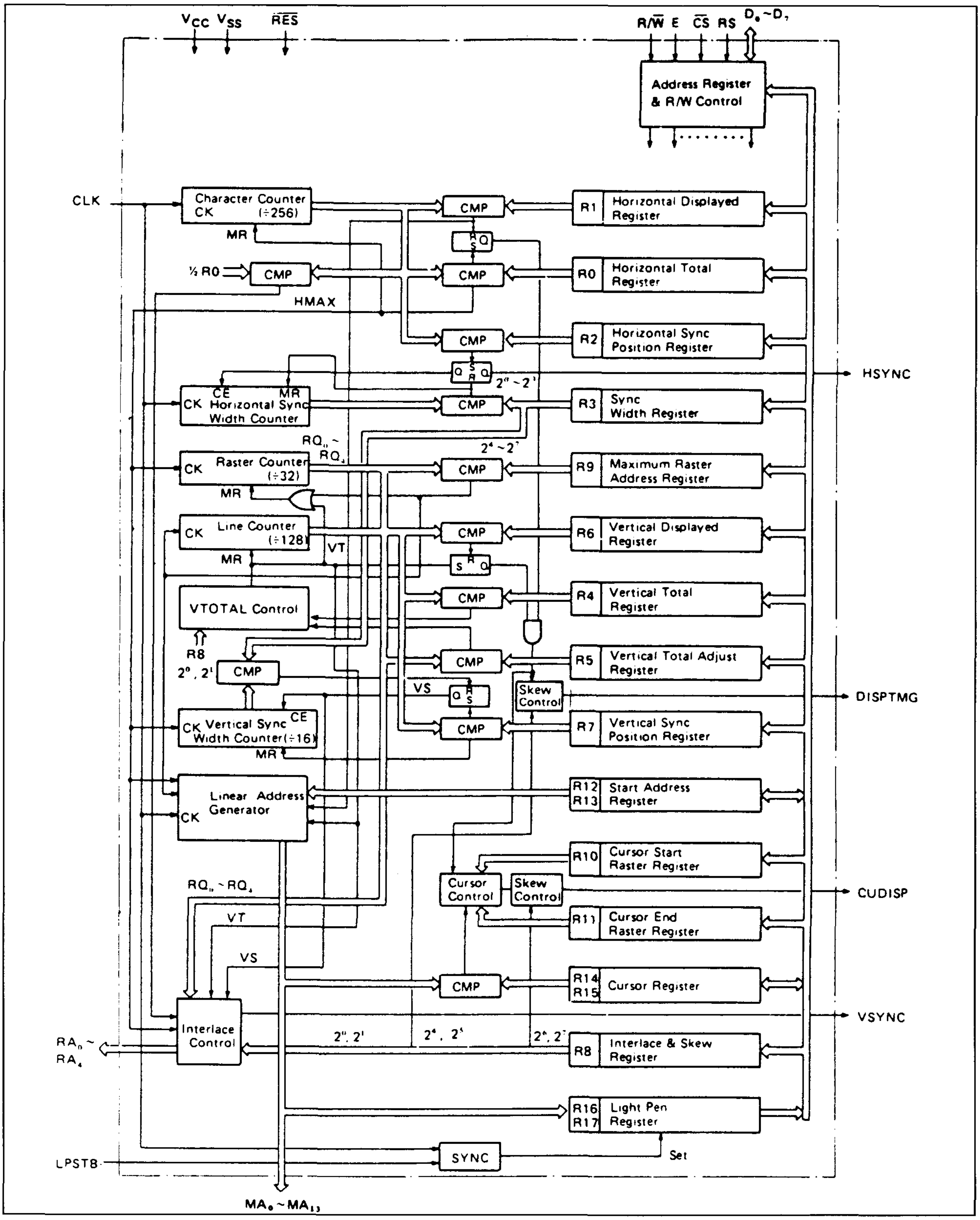


Figuur 9/6.3-2: Interface-signalen van en naar de 6845.



Figuur 9/6.3-4: Vertikale en horizontale timing.

6.3 Type-beschrijving 68-familie



Figuur 9/6.3-3: Blokschema van de opbouw van de 6845.

6.3 Type-beschrijving 68-familie

impedante toestand behalve wanneer de CPU een CRTC lees-operatie uitvoert.

- Read/Write (R/$\overline{W}$)
  Het R/W-signaal bepaalt de richting van de data-overdracht tussen CPU en CRTC. Wanneer R/$\overline{W}$ = HOOG is, wordt data overgebracht van CRTC naar CPU. Is R/$\overline{W}$ = LAAG dan 'schrijft' de CPU data in de CRTC.
- Chip Select ($\overline{CS}$)
  Het Chip Select-signaal $\overline{CS}$ wordt gebruikt om de CRTC te adresseren. Wanneer $\overline{CS}$ = LAAG is, kunnen lees/schrijfhandelingen met de interne registers van de CRTC plaatsvinden. Gewoonlijk wordt dit signaal afgeleid van een gedecodeerde adres (afkomstig van de CPU) op voorwaarde dat het VMA-signaal van de CPU HOOG is.
- Register Select (RS)
  Het Register Select-signaal RS wordt gebruikt om het adresregister en 18 controlregisters van de CRTC te selecteren. Wanneer RS = LAAG is, is het adresregister geselecteerd, terwijl met RS = HOOG de controlregisters worden geselecteerd. Dit signaal is normaal een afgeleide van het laagste bit (A0) op de CPU-adresbus.
- Enable (E)
  Het Enable-signaal E wordt gebruikt als strobe-signaal bij R/$\overline{W}$-handelingen van de CPU met de interne registers van de CRTC. Dit signaal is meestal afgeleid van de ϕ2-clock van het 6800-systeem.
- Reset ($\overline{RES}$)
  Het Reset-signaal $\overline{RES}$ is een ingangssignaal dat wordt gebruikt om de CRTC te resetten. Wanneer $\overline{RES}$ = LAAG is, wordt de CRTC in de volgende toestand gebracht:
  - alle tellers in de CRTC worden op nul gezet en de display-werking wordt gestopt;
  - alle uitgangen krijgen een LAAG niveau;
  - de controlregisters in de CRTC worden niet beïnvloed en blijven onveranderd.

  Dit signaal is anders dan de reset-signalen van andere LSI-schakelingen uit de 6800-familie. Bij gebruik gelden de volgende beperkingen:
  - met het $\overline{RES}$-signaal kan alleen worden gereset als LPSTB = LAAG is;
  - de CRTC begint direct na het HOOG worden van $\overline{RES}$ weer met de display-werking.

Interface signalen naar CRT-displays

- Karakter clock (CLK)
  CLK is een standaard klok-ingangssignaal waarmee de karakter-timing voor de CRT-display wordt bepaald. Dit signaal wordt meestal afgeleid van de externe snelle logika voor de punt-timing.
- Horizontale Synchronisatie (HSYNC)
  HSYNC is een aktief-HOOG signaal dat de horizontale synchronisatie voor het beeldscherm verzorgt.
- Vertikale Synchronisatie (VSYNC)
  Met het aktief-HOGE VSYNC-signaal wordt de vertikale synchronisatie voor het beeldscherm geregeld.
- Display Timing (DISPTMG)
  DISPTMG is een aktief-HOOG signaal dat de display-periode bij horizontale en vertikale raster scanning bepaalt. Het is noodzakelijk het video-signaal alleen vrij te geven (enable) als DISPTMG = HOOG is.
- Refresh Memory Address (MA_0 tot en met MA_{13})
  De refresh geheugenadres-signalen MA_0 tot en met MA_{13} worden gebruikt om verversing van de geheugeninhoud mogelijk te maken zodat het CRT-beeldscherm periodiek ververst kan worden. Met deze uitgangen kunnen maximaal 16k geheugenwoorden voor verversing worden aangewezen. Er wordt dus bijvoorbeeld een gebied bestreken van 2000 karakters/scherm in een 8 pagina-systeem.
- Raster Address (RA_0 tot en met RA_4)
  Met de raster adres-signalen RA_0 tot en met RA_4 wordt het raster van de karaktergenerator (of grafische patroongenerator) geselecteerd.
- Cursor Display (CUDISP)
  CUDISP is een aktief-HOOG video-

signaal dat wordt gebruikt om de cursor op het CRT-scherm af te beelden. Deze uitgang wordt gesperd wanneer DISPTMG = LAAG is. Gewoonlijk wordt dit signaal gemengd met het videosignaal en naar de CRT-display gebracht.

- Lichtpen Strobe (LPSTB)
  LPSTB is een aktief-HOOG ingangssignaal dat strobepulsen accepteert die worden gedetecteerd door de lichtpen en de bijbehorende schakeling. Wanneer dit signaal wordt geaktiveerd, wordt het refresh geheugenadres (MA_0 tot en met MA_{13}) opgeslagen in het 14-bit lichtpenregister. Het opgeslagen refresh geheugenadres moet in software worden gecorrigeerd, waarbij rekening moet worden gehouden met de vertragingstijden van de display, de lichtpen en de besturingsschakeling van de lichtpen.

Beschrijving van de registers

In tabel 9/6.3-1 is een overzicht van de interne registers van de CRTC en hun mogelijke invulling te zien.

$\overline{CS}$	RS	Address Register 4 3 2 1 0	Register #	Register Name	Program Unit	READ	WRITE	Data Bit 7	6	5	4	3	2	1	0
1	x	x x x x x			–	–	–								
0	0	x x x x x	AR	Address Register	–	x	o								
0	1	0 0 0 0 0	R0	Horizontal Total *	Character	x	o								
0	1	0 0 0 0 1	R1	Horizontal Displayed	Character	x	o								
0	1	0 0 0 1 0	R2	Horizontal Sync* Position	Character	x	o								
0	1	0 0 0 1 1	R3	Sync Width	Vertical-Raster, Horizontal-Character	x	o	wv3	wv2	wv1	wv0	wh3	wh2	wh1	wh0
0	1	0 0 1 0 0	R4	Vertical Total *	Line	x	o								
0	1	0 0 1 0 1	R5	Vertical Total Adjust	Raster	x	o								
0	1	0 0 1 1 0	R6	Vertical Displayed	Line	x	o								
0	1	0 0 1 1 1	R7	Vertical Sync * Position	Line	x	o								
0	1	0 1 0 0 0	R8	Interlace & Skew	–	x	o	C1	C0	D1	D0			V	S
0	1	0 1 0 0 1	R9	Maximum Raster Address	Raster	x	o								
0	1	0 1 0 1 0	R10	Cursor Start Raster	Raster	x	o		B	P					
0	1	0 1 0 1 1	R11	Cursor End Raster	Raster	x	o								
0	1	0 1 1 0 0	R12	Start Address(H)	–	o	o								
0	1	0 1 1 0 1	R13	Start Address(L)	–	o	o								
0	1	0 1 1 1 0	R14	Cursor(H)	–	o	o								
0	1	0 1 1 1 1	R15	Cursor (L)	–	o	o								
0	1	1 0 0 0 0	R16	Light Pen(H)	–	o	x								
0	1	1 0 0 0 1	R17	Light Pen(L)	–	o	x								

Tabel 9/6.3-1: De interne registers van de 6845 (O = ja, X = nee, cursief = niet bereikbaar).

6.3 Type-beschrijving 68-familie

- Adres Register (AR)
  Dit is een 5-bit register waarmee uit 18 interne besturingsregisters (R0 tot en met R17) kan worden gekozen. Om toegang te krijgen tot een van de 18 registers is het ten eerste nodig het overeenkomstige adres in het adresregister te schrijven. Programmeren met data tussen 18 en 31 heeft geen resultaat. Het adresregister wordt geselecteerd als RS = LAAG en $\overline{CS}$ = LAAG.

- Horizontaal Totaal Register (R0)
  Met behulp van dit register wordt het totale aantal horizontale karakters per regel, inclusief de retrace periode geprogrammeerd. De waarde van de 8-bits data dient overeen te komen met de gebruikte CRT. Wanneer M het totale aantal karakters is, moet (M-1) in dit register worden geprogrammeerd. Bij programmering voor de interlace mode, moet M even zijn.
- Register voor Horizontale Zichtbare Karakters (R1)
  Dit is een register dat wordt gebruikt om het aantal zichtbare karakters per regel te programmeren. De 8-bits data kan elke waarde hebben die kleiner is dan het totale aantal horizontale karakters.
- Horizontaal Synchronisatie-positie Register (R2)
  In dit register wordt de horizontale synchronisatiepositie geprogrammeerd in veelvouden van de karakterklokperiode. De 8-bits data kan op elke waarde worden geprogrammeerd, mits die kleiner is dan het totale aantal horizontale karakters. Wanneer H het karakternummer van de horizontale synchronisatie-positie is, moet (H-1) in dit register worden gezet.
  Wordt de waarde die dit register bevat verlaagd, dan zal de positie van het beeld op het beeldscherm naar links verschuiven. Door verhoging van de waarde schuift de positie naar rechts.
- Synchronisatie-breedte Register (R3)
  Dit register wordt gebruikt om zowel de horizontale als de vertikale synchronisatiepulsbreedte te programmeren (zie tabel 9/6.3-2). De breedte van de horizontale synchronisatiepuls wordt, uitgedrukt in karakter-klokperioden, in de laagste 4 bit opgenomen. Er mag geen '0' worden geprogrammeerd.

Pulse Width of Vertical Sync Signal

VSW				Pulse Width
2^7	2^6	2^5	2^4	
0	0	0	0	16H
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

H; Raster period

Pulse Width of Horizontal Sync Signal

HSW				Pulse Width
2^3	2^2	2^1	2^0	
0	0	0	0	– (Note)
0	0	0	1	1 CH
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

CH; Character clock period
(Note) HSW = "0" cannot be used.

Tabel 9/6.3-2: Boven: pulsbreedte van het vertikale synchronisatie-signaal.
Onder: pulsbreedte van het horizontale synchronisatie-signaal.

De breedte van de vertikale synchronisatiepuls wordt, als veelvouden van de rasterperiode, in de hoogste 4 bit geprogrammeerd. Wordt hier een '0' geprogrammeerd, dan bedraagt de pulsbreedte 16 rasterperioden (16H).

- Vertikaal Totaal Register (R4)
  Met behulp van dit register wordt het totale aantal regels per frame, inclusief de retrace periode, geprogrammeerd. De data is maximaal 7 bit en dient in overeenstemming met de gebruikte CRT te zijn. Wanneer N het totale aantal regels is, moet (N-1) in dit register worden opgenomen.
- Vertikaal Totaal Instelregister (R5)
  Dit register wordt gebruikt om het optimale aantal regels te programmeren, dat dient om het totale aantal rasters per veld in te stellen. Met dit register kan de precieze vertikale afbuigfrequentie gemakkelijker worden gekozen.
- Register voor Vertikale Zichtbare Karakters (R6)
  In dit register wordt het aantal zichtbare karakterrijen op het beeldscherm geprogrammeerd. De 7 bit data kan elke waarde hebben die lager is dan het totale aantal vertikale karakters.
- Vertikaal Synchronisatie-positie Register (R7)
  Dit register dient om de vertikale synchronisatie-positie op het beeldscherm te programmeren (in veelvouden van de horizontale karakter regelperiode). De 7 bit data kan elke waarde hebben die gelijk is aan of kleiner is dan het totale aantal vertikale karakters. Wanneer V het karakternummer van de vertikale synchronisatiepositie is, moet (V-1) in dit register worden geschreven. Wordt de waarde in dit register verhoogd, dan verschuift de afbeelding naar boven. Wordt de geprogrammeerde waarde verlaagd, dan zakt de afbeelding op het scherm.

Interlace Mode (2^1, 2^0)		
V	S	Raster Scan Mode
0	0	Non-interlace Mode
1	0	Non-interlace Mode
0	1	Interlace Sync Mode
1	1	Interlace Sync & Video Mode

Tabel 9/6.3-3: Programmering van de interlace mode in de laagste 2 bits van R8.

- Interlace en Skew Register (R8)
  Dit register wordt gebruikt om de rasteraftastmode en skew (vertraging) van het CUDISP-signaal en het DISPTMG-signaal te programmeren.
- Interlace Program Bits (V, S)
  De raster-aftast (scan) mode wordt geprogrammeerd met de V en S bits (zie tabel 9/6.3-3).
  In de niet-vervlochten (Non-interlace) Mode worden de rasters van de even en oneven genummerde velden in duplo afgetast. In de Interlace Sync Mode worden de rasters van het oneven veld midden in het even veld afgetast. Hierbij wordt hetzelfde karakterpatroon in twee velden afgebeeld. In de Interlace Sync & Video Mode is de aftastmethode van de rasters dezelfde als bij de Interlace Sync Mode, maar worden nu verschillende karakterpatronen in twee velden afgebeeld.
- Skew Program Bits (C1, C0, D1, D0)
  Deze worden gebruikt om de vertraging (skew) van het CUDISP-signaal en het DIDPTMG-signaal te programmeren. Zoals in tabel 9/6.3-4 te zien is, wordt de vertraging van deze signalen apart geprogrammeerd.
  De skew-functie vertraagt de CUDISP- en DISPTMG-signalen zodanig dat in deze tijd het refresh-geheugen, de karaktergenerator of de patroongenerator kunnen worden bereikt en om dezelfde fase te maken als het seriële video-signaal.
- Maximum Raster Adres Register (R9)
  Dit 5-bit register wordt gebruikt om het maximale rasteradres te programmeren. Hiermee wordt het totale aantal rasters per karakter (ook spatie) bepaald. Het programmeren gaat als volgt (zie ook tabel 9/6.3-5).

6.3 Type-beschrijving 68-familie

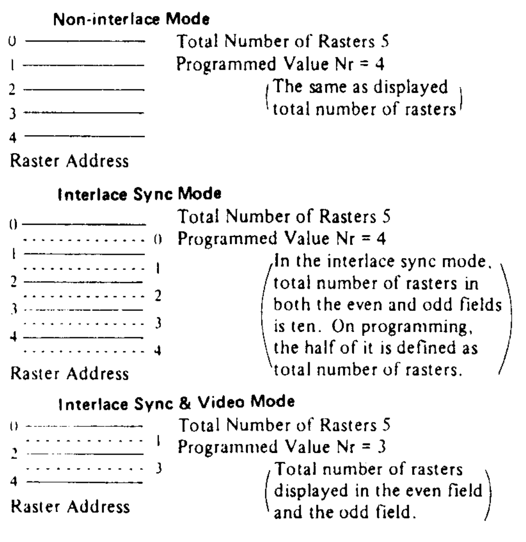
DISPTMG Skew Bit (2^5, 2^4)

D1	D0	DISPTMG Signal
0	0	Non-skew
0	1	One-character skew
1	0	Two-character skew
1	1	Non-output

Cursor Skew Bit (2^7, 2^6)

C1	C0	Non-skew
0	0	Non-skew
0	1	One-character skew
1	0	Two-character skew
1	1	Non-output

Tabel 9/6.3-4: Vertraging (skew) van DISPTMG en Cursor (respectievelijk in bits 4/5 en 6/7 van R8).



Tabel 9/6.3-5: Bepaling van het totale aantal rasters in de non-interlace mode, de interlace sync mode en de interlace & video mode (hoort bij R9).

- Non-interlace Mode, Interlace Sync Mode
  Wanneer het RN totale aantal rasters is, moet (RN-1) worden geprogrammeerd.
- Interlace Sync & Video Mode
  Is RN het aantal rasters, dan moet (RN-2) worden geprogrammeerd.

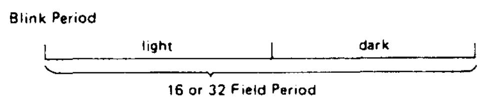
- Cursor Start/End Raster Register (R10 en R11)
  In het Cursor Start Raster Register R10 dienen de laagste 5 bits (2^0 tot en met 2^4) voor het programmeren van het rasteradres waar de cursor begint en de hoogste 2 bits (2^5 en 2^6) voor de cursor display mode, zoals te zien is in tabel 9/6.3-6.
  In het Cursor End Raster Register R11 wordt het rasteradres waar de cursor eindigt geprogrammeerd.
- Start Adres Registers (R12 en R13)
  Deze registers (samen 14 bits) worden gebruikt voor de opslag van het eerste adres van het refresh-geheugen dat moet worden uitgelezen. Met behulp van deze registers kan pagineren en scrollen gemakkelijk worden uitgevoerd.
- Cursor Registers (R14 en R15)
  In deze registers (totaal 14 bits) wordt de plaats van de cursor opgeslagen.
- Lichtpen Registers (R16 en R17)
  Deze registers (14 bit totaal) kunnen alleen worden uitgelezen en dienen voor opslag van het door de lichtpen gedetecteerde adres. Door optredende vertragingen moet de waarde van dit adres met behulp van software worden gecorrigeerd.

Tijdschema van CRT Interface-signalen

In het volgende voorbeeld wordt de displaywerking duidelijk gemaakt. Hierbij worden waarden uit tabel 9/6.3-7 in de interne re-

Cursor Display Mode (2^6, 2^5)

B	P	Cursor Display Mode
0	0	Non-blink
0	1	Cursor Non-display
1	0	Blink, 16 Field Period
1	1	Blink, 32 Field Period



Tabel 9/6.3-6: Programmering van de cursor met de bits 5 en 6 van R10 (P en B).

6.3 Type-beschrijving 68-familie

Programmed Values into the Registers

Register	Register Name	Value	Register	Register Name	Value
R0	Horizontal Total	Nht	R9	Max. Raster Address	Nr
R1	Horizontal Displayed	Nhd	R10	Cursor Start Raster	
R2	Horizontal Sync Position	Nhsp	R11	Cursor End Raster	
R3	Sync Width	Nvsw, Nhsw	R12	Start Address (H)	0
R4	Vertical Total	Nvt	R13	Start Address (L)	0
R5	Vertical Total Adjust	Nadj	R14	Cursor (H)	
R6	Vertical Displayed	Nvd	R15	Cursor (L)	
R7	Vertical Sync Position	Nvsp	R16	Light Pen (H)	
R8	Interlace & Skew		R17	Light Pen (L)	

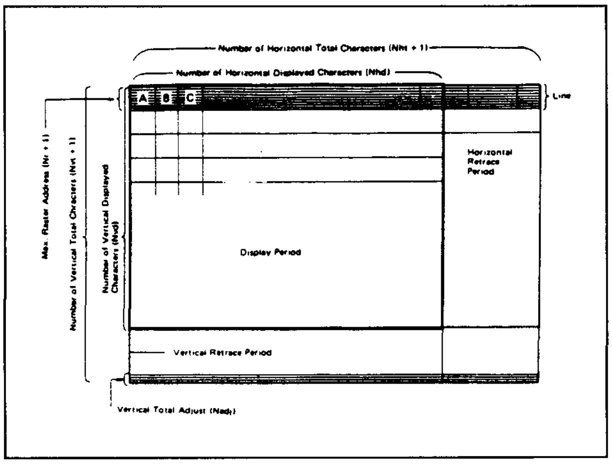
[NOTE] Nhd<Nht, Nvd<Nvt

Tabel 9/6.3-7: Waarden die in de registers worden geprogrammeerd (zie ook figuur 9/6.3-5).

gisters van de CRTC geprogrammeerd. Figuur 9/6.3-5 laat het CRT beeldformaat zien, terwijl de timing van de uitgangssignalen van de CRTC in figuur 9/6.3-6 te zien is.
De relatie tussen waarden van het refreshgeheugenadres (MA_0 tot en met MA_{13}) en het rasteradres (RA_0 tot en met RA_4) en de positie van de afbeelding op het scherm is te zien in figuur 9/6.3-7 (hier heeft het startadres de waarde 0).

Interface Control

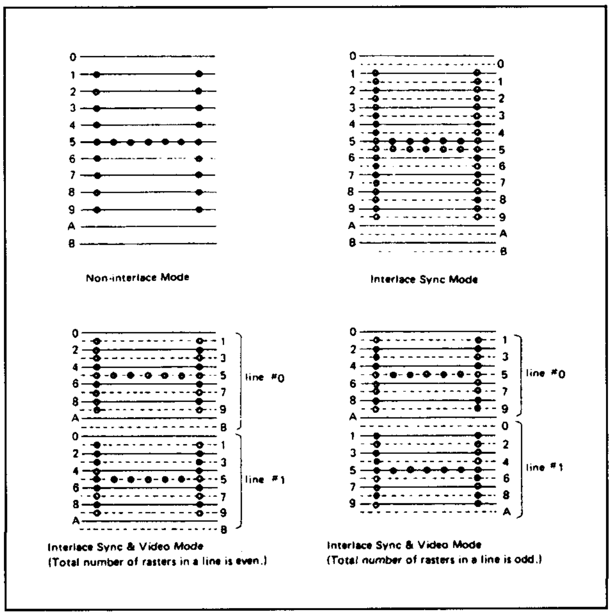
In figuur 9/6.3-8 is een voorbeeld te zien waarbij hetzelfde karakter zichtbaar wordt in de non-interlace mode, de interlace sync mode en de video mode.



Figuur 9/6.3-5: Formattering van het beeldscherm.

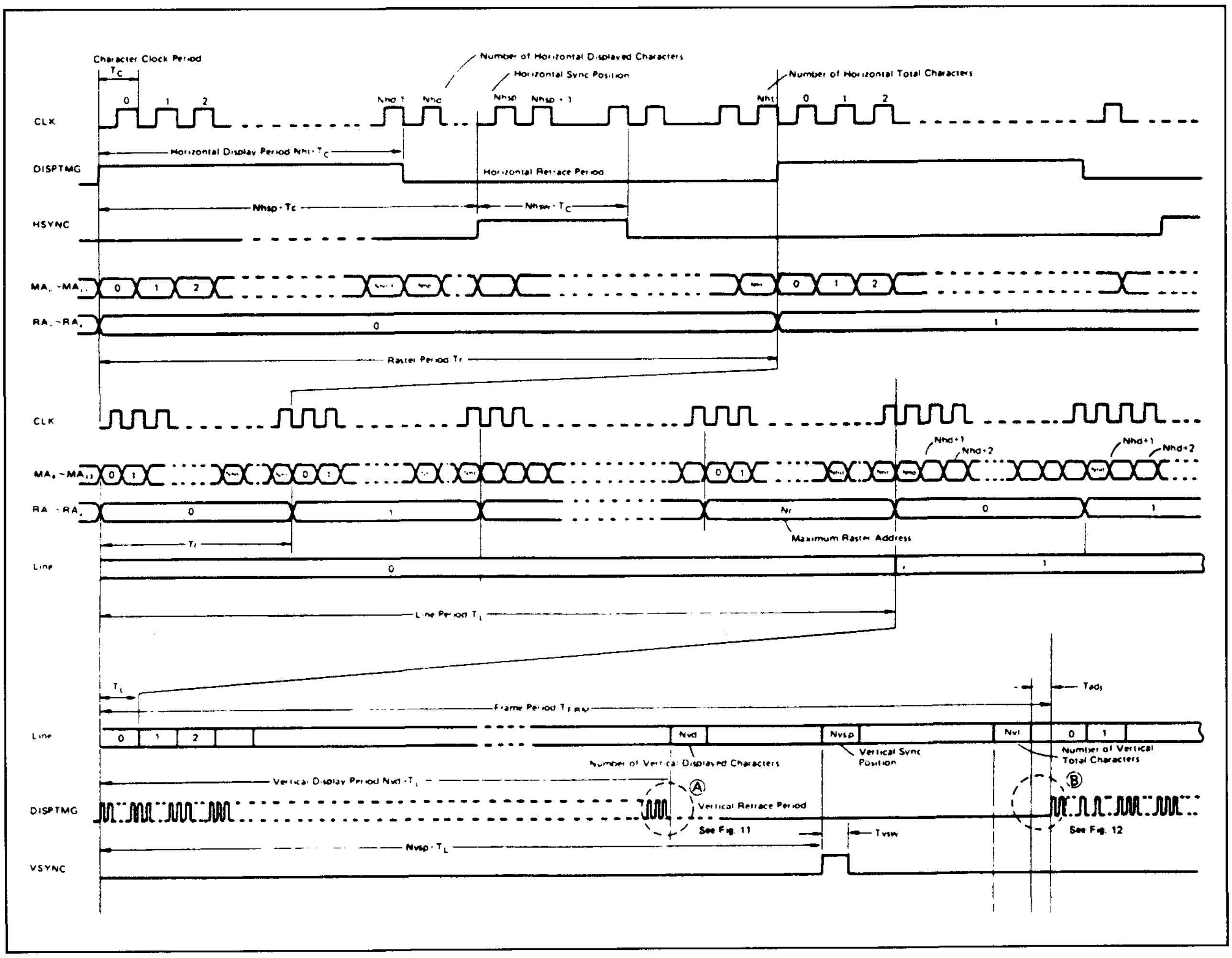
In de non-interlace mode wordt elk veld in duplo afgetast. De waarden van de rasteradressen (RA_0 tot en met RA_4) worden vanaf 0 telkens met één verhoogd.

In de interlace sync mode zijn de rasteradressen in het even- en oneven veld dezelfde als bij de non-interlace mode. Elk karakterpatroon wordt wederkerig afgebeeld, waarbij de afgebeelde positie in het oneven veld een halve raster-ruimte lager komt dan die in het even veld.



Figuur 9/6.3-8: Enkele voorbeelden van verschillende raster-scan displays.

6.3 Type-beschrijving 68-familie



Figuur 9/6.3-6: Timing van de CRTC (signaalvormen voor horizontale- en vertikale display, waarbij de waarden uit tabel 9/6.3-7 in de registers zijn geplaatst).

In de interlace & video mode is het uitgangs-rasteradres bij een even aantal rasters anders dan bij een oneven aantal (zie ook tabel 9/6.3-8).

Wanneer een even aantal rasters wordt geprogrammeerd, verschijnt het even rasteradres in het even veld en het oneven rasteradres in het oneven veld.

Wordt een oneven aantal rasters geprogrammeerd, dan worden oneven en even adressen omgekeerd ten opzichte van de oneven en even regels in elk veld. In dit geval is het verschil in aantal punten tussen even en oneven veld meestal kleiner dan bij een even aantal rasters, waardoor de interlace stabieler wordt.

The Output of Raster Address in Interlace Sync & Video Mode			
Total Number of Rasters in a Line \ Field		Even Field	Odd Field
Even		Even Address	Odd Address
Odd	Even Line*	Even Address	Odd Address
	Odd Line*	Odd Address	Even Address

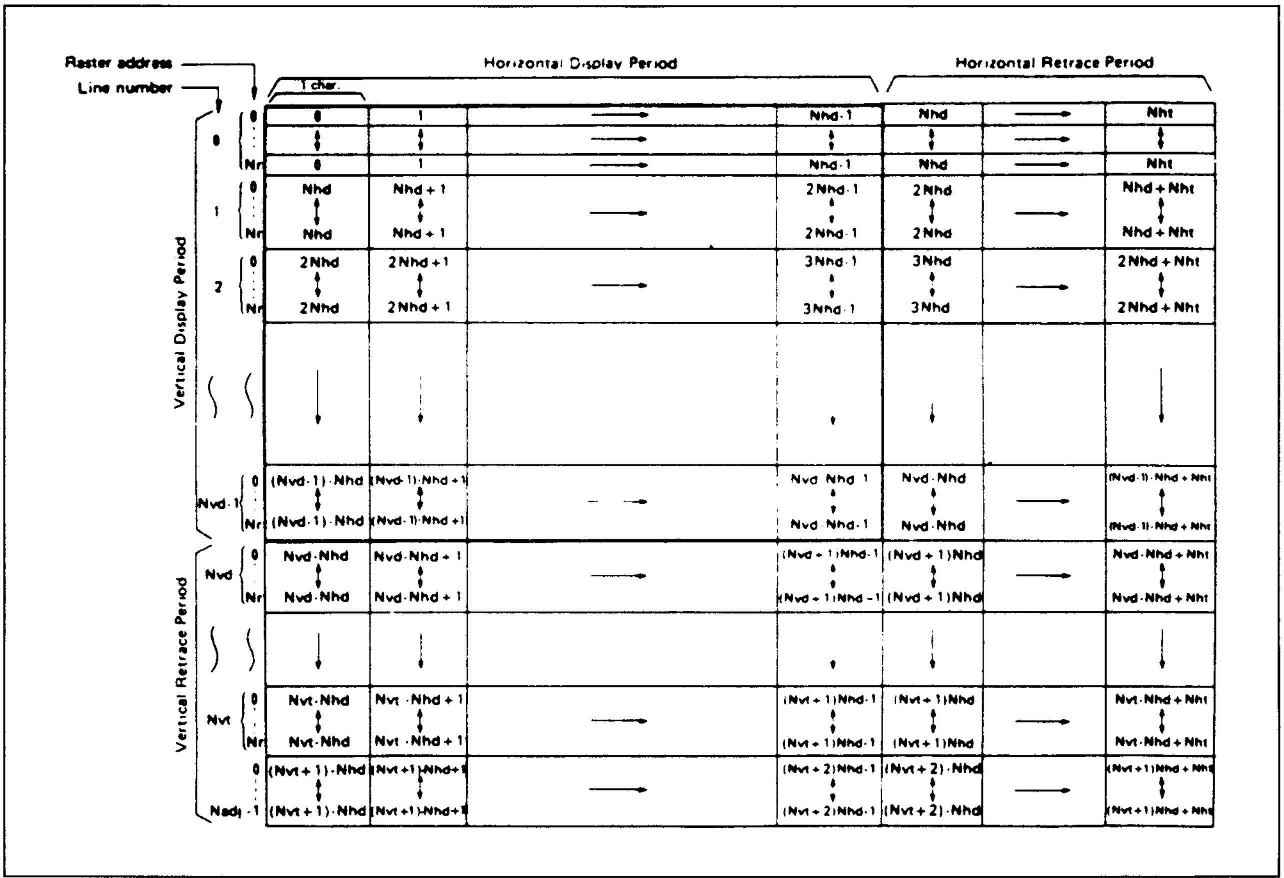
* Internal line address begins from 0.

Tabel 9/6.3-8: Opgewekte rasteradressen.

Cursor Control

In figuur 9/6.3-9 zijn enkele vormen van de cursor te zien, zoals die ontstaan bij de aan-

6.3 Type-beschrijving 68-familie



Figuur 9/6.3-7: Refresh-geheugenadressen (MA_0 tot en met MA_{13}) worden ook geleverd tijdens de horizontale en vertikale retrace-periode (in dit voorbeeld is het beginadres 0).

gegeven start- en eindadressen. Hierbij dient het cursor startadres kleiner of gelijk te zijn aan het cursor eindadres, dat op zijn beurt weer hooguit gelijk mag zijn aan het maximum rasteradres register. In de figuren 9/6.3-10 en 9/6.3-11 is de timing van het CUDISP-signaal te zien.

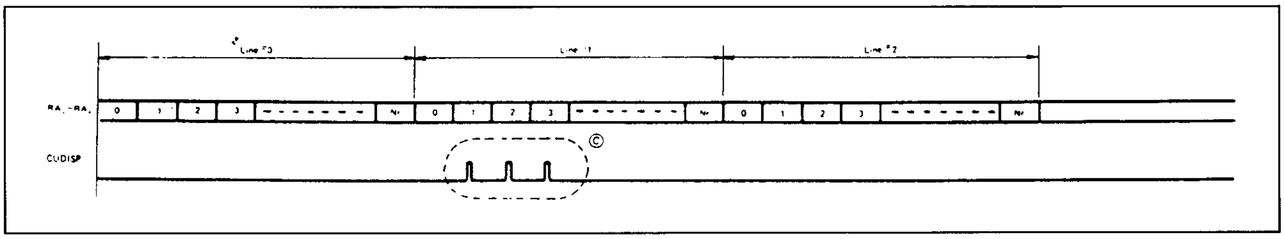
Overige elektrische- en timing kenmerken

In de figuren 9/6.3-12 tot en met 9/6.3-15 en de tabellen 9/6.3-9 tot en met 9/6.3-12 zijn de elektrische- en timing karakteristieken van de 6845 vermeld.

Zoals in tabel 9/6.3-12 te zien is, wordt deze CRTC in drie uitvoeringen geleverd:

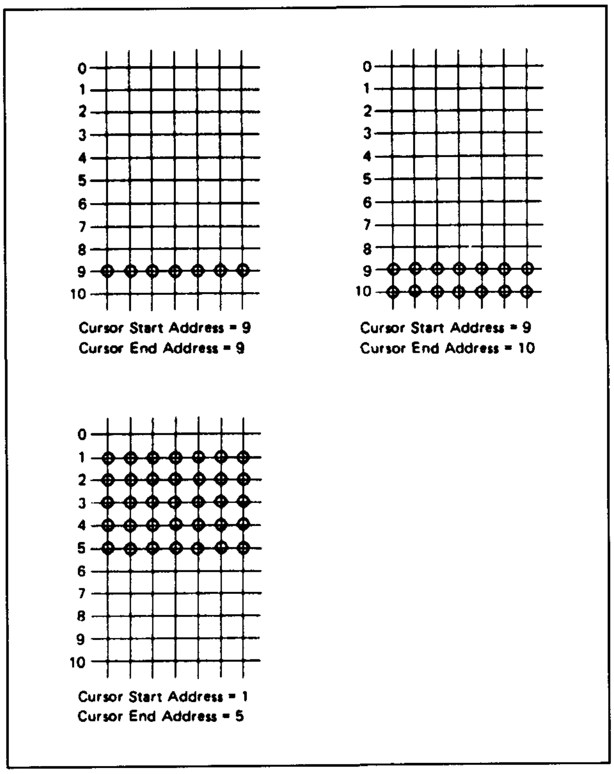
- de 6845 met een bustiming van 1 MHz;
- de 68A45 voor 1,5 MHz en;
- de 68B45 voor 2,0 MHz;

alle met een CRT display timing van 3,7 MHz.

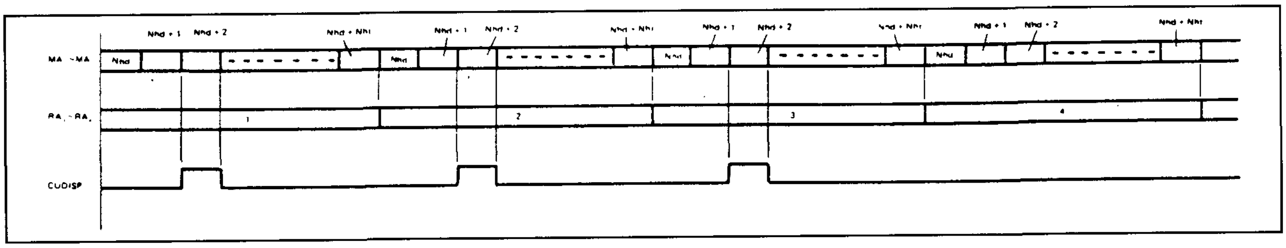


Figuur 9/6.3-10: Verband tussen regel-raster en CUDISP.

6.3 Type-beschrijving 68-familie

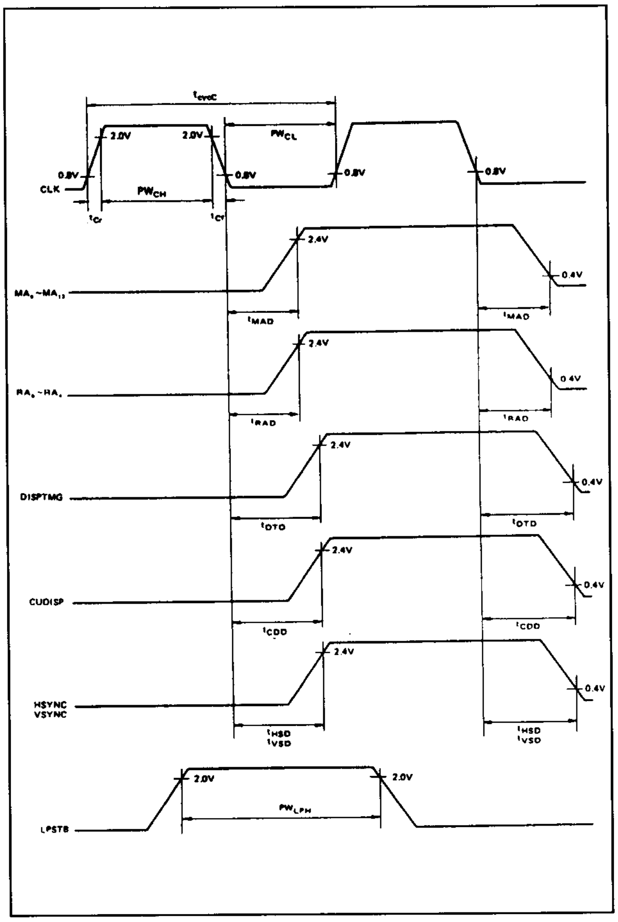


Figuur 9/6.3-9: Instellingen van de cursor.

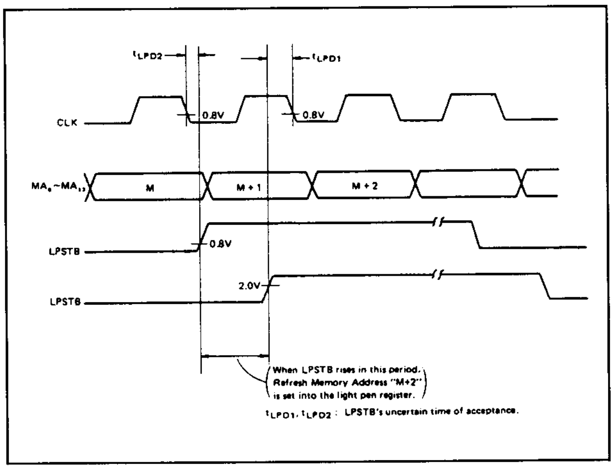


Figuur 9/6.3-11: Timing van CUDISP (figuur 9/6.3-10 verder uitgewerkt).

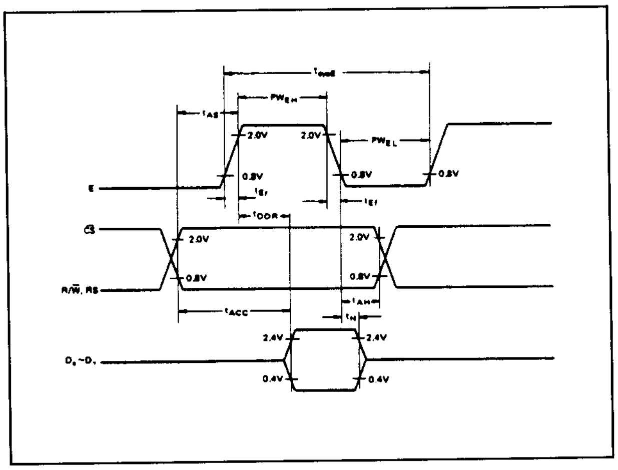
6.3 Type-beschrijving 68-familie



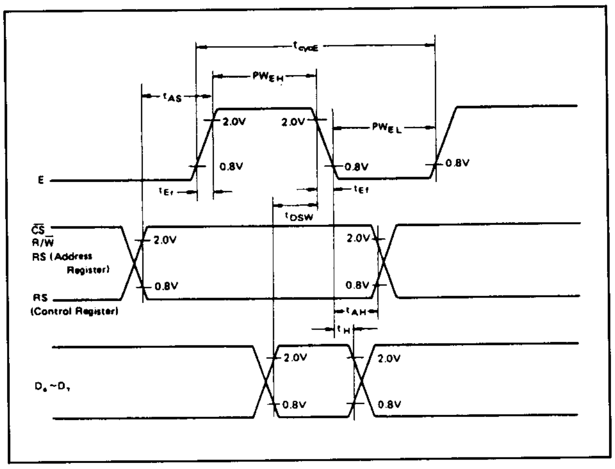
Figuur 9/6.3-12: Timing van de CRTC (zie tabel 9/6.3-12).



Figuur 9/6.3-13: Timing van LPSTB en Refresh-geheugen-adres dat in het lichtpen-register wordt gezet (zie ook tabel 9/6.3-12).



Figuur 9/6.3-15: Volgorde bij het schrijven door de CPU (zie ook tabel 9/6.3-12).



Figuur 9/6.3-14: Volgorde bij het uitlezen (zie ook tabel 9/6.3-12).

6.3 Type-beschrijving 68-familie

■ ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Value	Unit
Supply Voltage	V_{CC} *	-0.3 ~ +7.0	V
Input Voltage	V_{in} *	-0.3 ~ +7.0	V
Operating Temperature	T_{opr}	- 20 ~ + 75	°C
Storage Temperature	T_{stg}	- 55 ~ +150	°C

* With respect to V_{SS} (SYSTEM GND)

[NOTE] Permanent LSI damage may occur if maximum ratings are exceeded. Normal operation should be under recommended operating conditions. If these conditions are exceeded, it could affect reliability of LSI.

Tabel 9/6.3-9: Absolute maximale waarden.

■ RECOMMENDED OPERATING CONDITIONS

Item	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}*	4.75	5.0	5.25	V
Input Voltage	V_{IL}*	-0.3	–	0.8	V
	V_{IH}*	2.0	–	V_{CC}	V
Operating Temperature	T_{opr}	- 20	25	75	°C

* With respect to V_{SS} (SYSTEM GND)

Tabel 9/6.3-10: Aanbevolen bedrijfscondities.

■ ELECTRICAL CHARACTERISTICS

● DC CHARACTERISTICS (V_{CC} = 5V ± 5%, V_{SS} = 0V, Ta = -20~+75°C, unless otherwise noted.)

Item	Symbol	Test Condition		min	typ*	max	Unit
Input "High" Voltage	V_{IH}			2.0	–	V_{CC}	V
Input "Low" Voltage	V_{IL}			-0.3	–	0.8	V
Input Leakage Current	I_{in}	V_{in} = 0 ~ 5.25V (Except D_0~D_7)		-2.5	–	2.5	μA
Three-State Input Current (off-state)	I_{TSI}	V_{in} = 0.4 ~ 2.4V V_{CC} = 5.25V (D_0~ D_7)		- 10	–	10	μA
Output "High" Voltage	V_{OH}	I_{LOAD} = -205 μA (D_0~ D_7)		2.4	–	–	V
		I_{LOAD} = -100 μA (Other Outputs)					
Output "Low" Voltage	V_{OL}	I_{LOAD} = 1.6 mA		–	–	0.4	V
Input Capacitance	C_{in}	V_{in} = 0 Ta = 25°C f = 1.0 MHz	D_0 ~ D_7	–	–	12.5	pF
			Other Inputs	–	–	10.0	pF
Output Capacitance	C_{out}	V_{in} = 0V, Ta = 25°C, f = 1.0 MHz		–	–	10.0	pF
Power Dissipation	P_D			–	600	1000	mW

* Ta = 25°C, V_{CC} = 5.0V

Tabel 9/6.3-11: Elektrische (DC) karakteristieken.

6.3 Type-beschrijving 68-familie

- **AC CHARACTERISTICS** (V_{CC} = 5V ±5%, V_{SS} = 0V, Ta = -20~+75°C, unless otherwise noted.)

1. TIMING OF CRTC SIGNAL

Item	Symbol	Test Condition	min	typ	max	Unit
Clock Cycle Time	t_{cycC}	Fig. 1	270	–	–	ns
Clock "High" Pulse Width	PW_{CH}		130	–	–	ns
Clock "Low" Pulse Width	PW_{CL}		130	–	–	ns
Rise and Fall Time for Clock Input	t_{Cr}, t_{Cf}		–	–	20	ns
Memory Address Delay Time	t_{MAD}		–	–	160	ns
Raster Address Delay Time	t_{RAD}		–	–	160	ns
DISPTMG Delay Time	t_{DTD}		–	–	250	ns
CUDISP Delay Time	t_{CDD}		–	–	250	ns
Horizontal Sync Delay Time	t_{HSD}		–	–	200	ns
Vertical Sync Delay Time	t_{VSD}		–	–	250	ns
Light Pen Strobe Pulse Width	PW_{LPH}		60	–	–	ns
Light Pen Strobe	t_{LPD1}	Fig. 2	–	–	70	ns
Uncertain Time of Acceptance	t_{LPD2}		–	–	0	ns

2. MPU READ TIMING

Item	Symbol	Test Condition	HD6845S			HD68A45S			HD68B45S			Unit
			min	typ	max	min	typ	max	min	typ	max	
Enable Cycle Time	t_{cycE}	Fig. 3	1.0	–	–	0.666	–	–	0.5	–	–	μs
Enable "High" Pulse Width	PW_{EH}		0.45	–	–	0.280	–	–	0.22	–	–	μs
Enable "Low" Pulse Width	PW_{EL}		0.40	–	–	0.280	–	–	0.21	–	–	μs
Enable Rise and Fall Time	t_{Er}, t_{Ef}		–	–	25	–	–	25	–	–	25	ns
Address Set Up Time	t_{AS}		140	–	–	140	–	–	70	–	–	ns
Data Delay Time	t_{DDR}		–	–	320	–	–	220	–	–	180	ns
Data Hold Time	t_H		10	–	–	10	–	–	10	–	–	ns
Address Hold Time	t_{AH}		10	–	–	10	–	–	10	–	–	ns
Data Access Time	t_{ACC}		–	–	460	–	–	360	–	–	250	ns

3. MPU WRITE TIMING

Item	Symbol	Test Condition	HD6845S			HD68A45S			HD68B45S			Unit
			min	typ	max	min	typ	max	min	typ	max	
Enable Cycle Time	t_{cycE}	Fig. 4	1.0	–	–	0.666	–	–	0.5	–	–	μs
Enable "High" Pulse Width	PW_{EH}		0.45	–	–	0.280	–	–	0.22	–	–	μs
Enable "Low" Pulse Width	PW_{EL}		0.40	–	–	0.280	–	–	0.21	–	–	μs
Enable Rise and Fall Time	t_{Er}, t_{Ef}		–	–	25	–	–	25	–	–	25	ns
Address Set Up Time	t_{AS}		140	–	–	140	–	–	70	–	–	ns
Data Set Up Time	t_{DSW}		195	–	–	80	–	–	60	–	–	ns
Data Hold Time	t_H		10	–	–	10	–	–	10	–	–	ns
Address Hold Time	t_{AH}		10	–	–	10	–	–	10	–	–	ns

Tabel 9/6.3-12: Diverse schakeltijden.

6.3 Type-beschrijving 68-familie

9/8

Timers en counters

Inhoud

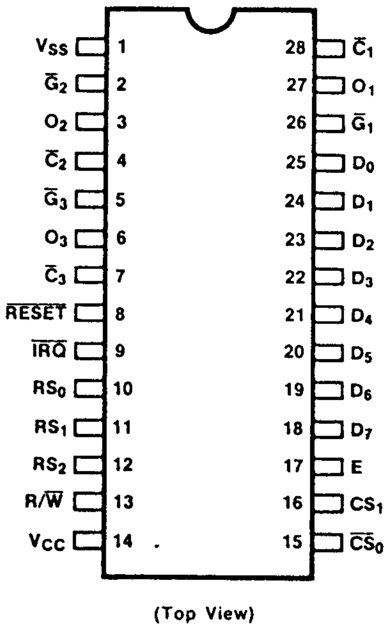
9/8.3

Type-beschrijving 68-familie

6840
Programmable Timer (PTM)

Inleiding
De 6840 is een programmeerbare component uit de 6800-familie die werd ontwikkeld om variabele tijdintervallen in subsystemen te verkrijgen.
De 6840 heeft drie 16-bit binaire tellers, drie bijbehorende controlregisters en een statusregister. De tellers worden door middel van software bediend en kunnen worden gebruikt om het systeem te interrumperen en/of uitgangssignalen te genereren. De 6840 is bijvoorbeeld geschikt voor frequentiemetingen, teldoeleinden, interval-metingen en dergelijke. De schakeling kan worden toegepast voor het genereren van blokgolven, getriggerde vertragingen, het opwekken van pulsen met regelbare tijdsduur, pulsbreedtemodulatie en systeeminterrupts.

Kenmerken van de 6840
- enkele +5 V 5% voeding
- volledig TTL-compatibel
- enkele systeemklok nodig (Enable)
- selecteerbare Prescaler op timer 3, geschikt voor 4 MHz: 6840, 6 MHz: 68A40, 8 MHz:68B40



Pin Names

D_0-D_7	Bidirectional Data Lines
$\overline{CS_0}$-CS_1	Chip Select Input
$R/\overline{W}$	Read/Write Input
E	Enable (Systems Clock $\phi 2$) Input
$\overline{IRQ}$	Interrupt Request Output
$\overline{RESET}$	Reset Input
RS_0-RS_2	Register Select Inputs
$\overline{C_1}$-$\overline{C_3}$	Counter Clock Inputs
$\overline{G_1}$-$\overline{G_3}$	Counter Gate Inputs
O_1-O_3	Counter Outputs

Figuur 9/8.3-1: Aansluitgegevens van de 6840.

8.3 Type-beschrijving 68-familie

- programmeerbare $\overline{\text{IRQ}}$ interrupt-uitgang naar CPU
- $\overline{\text{reset}}$ ingang
- uitleesbare neerteller geeft aantal telpulsen tot Time-out aan
- selecteerbare triggering voor vergelijking van frequentie of pulsbreedte
- interne synchronisatie van 3 externe clock en gate/trigger signalen
- 3 maskeerbare uitgangen
- bedrijfstemperaturen: 0 tot + 70 °C (commercieel), -40 tot + 85 °C (industrieel) en -55 tot + 125 °C (militair)
- behuizing: 28-pens plastic of ceramische DIL, zie figuur 9/8.3-1
- ook verkrijgbaar in CMOS: HD 6340 en MD 68SC40
- fabrikanten:
  - Fairchild: F 6840 (1 MHz), F68A40 (1,5 MHz), F68B40 (2 MHz)
  - Hitachi: HD 6840, HD 68A40, HD 68B40
  - Motorola: MC 6840
  - Thomson: EF6840, EF68A40, EF68B40

Functionele beschrijving

Figuur 9/8.3-2 toont het blokschema van de 6840.

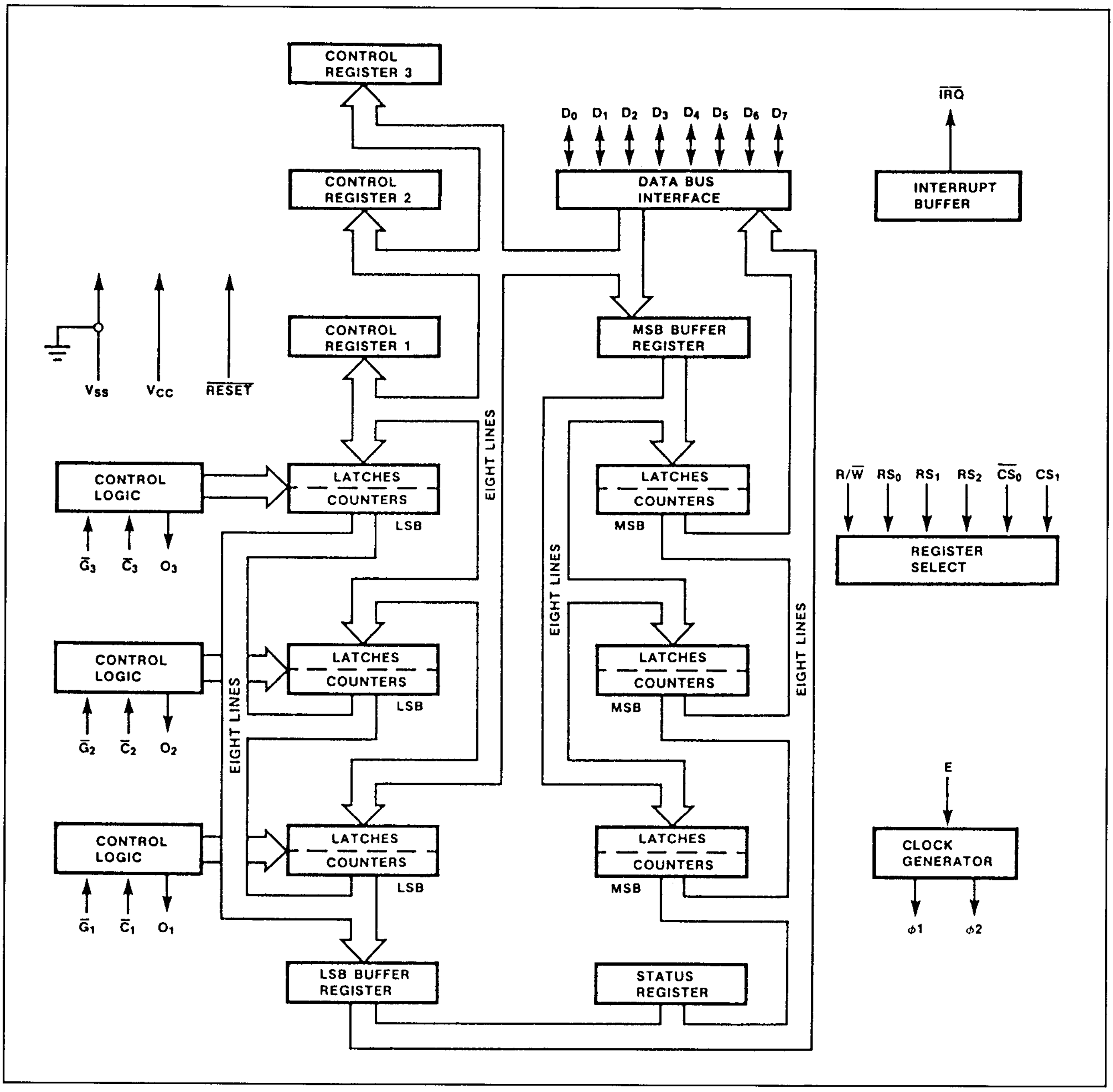
De drie timers in de 6840 kunnen onafhankelijk van elkaar worden geprogrammeerd, zodat voor elke toepassing de juiste bedrijfsmode kan worden ingesteld. De busaansluitingen van de schakeling komen volledig overeen met de 6800 microprocessor. Gewoonlijk wordt een van de timers geladen door twee bytes data in de bijbehorende teller-latch op te slaan. Deze data wordt vervolgens tijdens een initialisatie-cyclus overgebracht naar de teller. Op elke achtereenvolgende klokperiode wordt de inhoud van de teller met een verlaagd, totdat de teller stopt door een van te voren bepaalde conditie of opnieuw begint. Als klok kan een externe klok of het Enable-signaal (de systeem $\Phi 2$) worden gebruikt. De tellers zijn dus programmeerbaar en bestuurbaar door externe signalen of het CPU-programma en bovendien te allen tijde toegankelijk door de CPU.

Bus-interface

De programmeerbare timer-module (PTM) wordt via een 8-bit bidirectionele databus, twee Chip Selectlijnen, een lees-/schrijflijn (R/$\overline{\text{W}}$), een Enable-lijn (systeem Φ), een Interrupt Requestlijn, een externe $\overline{\text{RESET}}$-lijn en drie Register Selectlijnen op de 6800-bus aangesloten. Door middel van deze signalen en de VMA-uitgang van de 6800 kan de PTM door de CPU worden bestuurd. VMA moet samen met de CPU-adreslijnen worden gebruikt als ChipSelect van de PTM.

- Bidirectionele Data (D0 - D7)
  De bidirectionele datalijnen D0 tot en met D7 maken datatransporten tussen de processor en de PTM mogelijk. De uitgangsdrivers van de databus zijn 3-state schakelingen die alleen bij een lees-operatie (R/$\overline{\text{W}}$ en Enable-lijnen HOOG en Chip Selects van de PTM geaktiveerd) uit de hoogimpedante (OFF) toestand komen.
- Chip Select ($\overline{\text{CS0}}$, CS1)
  Deze twee signalen worden gebruikt om de databus interface te aktiveren en datatransport van de PTM mogelijk te maken. Met $\overline{\text{CS0}}$ = LAAG en CS1 = HOOG is de schakeling geselecteerd en kan datatransport plaats vinden.
- Read/Write (R/$\overline{\text{W}}$)
  Dit signaal wordt door de CPU opgewekt om de richting van het datatransport over de databus te bepalen. Indien de PTM is geselecteerd, worden de ingangsbuffers van de PTM vrijgegeven door R/$\overline{\text{W}}$ = LAAG te maken en wordt data op de achterflank van het Enable-signaal (systeem $\Phi 2$) overgebracht van de CPU naar de PTM. Zijn onder dezelfde omstandigheden zowel R/$\overline{\text{W}}$ als Enable HOOG, dan kan data in de PTM door de processor worden gelezen.
- Enable (E, systeem $\Phi 2$)
  Dit signaal wordt gebruikt om het datatransport tussen CPU en PTM te synchroniseren. Het vervult tevens een equivalente synchronisatie-functie op de externe clock, de $\overline{\text{RESET}}$ en Gate-ingangssignalen van de PTM.

8.3 Type-beschrijving 68-familie



Figuur 9/8.3-2: Intern blokschema van de 6840.

- Interrupt Request ($\overline{IRQ}$)
  Het aktief-LAGE Interrupt Request-signaal wordt meestal direkt (of via een prioriteits interruptschakeling) op de $\overline{IRQ}$-ingang van de CPU aangesloten. Het is een open-drain uitgang (geen belastingscomponent op de chip) die samen met andere, gelijkvormige interrupt requestlijnen in een 'wired-OR' configuratie kan worden verbonden.
  De $\overline{IRQ}$-lijn wordt alleen dan geaktiveerd als de samengestelde interrupt flag (bit 7 van het interne statusregister) is gezet. De omstandigheden waaronder de $\overline{IRQ}$-lijn wordt geaktiveerd, komen aan bod bij de behandeling van het statusregister.

8.3 Type-beschrijving 68-familie

- Externe $\overline{RESET}$
  Een LAAG niveau op deze ingang wordt bij de PTM naar binnen geklokt door het Enable-signaal (systeem Φ2). Voor het synchroniseren en verwerken van het signaal zijn twee Enable-pulsen nodig. De PTM herkent dan het aktief-LAAG of niet-aktief-HOOG op de derde Enable-puls. Als het $\overline{RESET}$-signaal asynchroon is, is een extra Enable-periode nodig als niet aan de set-up tijden wordt voldaan. De $\overline{RESET}$-ingang moet minimaal gedurende de in de AC-karakteristieken vermelde tijd stabiel HOOG/LAAG zijn.
  Door het herkennen van een LAAG niveau op deze ingang gaat het volgende gebeuren:
  - Alle teller-latches worden op de maximale telwaarde geset.
  - Alle control-register bits worden gecleared, met uitzondering van $CR1_0$ (intern resetbit) dat juist wordt geset.
  - Alle tellers worden gepreset met de waarden van de latches.
  - Alle telleruitgangen worden gereset en alle tellerclocks worden gesperd.
  - Alle bits van het statusregister (interrupt flags) worden gecleared.
- Register Select-lijnen (RS0, RS1, RS2)
  Deze ingangen worden samen met de R/$\overline{W}$-lijn gebruikt om de interne registers, tellers en latches te selecteren, zoals in tabel 9/8.3-1 te zien is.
  De CPU krijgt door "load" en "store" handelingen op dezelfde wijze toegang tot de PTM als een geheugen. Wanneer de PTM wordt bediend, mogen de 6800-instructies voor direkte geheugenoperaties niet worden gebruikt. Deze instructies halen namelijk een byte uit het geheugen, voeren een operatie uit en bergen het resultaat weer in hetzelfde adres op. Aangezien de PTM de R/$\overline{W}$-lijn als een extra register-selectingang gebruikt, zal de gewijzigde data niet in hetzelfde register terecht komen als deze instructies worden toegepast.

Control Register

In de 6840 worden drie write-only registers (kunnen niet worden uitgelezen) gebruikt voor het instellen van de werking van de timers. Control register 2 heeft een uniek adres (RS0 = 1, RS1 = 0, RS2 = 0) en kan daarom op elk moment beschreven worden. De andere controlregisters (1 en 3) delen het adres dat wordt geselecteerd door een logische 0 op alle register-selectingangen. Het minst belangrijke bit van controlregister 2 ($CR2_0$) dient als extra adresseerbit voor de controlregisters 1 en 3. Dus als alle register-selects en R/$\overline{W}$ logisch 0 zijn, wordt in con-

Register Select Inputs			Operations	
RS_2	RS_1	RS_0	R/$\overline{W}$ = "0"	R/$\overline{W}$ = "1"
0	0	0	$CR2_0$ = "0" Write Control Register 3 $CR2_0$ = "1" Write Control Register 1	No Operation
0	0	1	Write Control Register 2	Read Status Register
0	1	0	Write MSB Buffer Register	Read Timer 1 Counter
0	1	1	Write Timer 1 Latches	Read LSB Buffer Register
1	0	0	Write MSB Buffer Register	Read Timer 2 Counter
1	0	1	Write Timer 2 Latches	Read LSB Buffer Register
1	1	0	Write MSB Buffer Register	Read Timer 3 Counter
1	1	1	Write Timer 3 Latches	Read LSB Buffer Register

Tabel 9/8.3-1: Selectie van de registers.

8.3 Type-beschrijving 68-familie

trolregister 3 geschreven als $CR2_0 = 0$. Ook na optreden van een reset-LAAG conditie kan in controlregister 3 worden geschreven, aangezien alle controlregisterbits (uitgezonderd $CR1_0$) dan zijn gecleared.
Er kan dus in de volgorde CR3, CR2, CR1 worden geschreven.

Het minst belangrijke bit van controlregister 1 wordt gebruikt als intern resetbit. Wanneer dit bit LAAG is, wordt alle timers toegestaan te werken in de modes die het gevolg zijn van de overige bits van de controlregisters. Door $CR1_0$ HOOG te maken nemen alle tellers de inhoud van de overeenkomstige latches over, worden alle teller-clocks gesperd en worden de timer-uitgangen en de interrupt flags (in het statusregister) gereset. De teller-latches en de controlregisters worden door een interne reset niet verstoord en kunnen onafhankelijk van de toestand van $CR1_0$ worden beschreven.

Het minst belangrijke bit van controlregister 3 dient als selector voor een :8 prescaler, die alleen op timer 3 werkt. Wanneer de prescaler wordt geselecteerd, wordt deze effectief tussen de ingangsschakeling van de clock en de ingang van teller 3 geplaatst. Hij kan dus zowel met de interne clock (Enable) als met een externe clock worden gebruikt.

De hiervoor geschetste functies zijn voor het gemak aangegeven op de eerste regel van tabel 9/8.3-2.

De controlregisterbits $CR1_0$, $CR2_0$ en $CR3_0$ wijken van de andere bits af doordat zij alle drie een andere functie hebben. Met de overige bits (1 tot en met 7) van elk controlregister worden voor een bepaalde timer gemeenschappelijke functies gekozen. Bit 1 van controlregister 1 ($CR1_1$) selecteert bijvoorbeeld of timer 1 op een interne of een externe clock werkt. $CR2_1$ en $CR3_1$ selecteren op dezelfde manier het clocksignaal voor timer 2 en timer 3. Op deze wijze kan de functie van elk bit van controlregister "X" in de tabel worden teruggevonden.

Controlregisterbit 2 selecteert of de binaire informatie in de teller-latches (die daarna in de teller wordt geladen) als enkel 16-bit woord of als twee 8-bit bytes moet worden behandeld. In de enkele 16-bit telmode ($CRX_2 = 0$) zal de teller na N + 1 vrijgege-

$CR1_0$ Internal Reset Bit	$CR2_0$ Control Register Address Bit	$CR3_0$ Timer 3 Clock Control
0 All timers allowed to operate	0 CR3 may be written	0 T_3 $\overline{\text{Clock}}$ is not prescaled
1 All timers held in preset state	1 CR1 may be written	1 T_3 $\overline{\text{Clock}}$ is prescaled by ÷8
CRX_1*	Timer X $\overline{\text{Clock}}$ Source	
0	TX uses external clock source on $\overline{\text{CX}}$ input	
1	TX uses Enable clock	
CRX_2	Timer X Counting Mode Control	
0	TX configured for normal (16-bit) counting mode	
1	TX configured for dual 8-bit counting mode	
CRX_3 CRX_4 CRX_5	Timer X Counter Mode and Interrupt Control (See *Table 3*)	
CRX_6	Timer X Interrupt Enable	
0	Interrupt Flag masked on $\overline{\text{IRQ}}$	
1	Interrupt Flag enabled to $\overline{\text{IRQ}}$	
CRX_7	Timer X counter Output Enable	
0	TX Output masked on output OX	
1	TX Output enabled on output OX	

*Control Register for timer 1, 2 or 3, Bit 1.

Tabel 9/8.2-2: Functies van de bits in het controlregister (zie ook figuur 9/8.3-13).

8.3 Type-beschrijving 68-familie

ven ($\overline{G}$ = 0) clockperioden aftellen tot 0. Hierbij komt N overeen met het 16-bit getal in de teller-latches. Als CRX2 = 1 is, zal een gelijksoortige time-out optreden na (L + 1).(M + 1) vrijgegeven clockperioden. Hierbij zijn L en M dan respectievelijk de LSB en MSB bytes in de tellerlatches.

De bits 3, 4 en 5 van de controlregisters worden gedetailleerd verklaard in het gedeelte "Timer Operating Modes".

Bit 6 is een interrupt mask-bit dat bij het statusregister uitvoerig wordt behandeld en bit 7 wordt gebruikt om de uitgang van de betreffende timer vrij te geven.

7	6	5	4	3	2	1	0		Register 1	Register 2	Register 3
X	X	X	X	X	X	X	↓	0	All timers operate	Reg #3 may be written	T3 Clk ÷ 1
								1	All timers preset	Reg #1 may be written	T3 Clk ÷ 8

7	6	5	4	3	2	1	0		
X	X	X	X	X	X	↓	X	0	External Clock ($\overline{CX}$ Input)
								1	Internal Clock (Enable)
X	X	X	X	X	↓	X	X	0	Normal (16-Bit) Count Mode
								1	Dual 8-Bit Count Mode

7	6	5	4	3	2	1	0	
X	X	0	0	0	X	X	X	Continuous Operating Mode: $\overline{Gate}$ ↓ or Write to Latches or Reset Causes Counter Initialization
X	X	0	0	1	X	X	X	Frequency Comparison Mode: Interrupt if $\overline{Gate}$ ↓‾‾↓ is < Counter Time-Out
X	X	0	1	0	X	X	X	Continuous Operating Mode: $\overline{Gate}$ ↓ or Reset Causes Counter Initialization
X	X	0	1	1	X	X	X	Pulse Width Comparison Mode: Interrupt if $\overline{Gate}$ ↓__↑ is < Counter Time-Out
1	X	1	0	0	X	X	X	Single Shot Mode: $\overline{Gate}$ ↓ or Write to Latches or Reset Causes Counter Initialization
X	X	1	0	1	X	X	X	Frequency Comparison Mode: Interrupt if $\overline{Gate}$ ↓‾‾↓ is > Counter Time-Out
1	X	1	1	0	X	X	X	Single Shot Mode: $\overline{Gate}$ ↓ or Reset Causes Counter Initialization
X	X	1	1	1	X	X	X	Pulse Width Comparison Mode: Interrupt if $\overline{Gate}$ ↓__↑ is > Counter Time-Out

7	6	5	4	3	2	1	0		
X	↓	X	X	X	X	X	X	0	Interrupt Flag Masked ($\overline{IRQ}$)
								1	Interrupt Flag Enabled ($\overline{IRQ}$)
↓	X	X	X	X	X	X	X	0	Timer Output Masked
								1	Timer Output Enabled

Note
Reset is Hardware or Software Reset ($\overline{RESET}$ = 0 or CR_{10} = 1).

Tabel 9/8.3-3: Programmeren van het controlregister.

Een samenvatting van de programmeermodes van de controlregisters is gegeven in tabel 9/8.3-3, terwijl figuur 9/8.3-13 een compleet overzicht van de controlregisterbits geeft.

Control Register			
CRX_3	CRX_4	CRX_5	Timer Operating Mode
0	•	0	Continuous
0	•	1	Single-Shot
1	0	•	Frequency Comparison
1	1	•	Pulse Width Comparison

•Defines additional timer functions

Tabel 9/8.3-4: Programmeren van de bedrijfsmodes.

Statusregister/Interrupt flags

De 6840 heeft een intern "read-only" statusregister met vier interrupt vlaggen (de overige vier bits van het register worden niet gebruikt en bevatten altijd een 0).
De bits 0, 1 en 2 zijn individuele flag-bits die betrekking hebben op de timers 1, 2 en 3, terwijl bit 7 een samengestelde interrupt vlag is. Deze laatste wordt geset als een van de individuele vlaggen is geset terwijl bit 6 van het overeenkomstige controlregister op logisch "1" staat.

De voorwaarden voor het setten van het samengestelde flag-bit kunnen in het kort worden omschreven als:

$$INT = I_1.CR1_6 + I_2.CR2_6 + I_3.CR3_6$$

waarin:
- INT = samengestelde interrupt vlag;
- I_1 = Timer 1 interrupt vlag (bit 0);
- I_2 = Timer 2 interrupt vlag (bit 1);
- I_3 = Timer 3 interrupt vlag (bit 2).

Een interrupt vlag wordt gecleared door een timer resetconditie, dat wil zeggen externe $\overline{RESET}$ = 0 of internresetbit ($CR1_0$ = 1). Het wordt ook gecleared door een uitleescommando voor de timer-teller, als tenminste eerst het statusregister werd gelezen, terwijl de interruptvlag was geset. Deze conditie is ontworpen om te voorkomen dat interrupts worden overgeslagen als die optreden tussen het uitlezen van het statusregister en het uitlezen van de timerteller.
Een individuele interrupt vlag wordt ook gecleared door een "write timer latches" commando (W) of de initialisatie van een teller (CI), als W en CI tenminste betrekking hebben op dezelfde timer als de interrupt vlag.

Initialisatie van de Teller Latches

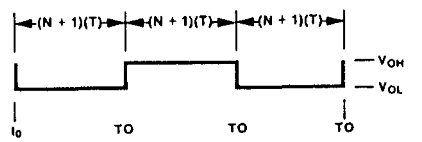
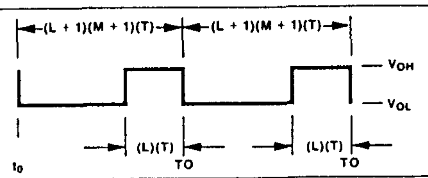
Elk van de drie onafhankelijke tellers bestaat uit een 16-bit adresseerbare teller en 16-bit adresseerbare latches. De tellers worden gepreset op de binaire getallen die in de latches zijn opgeslagen. Het initialiseren van een teller resulteert in het overbrengen van de inhoud van de latch naar de teller (zie ook de voetnoten in tabel 9/8.3-5).

Aangezien de databus van de PTM 8 bits breed is en de tellers 16 bits kunnen bevatten, is er een tijdelijk write-only register voor de meest belangrijke byte van de gewenste latch-data opgenomen. Zoals in tabel 9/8.3-1 te zien is, heeft dit zogenaamde MSB bufferregister wel drie adressen, maar wordt steeds dit ene buffer gebruikt. Data uit de MSB buffer wordt automatisch naar de meest belangrijke byte van timer X overgebracht wanneer een "write timer X latches" commando wordt uitgevoerd. De 6840 is zodoende in staat om twee bytes data in de tellerlatches te brengen, als de MSB tenminste het eerst wordt overgebracht.

Bij veel toepassingen zal een 6800 microprocessor als bron van de data dienen. Hierbij kan gebruik worden gemaakt van de 16-bit store-operaties van deze familie (STS en STX) die data in de voor de PTM vereiste volgorde transporteren. Een "store index register" instructie heeft bijvoorbeeld tot gevolg dat de MSB in het X register naar het geselecteerde adres wordt overgebracht, waarna de LSB in het X register naar de een

8.3 Type-beschrijving 68-familie

Continuous Operating Modes, (CRX_3 = "0", CRX_5 = "0")

Control Register		Initialization/Output Waveforms	
CRX_2	CRX_4	Counter Initialization	*Timer Output (OX) (CRX_7 = "1")
0	0	$\overline{G}\downarrow$ + W + R	
0	1	$\overline{G}\downarrow$ + R	
1	0	$\overline{G}\downarrow$ + W + R	
1	1	$\overline{G}\downarrow$ + R	

$\overline{G}\downarrow$ = Negative transition of Gate input
W = Write Timer Latches Command
R = Timer Reset ($CR1_0$ = "1" or External $\overline{RESET}$ = "0")
N = 16-Bit Number in Counter Latch
L = 8-Bit Number in LSB Counter Latch
M = 8-Bit Number in MSB Counter Latch
T = Clock Input Negative Transitions to Counter
t_0 = Counter Initialization Cycle
TO = Counter Time-Out (All "0" Condition)

*All time intervals shown above assume the Gate ($\overline{G}$) and Clock ($\overline{C}$) signals are synchronized to Enable (System $\phi2$) with the specified set-up and hold time requirements.

Tabel 9/8.3-5: Golfvormen aan de uitgang bij continue bedrijfsmodes.

plaats hogere lokatie gaat. Het indexregister of de stack pointer kan dus met een enkele instructie direkt naar een geselecteerde teller-latch worden getransporteerd.

Ook een logische 0 op de $\overline{RESET}$-ingang initialiseert de tellerlatches. In dat geval nemen alle latches een maximale telwaarde van 65536 aan (decimaal). Let op dat een interne reset (door setten van bit 0 van controlregister 1) geen invloed op de teller-latches heeft.

Initialisatie van de tellers

Met het initialiseren van een teller wordt bedoeld dat data van de latches naar de teller wordt overgebracht, waarbij de individuele interrupt vlag van deze teller wordt gecleared. De tellers worden altijd geïnitialiseerd wanneer een reset conditie ($\overline{RESET}$ = 0 of $CR1_0$ = 1) wordt herkend. Het kan, afhankelijk van de timer-mode, ook gebeuren door een "write timer latches" commando of een negatieve overgang aan de gate-ingang. Recycling of herinitialisatie treedt op wanneer een negatieve overgang van het clocksignaal wordt herkend nadat de teller de "alles nul" stand heeft bereikt. In dit geval gaat data van de latches naar de teller.

Asynchrone in-/uitgangslijnen

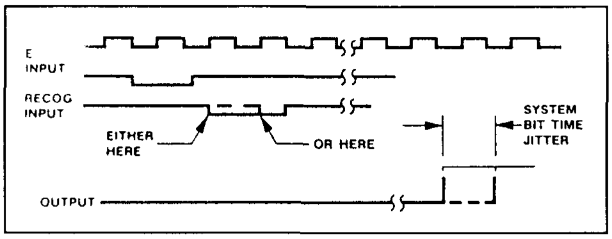
Inleiding

Elk van de drie timers van de PTM heeft externe clock en gate ingangen en een teller uitgang. De ingangen zijn hoog-impedante, TTL compatibele lijnen en de uitgangen kunnen twee standaard TTL-belastingen aandrijven.

- Clock Inputs ($\overline{C1}$, $\overline{C2}$ en $\overline{C3}$)
  De ingangen $\overline{C1}$, $\overline{C2}$ en $\overline{C3}$ accepteren asynchrone signalen op TTL niveau voor het aftellen van respectievelijk de timers 1, 2 en 3. De HOOG en LAAG niveaus van

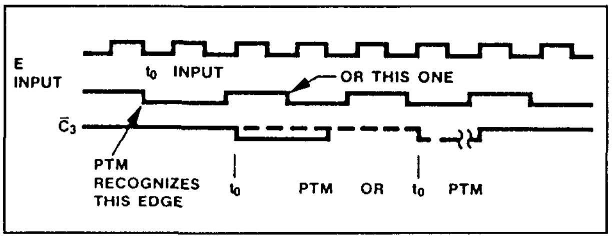
de externe clocksignalen moeten ieder gedurende tenminste één systeem clockperiode plus de som van de setup en houdtijden voor de ingangen stabiel zijn. De asynchrone clockfrequentie mag variëren van DC tot de maximale waarde die door de setup en houdtijden van Enable (systeem $\Phi 2$) wordt opgelegd.
De externe clock ingangssignalen worden door Enable-pulsen ingeklokt. Voor het synchroniseren en verwerken van de externe clock worden drie Enable-perioden gebruikt. De vierde Enable-puls laat de interne teller met één aftellen. Dit beïnvloedt de ingangsfrequentie niet, maar het veroorzaakt een vertraging tussen een overgang van de ingangsclock en de interne herkenning daarvan door de PTM. Alle verwijzingen naar $\overline{C}$-ingangen in deze beschrijving hebben betrekking op de interne herkenning van de clockovergangen. Let op dat voor een HOOG of LAAG niveau van een clock dat niet voldoet aan de setup en houdtijd specificaties nog een extra Enable-puls nodig kan zijn.

Een gebrek aan synchronisatie bij asynchrone clock- en gatesignalen zal aan de uitgang van de PTM in de vorm van jitter te zien zijn.
Er zijn twee soorten jitter. Zoals in figuur 9/8.3-3 wordt uitgelegd, ontstaat systeemjitter als de ingangssignalen niet synchroon zijn met de Enable-ingang (systeem $\Phi 2$) en signalen met marginale setup en houdtijd worden herkend als de bittijd van de dichtst bijzijnde ingangstransitie of de daarop volgende.



Figuur 9/8.3-3: Ontstaan van systeemjitter.

Ingangs-jitter kan zelfs zo groot zijn als de tijd tussen twee negatieve overgangen van een ingangssignaal plus de systeemjitter als de eerste overgang wel bij de ene systeemcyclus wordt herkend, maar niet bij de volgende, of omgekeerd (zie figuur 9/8.3-4).



Figuur 9/8.3-4: Ontstaan van ingangsjitter.

Wanneer timer 3 is geprogrammeerd om zijn optionele :8 prescaler te gebruiken neemt de externe clockingang $\overline{C3}$ een speciale plaats in. De maximale ingangsfrequentie en toelaatbare duty-cycles (aan/uit-verhouding) zijn vermeld in tabel 9/8.3-13. Het uitgangssignaal van de :8 prescaler wordt op dezelfde manier behandeld als de andere clockingangen. Het wordt dus ook door middel van Enablepulsen in de teller geklokt en herkend op de vierde Enable-puls (als tenminste wordt voldaan aan de setup en houdtijden), om een uitgangspuls te produceren die minstens zo breed is als de som van een enableperiode en de setup en houdtijden.

- Gate Ingangen ($\overline{G1}$, $\overline{G2}$, $\overline{G3}$)
  De ingangslijnen $\overline{G1}$, $\overline{G2}$ en $\overline{G3}$ accepteren asynchrone, TTL-compatibele signalen die trigger- of clockgating functies voor de timers 1, 2 en 3 hebben. De gatesignalen worden op dezelfde wijze door het Enable-signaal in de PTM geklokt als de clocksignalen. Een transitie van het gatesignaal wordt dus ook op de vierde Enable-puls door de PTM herkend, enzovoorts.
  De gate-signalen van alle timers hebben direkt invloed op de interne 16-bit teller.

$\overline{G3}$ werkt zodoende onafhankelijk van de selectie van de :8 prescaler.

- Timer Uitgangen (O1, O2, O3)
  De uitgangen O1, O2 en O3 van de timers kunnen twee TTL-belastingen aandrijven en produceren een specifieke golfvorm voor zowel continue als single-shot bedrijfsmodes. De uitgangs-golfvorm wordt gedefinieerd door enkele 16-bit of dubbele 8-bit bedrijfsmodes te selecteren. De enkele 16-bit mode levert in de continue timermode een blokvormig uitgangssignaal op en in de single-shot timermode een enkele puls. De dubbele 8-bit mode produceert zowel in de continue als in de single-shot timermode een puls met variabele duty-cycle. Een bit van elk controlregister (CRX_7) wordt gebruikt om de bijbehorende uitgang vrij te geven. Als dit bit gecleared is, zal de uitgang onafhankelijk van de bedrijfsmode LAAG blijven. De vorm van de uitgangssignalen zijn alleen gedefinieerd in de continue en de single-shot timermode. In de modes voor vergelijking van frequenties en pulsbreedten verschijnen wel signalen aan de uitgang (behalve als $CRX_7 = 0$), maar de golfvorm is hierbij niet voorspelbaar.

Timer Operating Modes

Inleiding

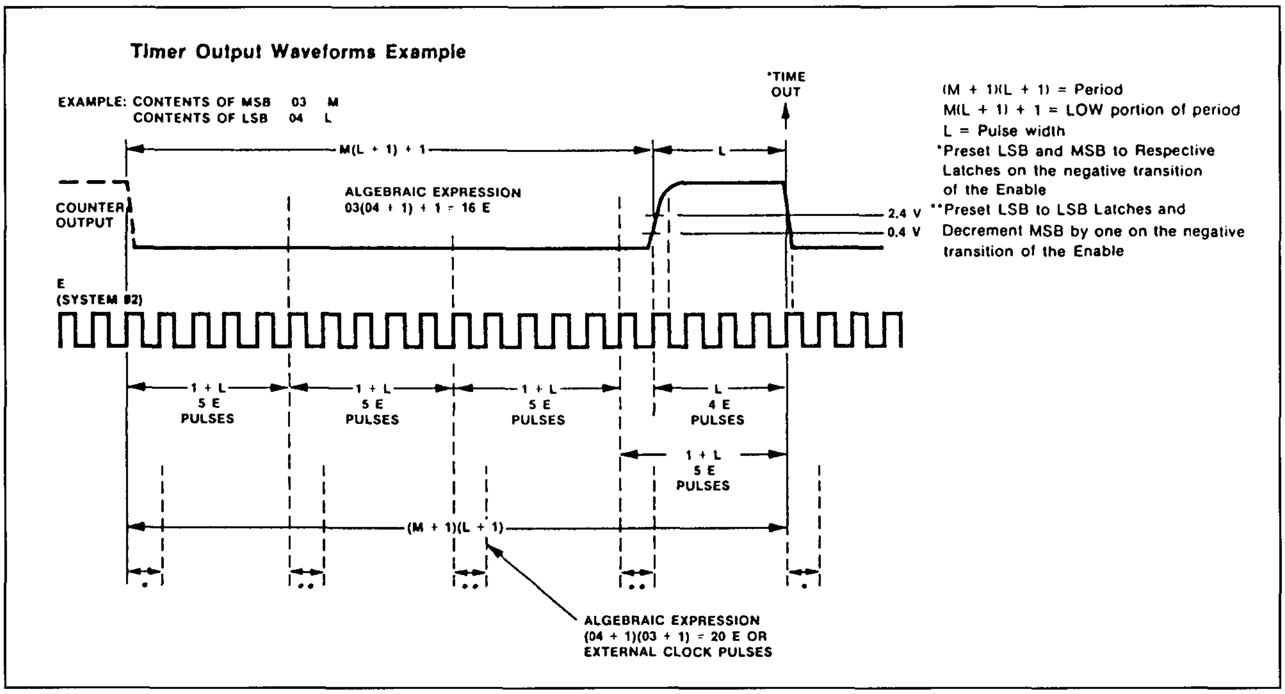
De 6840 is ontworpen voor efficiënt gebruik in vele verschillende toepassingen. Dit wordt bereikt door drie bits van elk controlregister (CRX_3, CRX_4 en CRX_5) te gebruiken voor het bepalen van verschillende bedrijfsmodes van de timers (zie tabel 9/8.3-4).
Het resterende controlregisterbit wordt gebruikt voor modificatie van de initialisatie van de tellers en voor vrijgeven of interruptcondities.

Continue Bedrijfsmode

Elk van de timers in de PTM kan worden geprogrammeerd om in een continue mode te werken door nullen in de bits 3 en 5 van het overeenkomstige controlregister te schrijven (zie tabel 9/8.3-5). Wanneer wordt aangenomen dat de uitgang van de timer is vrijgegeven ($CRX_7 = 1$), zal een blokgolf of een puls met variabele breedte aan de uitgang van de timer verschijnen. De golfvorm wordt ingesteld met bit 2 van het controlregister.
Initialisatie van de teller geschiedt door een timerreset-conditie ($CRX1_0 = 1$ of externe $\overline{RESET} = 0$) of interne herkenning van een negatief gaan van het Gatesignaal. Een "write timer latches" commando kan worden opgevat als een tellerinitialisatie signaal door CRX_4 te clearen.
In de dubbele 8-bit mode ($CRX_2 = 1$) wordt de MSB na een volledige neertelling van LSB + 1 met een verlaagd (zie figuur 9/8.3-5).

Wanneer de LSB = 0 is, blijft de MSB onveranderd; op de volgende clockpuls wordt LSB gereset op de waarde in de LSB-latches en wordt de MSB met één verlaagd. De uitgang blijft (mits vrijgegeven) gedurende en na initialisatie LAAG totdat de MSB-teller op 0 staat. De uitgang gaat dan aan het begin van de volgende clockpuls HOOG. De uitgang blijft HOOG totdat zowel de LSB als de MSB van de teller nul zijn geworden. Bij het begin van de volgende clockpuls zal de gespecificeerde time-out (TO) optreden en gaat de uitgang LAAG. In het voorbeeld van figuur 9/8.3-5 zou de uitgangsperiode in de normale 16-bit mode 1546 clockpulsen omspannen tegen 20 clockpulsen in de dubbele 8-bit mode.
De teller wordt vrijgegeven door het ontbreken van een timer resetconditie en een logische 0 op de Gate-ingang. De teller zal dan op het eerst herkende clocksignaal tijdens of na de initialisatie-cyclus neertellen. De teller blijft op elk clocksignaal neertellen zolang $\overline{G}$ LAAG blijft en er geen resetconditie optreedt. Een teller time-out (de eerste clock nadat alle tellerbits nul zijn geworden) maakt dat de individuele interruptflag wordt geset en dat de teller opnieuw wordt geïnitialiseerd.
Voor de dubbele 8-bit mode ($CRX_2 = 1$) bestaat een speciale conditie als L = 0. In dat

8.3 Type-beschrijving 68-familie



Figuur 9/8.3-5: Voorbeeld van de golfvormen aan de uitgang van de timer.

geval keert de teller terug naar een mode die overeenkomt met de enkele 16-bit mode, behalve dan dat time-out na M + 1 clockpulsen optreedt. De vrijgegeven uitgang gaat tijdens de initialisatie van de teller LAAG en verandert bij elke time-out van toestand. De teller blijft cyclisch (wordt bij elke time-out opnieuw geïnitialiseerd) en de individuele interruptflag wordt geset wanneer een time-out optreedt. Als M = L = 0 veranderen de interne tellers niet, maar "toggelt" de uitgang met een snelheid die de helft is van de clockfrequentie.

Bij het behandelen van de continue mode is er van uitgegaan dat voor de toepassing een uitgangssignaal nodig is. De timer werkt echter op dezelfde manier met gesperde uitgang (CRX_7 = 0). Een "read timer counter" commando werkt onafhankelijk van de toestand van CRX7.

Single-Shot Timer Mode

Deze mode is op drie uitzonderingen na identiek aan de continue mode. De eerste blijkt al uit de naam: de uitgang keert na de initiële time-out naar een LAAG niveau terug en blijft LAAG totdat een nieuwe initialisatiecyclus voor de teller optreedt. De beschikbare golfvormen zijn samengevat in tabel 9/8.3-6.

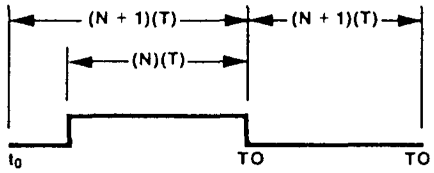
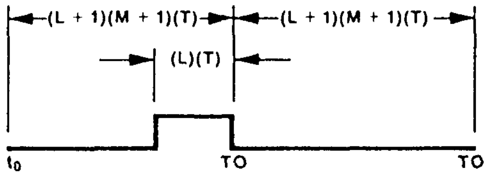
Zoals hierin wordt aangegeven, blijft het interne telmechanisme in de single-shot mode cyclisch. Elke time-out van de teller resulteert in het setten van de individuele interruptflag en herinitialisatie van de teller.

Het tweede belangrijke verschil tussen de single-shot mode en de continue mode is, dat vrijgeven van de interne teller niet afhankelijk is van het niveau van de Gate-ingang die in de single-shot mode LAAG blijft.

In de single-shot mode treedt nog een andere speciale conditie op als L = M = 0 (dubbele 8-bit) of N = 0 (enkele 16-bit). De uitgang gaat dan LAAG op de eerste clock die tijdens of na het initialiseren van de teller wordt ontvangen. De uitgang blijft LAAG totdat de bedrijfsmode wordt veranderd of "non-0" data in de teller-latches wordt geschreven. Time-outs blijven op het einde van elke clockperiode optreden.

8.3 Type-beschrijving 68-familie

Single-Shot Operating Modes, (CRX_3 = "0", CRX_7 = "1", CRX_5 = "1")

Control Register		Initialization/Output Waveforms	
CRX_2	CRX_4	Counter Initialization	Timer Output (OX)
0	0	$\overline{G}\downarrow + W + R$	
0	1	$\overline{G}\downarrow + R$	
1	0	$\overline{G}\downarrow + W + R$	
1	1	$\overline{G}\downarrow + R$	

Tabel 9/8.3-6: Golfvormen aan de uitgang bij single-shot bedrijfsmodes.

De drie verschillen kunnen als volgt worden samengevat:

1 - De uitgang wordt slechts gedurende één clockpuls vrijgegeven totdat opnieuw initialisatie plaats vindt.
2 - Teller Enable is onafhankelijk van Gate.
3 - L = M = 0 of N = 0 spert het uitgangssignaal.

Mode voor frequentievergelijking of periode **meten (CRX_3 = 1, CRX_4 = 0)**
De frequentievergelijkings mode met CRX_5 = 1 is eenvoudig in te zien. Indien na de initialisatiecyclus van een teller voor de eerste negatieve overgang van de Gate-ingang een time-out optreedt, wordt een individuele interruptflag geset. De teller wordt gesperd (disabled) en een teller initialisatiecyclus kan niet beginnen voordat de interruptflag is gecleared en een negatieve overgang op $\overline{G}$ wordt gedetecteerd.

Tijd Interval Modes

De tijdinterval modes dienen voor toepassingen die een grotere flexibiliteit van interruptie en teller initialisatie nodig hebben. In deze modes worden individuele interruptflags geset als functie van zowel teller time-out als veranderingen op de Gate-ingang. Het initialiseren van de tellers wordt ook beïnvloed door de status van de interruptflag.
Het uitgangssignaal wordt in geen van deze modes gedefinieerd, maar de teller werkt zowel in de enkele 16-bit als de dubbele 8-bit mode, die geprogrammeerd worden door CRX2. De overige kenmerken van de tijdinterval modes worden beschreven in tabel 9/8.3-7.

Zoals uit de tabellen 9/8.3-7 en 8 volgt, wordt een interrupt gegenereerd als CRX_5 = 0 is en de Gate-ingang LAAG wordt voor een time-out optreedt. Vindt de teller time-out het eerst plaats dan wordt de teller gerecycled en blijft deze neertellen. Bij de initiële time-out wordt een bit in de timer geset, waardoor het opwekken van individuele interrupties verder wordt verhinderd totdat een volgende initialisatiecyclus van de teller heeft plaatsgevonden. Wanneer dit interne bit is geset,

8.3 Type-beschrijving 68-familie

Timer Interval Modes, CRX_3 = "1"

CRX_4	CRX_5	Application	Condition for Setting Individual Interrupt Flag
0	0	Frequency Comparison	Interrupt Generated if Gate Input Period (1/F) is less than Counter Time-Out (TO)
0	1	Frequency Comparison	Interrupt Generated if Gate Input Period (1/F) is greater than Counter Time-Out (TO)
1	0	Pulse Width Comparison	Interrupt Generated if Gate Input "Down Time" is less than Counter Time-Out (TO)
1	1	Pulse Width Comparison	Interrupt Generated if Gate Input "Down Time" is greater than Counter Time-Out (TO)

Tabel 9/8.3-7: Timer interval modes.

Frequency Comparison Mode, CRX_3 = "1", CRX_4 = "0"

Control Register Bit 5 (CRX_5)	Counter Initialization	Counter Enable Flip-Flop Set (CE)	Counter Enable Flip-Flop Reset (CE)	Interrupt Flag Set (1)
0	$\overline{G}\downarrow \cdot \overline{I} \cdot (\overline{CE} + TO \cdot CE) + R$	$\overline{G}\downarrow \cdot \overline{W} \cdot \overline{R} \cdot \overline{I}$	W + R + I	$\overline{G}\downarrow$ Before TO
1	$\overline{G}\downarrow \cdot \overline{I} + R$	$\overline{G}\downarrow \cdot \overline{W} \cdot \overline{R} \cdot \overline{I}$	W + R + I	TO Before $G\downarrow$

$\overline{I}$ represents the interrupt for a given timer.

Tabel 9/8.3-8: Frequentie vergelijkingsmode.

wordt een nieuwe initialisatiecyclus voor de teller gestart door een negatieve overgang van de Gate-ingang. Er wordt dan voldaan aan de voorwaarde $\overline{G}$.I.TO, aangezien een time-out heeft plaats gevonden en er geen interrupt is gegenereerd.

Elke timer in de PTM kan zo worden geprogrammeerd dat de periode van een puls op de Gate-ingang wordt vergeleken met de periode die nodig is voor een teller time-out. Een negatieve overgang op de Gate-ingang geeft de teller vrij en start een initialisatiecyclus, mits ook aan de andere voorwaarden uit tabel 9/8.3-8 wordt voldaan.
De teller telt op elk herkend clocksignaal tijdens of na het initialiseren af, totdat een interrupt wordt gegenereerd, een "write timer latches" commando wordt ontvangen, of een Timer Reset conditie optreedt. Uit de tabel kan ook worden afgeleid dat een interrupt wordt gegenereerd als CRX_5 = 0 is en de periode van de puls (enkele puls of apart gemeten herhalende pulsen) op de Gate-ingang korter is dan de time-out periode van de teller. Als CRX_5 = 1 is, wordt een interrupt gegenereerd als het omgekeerde waar is. Stel dat met CRX_5 = 1 een teller wordt geïnitialiseerd en dat de Gate-ingang LAAG wordt voordat een time-out optreedt. Aangezien nu geen individuele interruptflag wordt gegenereerd, wordt automatisch een volgende teller initialisatiecyclus gestart. Het proces blijft doorgaan met het vergelijken van de frequentie van elke Gate-ingangscyclus totdat de mode verandert of een cyclus wordt gemeten die boven de vastgestelde limiet uitkomt.

Pulsbreedte Vergelijkingsmode (CRX_3 = 1, CRX_4 = 1)

Deze mode komt overeen met de frequentie vergelijkingsmode, behalve dat het tellen wordt bepaald door een positieve, in plaats

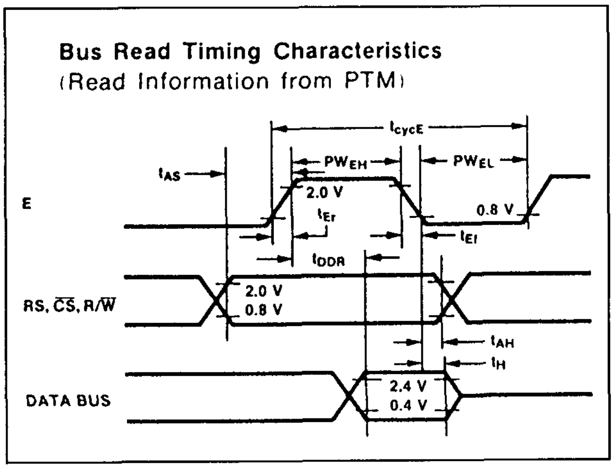
8.3 Type-beschrijving 68-familie

van een negatieve overgang op de Gate-ingang.
Met CRX_5 = 0 wordt een individuele interruptflag gegenereerd als de tijdsduur van het LAAG-niveau op de Gate-ingang korter is dan de periode die voor een teller time-out nodig is. Met CRX5 = 1 wordt de interrupt gegenereerd bij een tegengestelde conditie.

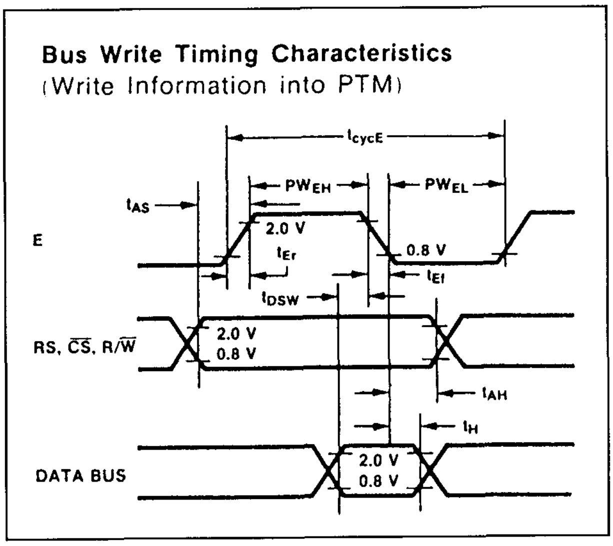
In tabel 9/8.3-9 is te zien dat een positieve overgang op de Gate-ingang de teller spert. Met CRX_5 = 0 is het daarom mogelijk direkt de breedte te bepalen van een puls die een interrupt veroorzaakt. Wanneer twee secties van de PTM worden gebruikt, is het ook mogelijk om dergelijke data voor andere tijdinterval modes en condities te verkrijgen.

Overige kenmerken

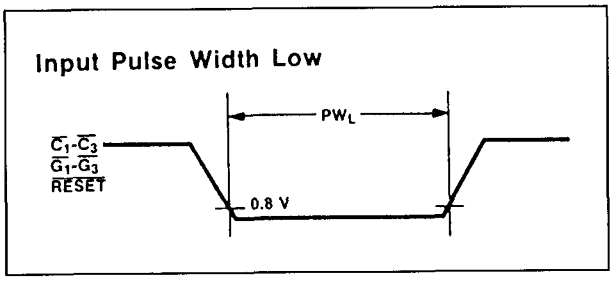
De overige elektrische en timing kenmerken van de verschillende uitvoeringen van de 6840 zijn te zien in de figuren 9/8.3-6 tot en met 9/8.3-12 en de tabellen 9/8.3-10 tot en met 9/8.3-13. De hier vermelde waarden voor de PTM's van Fairchild zijn identiek aan die van de andere merken.



Figuur 9/8.3-6: Golfvormen en bus-schakeltijden bij uitlezen van de 6840.



Figuur 9/8.3-7: Golfvormen en bus-schakeltijden bij schrijven naar de 6840.



Figuur 9/8.3-8: Tijdsduur van LAAG gaande pulsen.

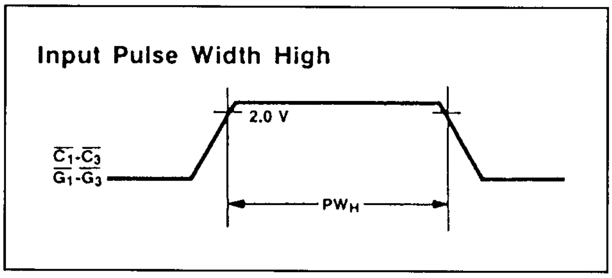
Pulse Width Comparison Mode, CRX_3 = "1", CRX_4 = "1"

Control Register Bit 5 (CRX_5)	Counter Initialization	Counter Enable Flip-Flop Set (CE)	Counter Enable Flip-Flop Reset (CE)	Interrupt Flag Set (I)
0	$\overline{G}\downarrow \cdot \overline{T} + R$	$\overline{G}\downarrow \cdot \overline{W} \cdot \overline{R} \cdot \overline{T}$	W + R + I + G	$\overline{G}\uparrow$ Before TO
1	$\overline{G}\downarrow \cdot \overline{T} + R$	$\overline{G}\downarrow \cdot \overline{W} \cdot \overline{R} \cdot \overline{T}$	W + R + I + G	TO Before $\overline{G}\uparrow$

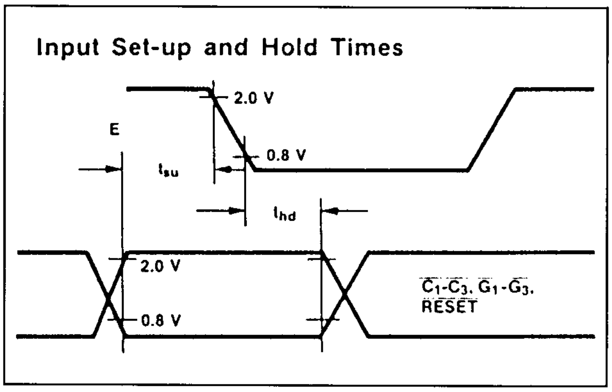
G = Level sensitive recognition of Gate Input

Tabel 9/8.3-9: Pulsbreedte vergelijkingsmode.

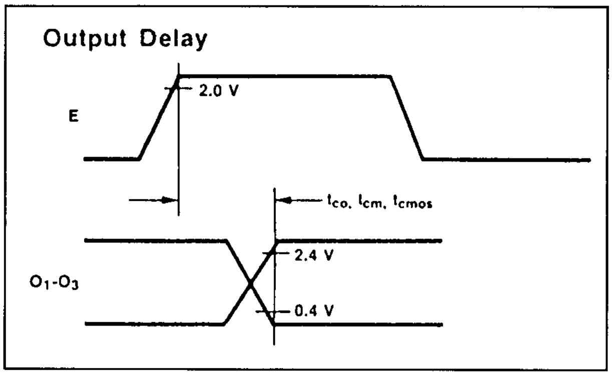
8.3 Type-beschrijving 68-familie



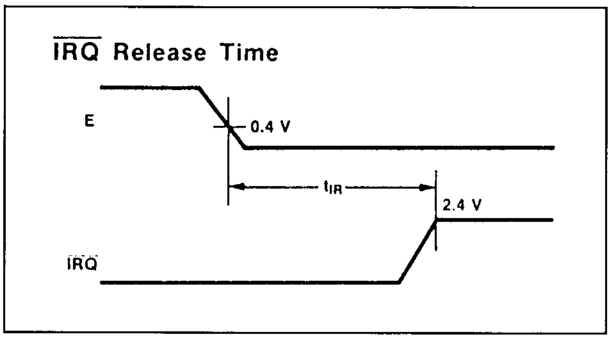
Figuur 9/8.3-9: Tijdsduur van HOOG gaande pulsen.



Figuur 9/8.3-10: Setup- en houdtijden van ingangssignalen.



Figuur 9/8.3-11: Vertraging aan de uitgang.



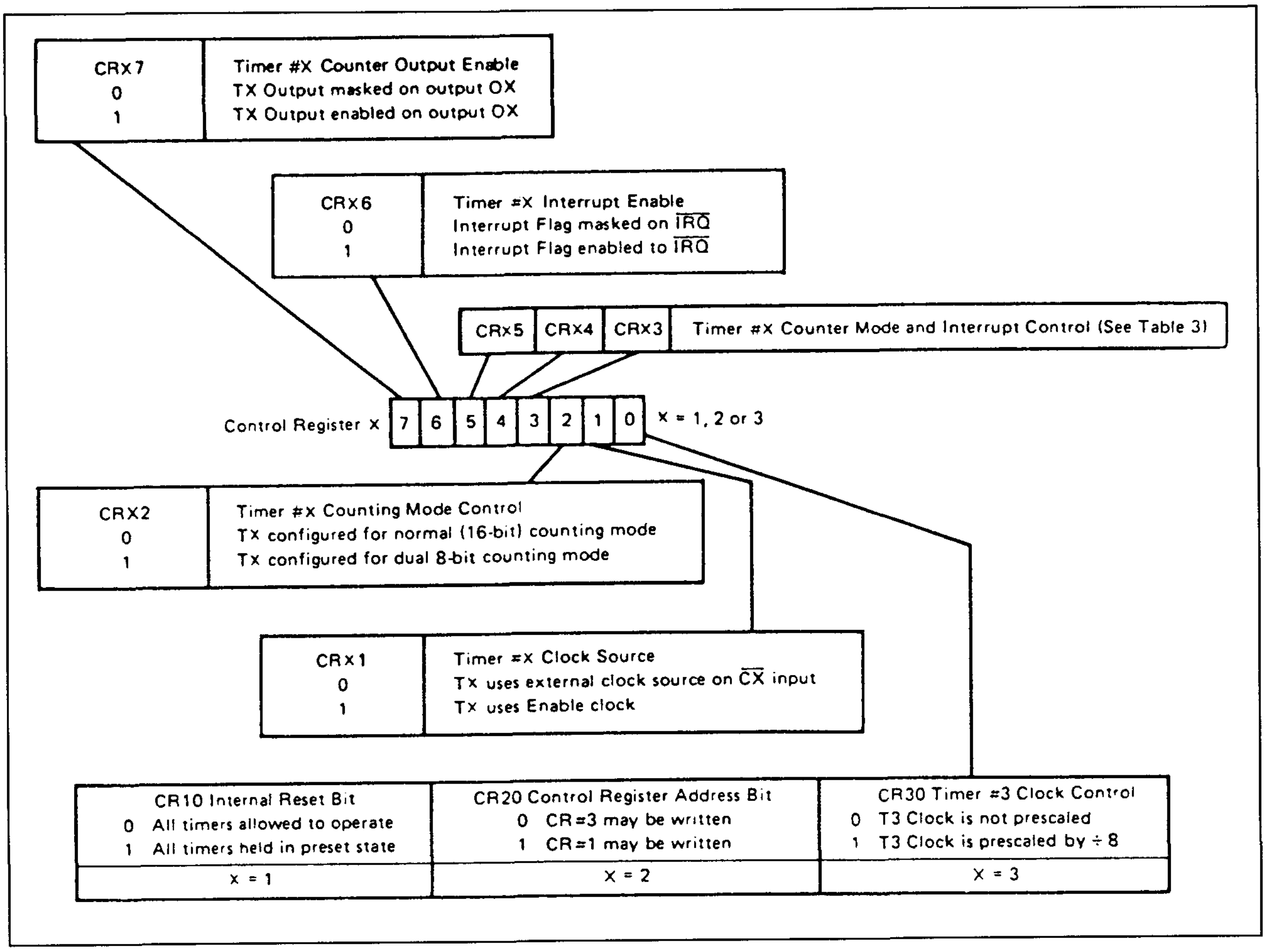
Figuur 9/8.3-12: Vertraging na een $\overline{IRQ}$.

DC Characteristics V_{CC} = 5.0 V ±5%, V_{SS} = 0, T_A = T_L to T_H, unless otherwise noted.

Symbol	Characteristic	Signal	Min	Typ	Max	Unit	Test Condition
V_{IH}	Input HIGH Voltage		2.0			V	
V_{IL}	Input LOW Voltage		-0.4		0.8	V	
I_{IN}	Input Leakage Current			1.0	2.5	μA	V_{IN} = 0 to 5.25 V
I_{TSI}	3-State (OFF State) Input Current	D_0-D_7		2.0	10	μA	V_{IN} = 0.4 to 2.4 V
V_{OH}	Output HIGH Voltage	D_0-D_7 Other Outputs	2.4 2.4			V	I_{Load} = -205 μA, I_{Load} = 200 μA
V_{OL}	Output LOW Voltage	D_0-D_7 O_1-O_3, $\overline{IRQ}$			0.4 0.4	V	I_{Load} = 1.6 mA, I_{Load} = 3.2 mA
I_{LOH}	Output Leakage Current (OFF State)	($\overline{IRQ}$)		1.0	10	μA	V_{OH} = 2.4 V
P_D	Power Dissipation			470	700	mW	
C_{IN}	Input Capacitance	D_0-D_7 All Other Inputs			12.5 7.5	pF	V_{IN} = 0, T_A = 25°C, f = 1.0 MHz
C_{OUT}	Output Capacitance	O_1, O_2, O_3 $\overline{IRQ}$			10 5.0	pF	V_{IN} = 0, T_A = 25°C, f = 1.0 MHz

Tabel 9/8.3-11: Gelijkspanningscondities.

8.3 Type-beschrijving 68-familie



Figuur 9/8.3-13: Overzicht van de bit-functies van het controlregister.

Absolute Maximum Ratings	
Supply Voltage	-0.3 V, +7.0 V
Input Voltage	-0.3 V, +7.0 V
Operating Temperature Range — T_L to T_H	
F6840P,S/F68A40P,S/F68B40P,S	0° C, +70° C
F6840CP,CS/F68A40CP,CS	-40° C, +85° C
F6840DL	-55° C, +85° C
F6840DM	-55° C, +125° C
Storage Temperature Range	-55° C, +150° C
Thermal Resistance	
Plastic Package	115° C/W
Ceramic Package	60° C/W

Tabel 9/8.3-10: Maximaal toegelaten waarden.

8.3 Type-beschrijving 68-familie

Read

Symbol	Characteristic	F6840		F68A40		F68B40		Unit
		Min	Max	Min	Max	Min	Max	
$t_{cyc}E$	Enable Cycle Time	1.0	10	0.666	10	0.5	10	μs
PW_{EH}	Enable Pulse Width, HIGH	0.45	4.5	0.280	4.5	0.22	4.5	μs
PW_{EL}	Enable Pulse Width, LOW	0.43		0.280		0.21		μs
t_{AS}	Set-up Time, Address and R/$\overline{W}$ valid to enable positive transition	160		140		70		ns
t_{DDR}	Data Delay Time		320		220		180	ns
t_H	Data Hold Time	10		10		10		ns
t_{AH}	Address Hold Time	10		10		10		ns
t_{Er}, t_{Ef}	Rise and Fall Time for Enable input		25		25		25	ns

Write

Symbol	Characteristic	F6840 Min	F6840 Max	F68A40 Min	F68A40 Max	F68B40 Min	F68B40 Max	Unit
$t_{cyc}E$	Enable Cycle Time	1.0	10	0.666	10	0.50	10	μs
PW_{EH}	Enable Pulse Width, HIGH	0.45	4.5	0.280	4.5	0.22	4.5	μs
PW_{EL}	Enable Pulse Width, LOW	0.43		0.280		0.21		μs
t_{AS}	Set-up Time, Address and R/$\overline{W}$ valid to enable positive transition	160		140		70		ns
t_{DSW}	Data Set-up Time	195		80		60		ns
t_H	Data Hold Time	10		10		10		ns
t_{AH}	Address Hold Time	10		10		10		ns
t_{Er}, t_{Ef}	Rise and Fall Time for Enable input		25		25		25	ns

Figuur 9/8.3-12: Bus-timing karakteristieken bij uitlezen van en schrijven naar de 6840 (zie ook de figuren 9/8.3-6 en -7).

AC Characteristics

Symbol	Characteristic		F6840		F68A40		F68B40		Unit
			Min	Max	Min	Max	Min	Max	
t_r, t_f	Input Rise and Fall Times	$\overline{C}$,$\overline{G}$ and $\overline{RESET}$		1.0*		0.666*		0.500*	μs
PW_L	Input Pulse Width LOW	$\overline{C}$,$\overline{G}$ and $\overline{RESET}$	$t_{cyc}E$ $+t_{su}$ $+t_{hd}$		$t_{cyc}E$ $+t_{su}$ $+t_{hd}$		$t_{cyc}E$ $+t_{su}$ $+t_{hd}$		ns
PW_H	Input Pulse Width HIGH	$\overline{C}$,$\overline{G}$	$t_{cyc}E$ $+t_{su}$ $+t_{hd}$		$t_{cyc}E$ $+t_{su}$ $+t_{hd}$		$t_{cyc}E$ $+t_{su}$ $+t_{hd}$		ns
t_{su}	Input Set-up Time (Synchronous Mode)	$\overline{C}$,$\overline{G}$ and $\overline{RESET}$ $\overline{C3}$ (÷8 Prescaler Mode only)	200		120		75		ns
t_{hd}	Input Hold Time (Synchronous Mode)	$\overline{C}$,$\overline{G}$ and $\overline{RESET}$ $\overline{C3}$ (÷8 Prescaler Mode only)	50		50		50		ns
	Output Delay, 01-03								
t_{co}	(V_{OH} = 2.4 V, Load B)	TTL		700		460		340	ns
t_{cm}	(V_{OH} = 2.4 V, Load D)	MOS		450		450		340	ns
t_{cmos}	(V_{OH} = 0.7 V_{DD}, Load D)	CMOS		2.0		1.35		1.0	μs
t_{IR}	Interrupt Release Time			1.2		0.9		0.7	μs

*t_r and $t_f \leq 1 \times$ Pulse Width or 1.0 μs, whichever is smaller.

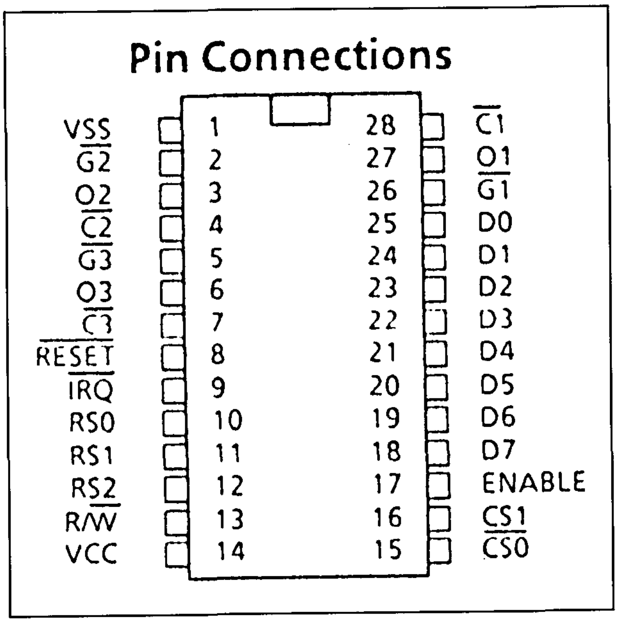
Figuur 9/8.3-13: Schakeltijden (zie ook de figuren 9/8.3-8 tot en met 9/8.3-12).

8.3 Type-beschrijving 68-familie

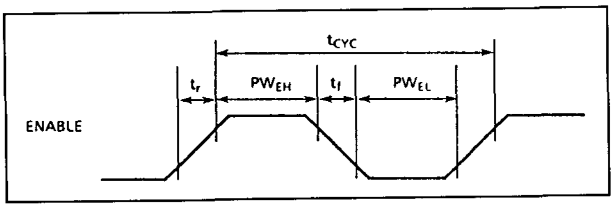
68C40/6340
CMOS Programmable Timer Module

Van de 6840 programmeerbare timer zijn bij Hitachi en Mitel ook CMOS-versies leverbaar. Bij Hitachi worden deze 6340, 63A40 en 63B40 genoemd en bij Mitel MD68SC40. De werking hiervan is precies hetzelfde als van de 6840, alleen wordt in de CMOS-uitvoering natuurlijk veel minder vermogen gedissipeerd. De PTM van Mitel is zelfs geschikt voor een voedingsspanning tussen 3 en 6 V!

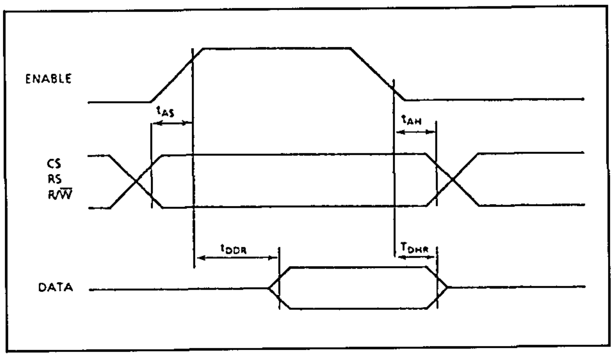
In dit gedeelte zijn de van de NMOS 6840 afwijkende elektrische en timing eigenschappen van de 68SC40 opgenomen. Voor een exacte beschrijving van alle signalen en functies wordt verwezen naar de 6840, evenals de timing van de Hitachi-typen.



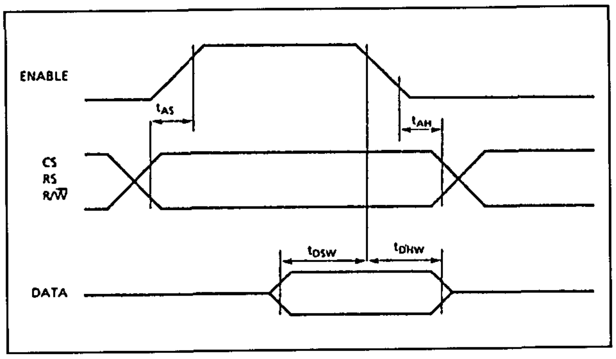
Figuur 9/8.3-14: Aansluitingen van de 68C40/6340.



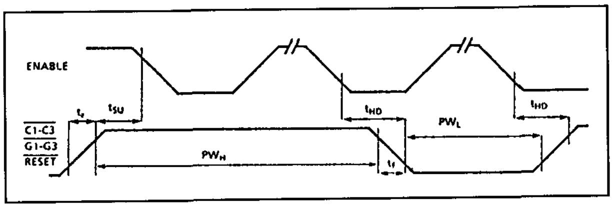
Figuur 9/8.3-16: Timing van de Enable-puls.



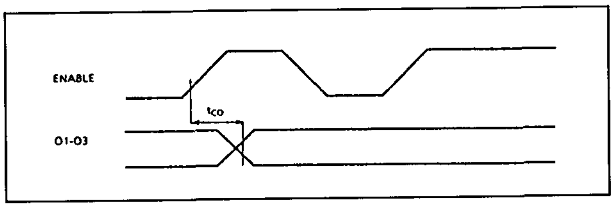
Figuur 9/8.3-17: Golfvormen bij uitlezen van de PTM.



Figuur 9/8.3-18: Golfvormen bij schrijven naar de PTM.

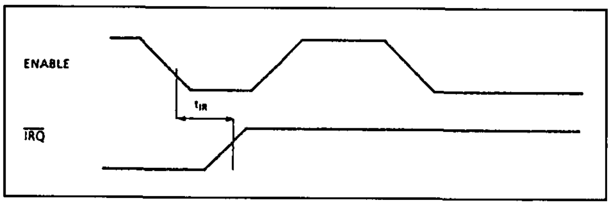


Figuur 9/8.3-19: Timing van de ingangspulsen.

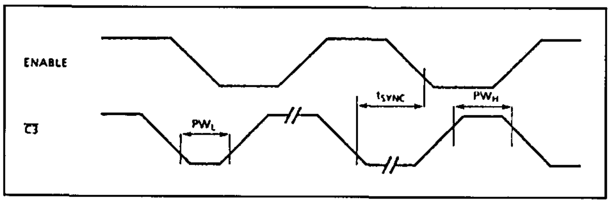


Figuur 9/8.3-20: Vertraging van het uitgangssignaal.

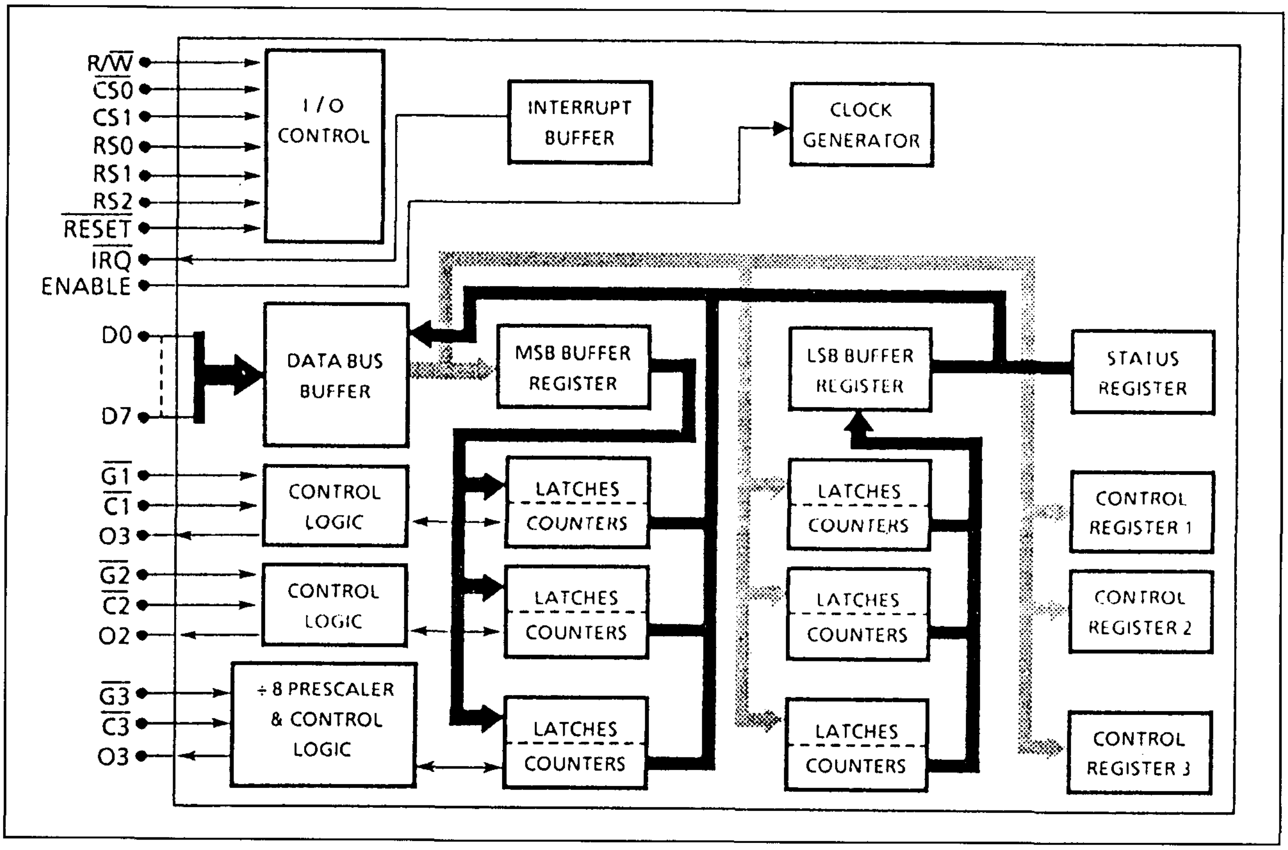
8.3 Type-beschrijving 68-familie



Figuur 9/8.3-21: Timing van het resetten na een interrupt.



Figuur 9/8.3-22: Timing van C3 (prescaler-input).



Figuur 9/8.3-15: Functioneel blokschema van de 68C40/6340.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated

	Characteristics	Sym	Min	Typ[1]	Max	Units	Test Conditions
1	Supply Voltage	V_{CC}	3.0	5.0	6.0	V	
2	Input Voltage	V_I	0		V_{CC}	V	
3	Output Voltage	V_O	0		V_{CC}	V	
4	Operating Temperature	T_A	-40	+ 25	+ 85	°C	
5	Operating Frequency	f	0		2.0	MHz	

[1] Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

Tabel 9/8.3-15: Aanbevolen bedrijfscondities.

8.3 Type-beschrijving 68-familie

Absolute Maximum Ratings*

	Parameter	Symbol	Min	Max	Units
1	Supply Voltage	V_{CC} - V_{SS}	- 0.3	7.0	V
2	Voltage on any I/O pin	V_I	V_{SS}-0.3	V_{CC} + 0.3	V
3	Current on any I/O pin	I_I		± 10	mA
4	Operating Temperature	T_A	-40	+ 85	°C
5	Storage Temperature	T_S	-65	+ 150	°C
6	Power Dissipation Plastic	P_D		1.0	W
	Ceramic	P_D		1.0	W

*Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

Figuur 9/8.3-14: Maximaal toegelaten waarden voor de 68SC40.

DC Electrical Characteristics† - Voltages are with respect to ground (V_{SS}) unless otherwise stated

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1		Quiescent Supply Current	I_{CC1}		2		µA	Outputs Open
2		Operating Supply Current	I_{CC}		4		mA/MHz	Outputs Open
3	INPUTS	Input High Voltage		2.0		V_{CC}	V	
4		Input Low Voltage		-0.3		0.8	V	
5		Input Leakage Current (D0-7)	I_{IZ}			10	µA	V_{IN} = 0 to V_{CC}
		Other Inputs	I_{IZ}			2.5	µA	V_{IN} = 0 to V_{CC}
6		Input Capacitance (D0-7)	C_{IN}		5.0		pF	T_A = 25°C f = 1.0 MHz
		Other Inputs	C_{IN}		10.0		pF	T_A = 25°C f = 1.0 MHz
7	OUTPUTS	Output High Voltage (D0-7)	V_{OH}	2.4			V	I_{OH} = 205 µA
		(Other Inputs)	V_{OH}	2.4			V	I_{OH} = 200 µA
8		Output Low Voltage (D0-7)	V_{OL}			0.4	V	I_{OH} = 1.6 mA
		(Other Inputs)	V_{OL}			0.4	V	I_{OH} = 3.2 mA
9		Output Leakage Current IRQ (OFF state)	I_{OZ}		10		µA	V_{OH} = 2.4 V
10		Output Capacitance	C_O		5.0		pF	T_A = 25°C F = 1.0 MHz

†DC Electrical Characteristics are over recommended temperature range & recommended power supply voltages

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

Tabel 9/8.3-16: Gelijkspanningscondities.

8.3 Type-beschrijving 68-familie

AC Electrical Characteristics† - Voltages are with respect to ground (V_{SS}) unless otherwise stated

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	MPU INTERFACE	Enable Cycle Time	t_{CYC}	500	320		ns	See Timing Diagram 1
2		Enable Low Pulse Width	PW_{EL}	210	135		ns	See Timing Diagram 1
3		Enable High Pulse Width	PW_{EH}	220	145		ns	See Timing Diagram 1
4		Enable Rise and Fall Time	t_r, t_f		16	25	ns	See Timing Diagram 1
5		Address CE & $R/\overline{W}$ Set-up Time (Access Set-Up)	t_{AS}	40	25		ns	See Timing Diagrams
6		Address CE & $R/\overline{W}$ Hold Time (Access Hold)	t_{AH}	10	7		ns	See Timing Diagrams
7		Data Output Delay (Read)	t_{DDR}		95	150	ns	See Timing Diagram 2
8		Data Output Hold Time (Read)	t_{DHR}	20		100	ns	See Timing Diagram 2
9		Data Input Set-Up Time (Write)	t_{DSW}		40		ns	See Timing Diagram 3
10		Data Input Hold Time (Write)	t_{DHW}	10	7		ns	See Timing Diagram 3
11	PERIPHERAL INTERFACE	Control Input Signal Set-up	t_{SU}	70	45		ns	See Timing Diagram 4
12		Control Input Signal Hold	t_{HD}	70	45		ns	See Timing Diagram 4
13		Control Input Signal Rise & Fall	t_r, t_f		350	500	ns	See Timing Diagram 4
14		Control Input Signal Pulse						
		Pulse width High	PW_H	t_{PW}*				See Timing Diagram 4
		Pulse width Low	PW_L	t_{PW}*				See Timing Diagram 4
15		Counter Output Delay						
		TTL	t_{CO}		220	340	ns	See Timing Diagram 5
		MOS	t_{CM}		220	340	ns	
		CMOS	t_{CMOS}		0.6	1.0	µs	
16		Interrupt Reset Time	t_{IR}		450	700	ns	See Timing Diagram 6
17		Prescaler Input Sync. Time (C3)	t_{SYNC}	175			ns	See Timing Diagram 7
18		Prescaler Input Pulse Width	PW_H	60			ns	See Timing Diagram 7
			PW_L	60			ns	See Timing Diagram 7

† Timing is over recommended temperature range & V_{CC} = 5V ± 5%.

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

* $t_{PW} = t_{CYC} + t_{SU} + t_{HD}$

Tabel 9/8.3-17: Schakeltijden van de 68SC40 (voor de timing van de 6340 zie bij 6840).

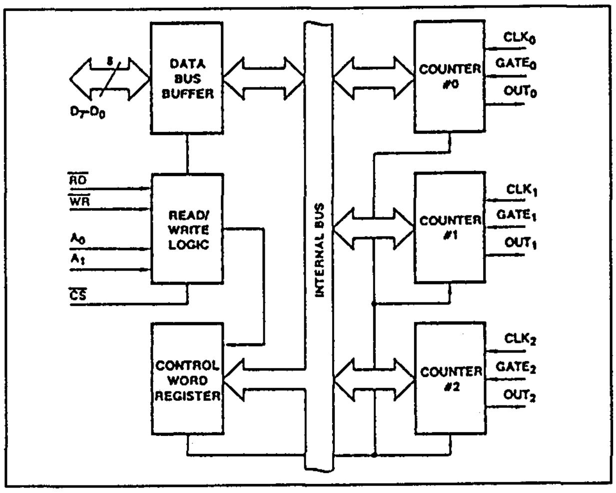
8.3 Type-beschrijving 68-familie

9/8.4

Type-beschrijving 80-familie

8253
Programmable Interval Timer - PIT

Inleiding
De 8253 is een programmeerbare interval timer/counter die speciaal werd ontwikkeld voor gebruik met microprocessorsystemen van de 80xx-familie, zoals onder andere de 8080, 8088, 8086, 80286, enzovoorts.
Het is een multi-timing element (3 onafhankelijke tellers) voor algemene doeleinden dat in de systeem-software behandeld kan worden als een array van in- en uitgangspoorten.

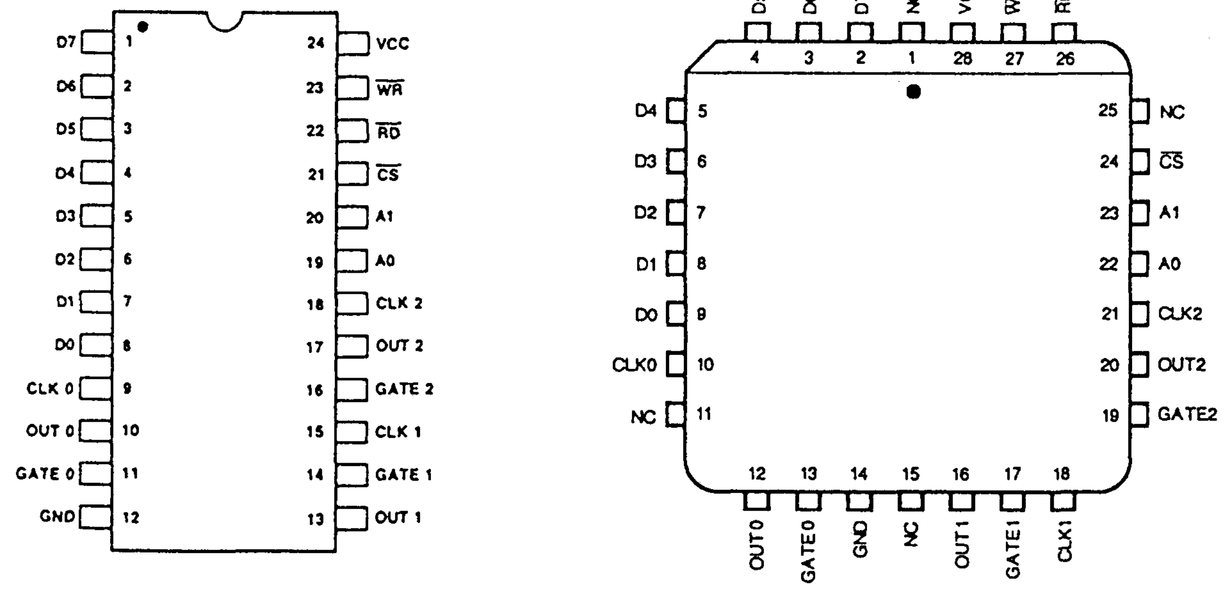


Figuur 9/8.4-2: Blokschema met de drie onafhankelijke tellers, de databus buffer, het besturingsregister en de -logica.

Kenmerken van de 8253
- 3 onafhankelijke 16-bit tellers
- programmeerbare telmodes
- telt binair of BCD
- geschikt voor 80xx microprocessoren (8253-5 compatible met MCS-85)
- busgeoriënteerde I/O
- enkele + 5 V 5% voeding
- behuizing 24-pens plastic of keramische DIL, AMD-type ook in 28-pens PLCC (figuur 9/8.4-1)
- DC tot 5 MHz
- bedrijfstemperatuur: 0 tot 70 °C (industrieel: -40 tot + 85 °C)
- ook verkrijgbaar in CMOS: Siemens SAB 82C53
- fabrikanten:
  - AMD: Am 8253, Am 8253-5 (2,6 MHz), Am 8253-2 (5 MHz)
  - Intel: 8253, 8253-5 (2,6 MHZ)
  - Mitsubishi: M5L 8253AP-5
  - NEC: uPD 8253C-5 (4 MHZ), uPD 8253C-2 (5 MHz)
  - Toshiba: TMP 8253P-5

Functionele beschrijving
Met de 8253 kunnen zeer precieze tijdvertragingen onder software besturing worden gegenereerd, waarmee een van de meest voorkomende problemen bij real-time systemen kan worden opgelost. In plaats van tijd consumerende loops in de systeemsoftware aan te brengen, kan de programmeur de 8253 naar eigen wens instellen. Elke teller van de 8253 (waarvan figuur 9/8.4-2 het blokschema toont) kan daartoe met de gewenste waarde worden geïnitialiseerd, waarna de 8253 op commando de vertraging uittelt en de CPU interrumpeert.

8.4 Type-beschrijving 80-familie



Figuur 9/8.4-1: Aansluitgegevens van de 8523.

Het is duidelijk dat hiervoor weinig extra software nodig is en dat door het toekennen van prioriteitsniveaus meerdere vertragingen mogelijk zijn.

Met de 8253 kunnen ook andere, "nondelay" functies worden geïmplementeerd, zoals:
- programmeerbare rate generator;
- binaire rate multipler;
- real time clock;
- digitale one-shot generator;
- complexe motor besturing.

Pen-beschrijving

- Data Bus Buffer (D7 -D0)
  Deze 3-state, bidirectionele 8-bit buffer wordt gebruikt om de 8253 op de databus van het systeem aan te sluiten.
  Bij het uitvoeren van de INput of OUTput instructies van de CPU wordt de data verzonden, respectievelijk ontvangen.

  De Data Buffer wordt gebruikt voor:
  - het programmeren van de bedrijfsmodes van de 8253;
  - het laden van de telregisters;
  - het uitlezen van de telwaarden.
- Read/Write Logic
  De lees/schrijflogika accepteert signalen van de systeembus en genereert besturingssignalen voor de werking van de 8253. De schakeling wordt vrijgegeven of gesperd door CS, zodat de functie niet veranderd kan worden, tenzij de 8253 is geselecteerd door de systeemlogica.
  De functies van de volgende signalen worden samengevat in tabel 9/8.4-1.
  - $\overline{RD}$ (Read)
    Een LAAG op deze ingang laat de 8253 weten dat data in de vorm van de waarde van een teller naar de CPU gaat.
  - $\overline{WR}$ (Write)
    Door een LAAG op deze ingang wordt de 8253 medegedeeld dat de CPU data afstaat in de vorm van mode-informatie of dat de tellers worden geladen.

8.4 Type-beschrijving 80-familie

$\overline{CS}$	$\overline{RD}$	$\overline{WR}$	A_1	A_0	
0	1	0	0	0	Load Counter No. 0
0	1	0	0	1	Load Counter No. 1
0	1	0	1	0	Load Counter No. 2
0	1	0	1	1	Write Mode Word
0	0	1	0	0	Read Counter No. 0
0	0	1	0	1	Read Counter No. 1
0	0	1	1	0	Read Counter No. 2
0	0	1	1	1	No-Operation 3-State
1	X	X	X	X	Disable 3-State
0	1	1	X	X	No-Operation 3-State

Tabel 9/8.4-1: Functies van de signalen uit de processor.

- A0, A1
  Deze ingangen worden gewoonlijk verbonden met de adresbus. Hiermee kan worden geselecteerd met welke van de drie tellers wordt gewerkt en kan het controlword register voor modeselectie worden geadresseerd.
- $\overline{CS}$ (Chip Select)
  Een LAAG op deze ingang geeft de 8253 vrij (enable). Als de schakeling niet is geselecteerd, zal geen lees- of schrijfhandeling optreden. De CS ingang heeft geen invloed op werking van de tellers.
- Control Word Register
  Het Control Word Register wordt bereikt door A0 en A1 HOOG te maken. Informatie van de databus buffer wordt dan geaccepteerd en opgeborgen in een register. De in dit register opgeslagen informatie regelt de bedrijfs-MODE van elke teller, selecteert of er binair of BCD geteld wordt en regelt het laden van elke teller.
  Er kan alleen naar het Control Word Register worden geschreven.
- Counter #0, Counter #1, Counter #2
  Aangezien deze functionele blokken alle drie op dezelfde manier werken wordt slechts een teller beschreven.
  Iedere teller bestaat uit een enkele 16-bit presetbare neerteller. De teller kan in binaire of BCD-code werken, terwijl de input, gate en output worden geconfigureerd door de MODES die in het Control Word Register zijn opgeslagen.
  De tellers zijn volledig onafhankelijk van elkaar. Ze kunnen dus ieder een andere MODE-configuratie en telmethode (binair of BCD) hebben. Bovendien bevat het controlwoord speciale commando's voor het laden van de telwaarde, zodat de benodigde software voor deze functies minimaal kan zijn.
  De programmeur kan voor teldoeleinden door middel van eenvoudige READ-operaties over de inhoud van elke teller beschikken. De 8253 is bovendien uitgerust met speciale commando's en logika om de inhoud van elke teller "on the fly" (zonder de clockingang te moeten sperren) uit te lezen.

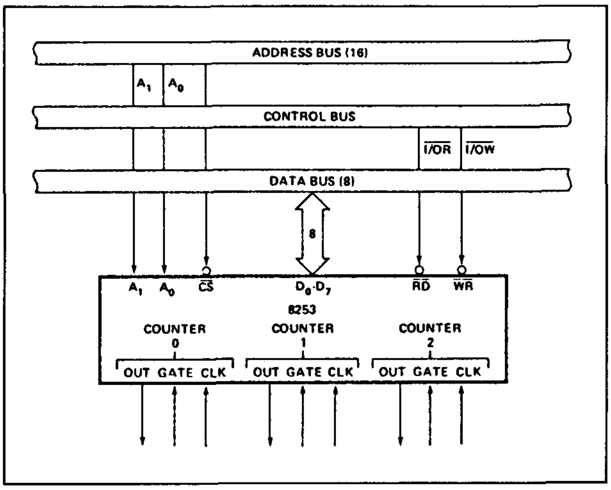
8253 Systeem Interface

De 8253 is een component uit de iAPX-familie microcomputer systemen en kan op dezelfde manier als alle andere periferieschakelingen van deze familie hierop worden aangesloten. Hij wordt door de systeemsoftware behandeld als een array van I/O-poorten; drie ervan zijn tellers en de vierde is een controlregister voor MODE-programmering. Zoals in figuur 9/8.4-3 te zien is worden de selectingangen A0 en A1 op de A0- en A1-lijnen van de adresbus van de CPU aangesloten. CS kan direkt van de adresbus worden afgeleid door een lineaire selectiemethode toe te passen of door hem op de uitgang van een decoder (bijvoorbeeld een 8205 of een Am25LS2548) aan te sluiten.

Werking

- Algemeen
  Alle functies van de 8253 worden geprogrammeerd door de systeemsoftware. De CPU moet een aantal controlwoorden versturen om elke teller van de 8253 te initialiseren met de gewenste MODE en kwantitatieve informatie. Hierna staat de 8253 klaar om elke ingestelde taak uit te voeren. Alle tellers verrichten hun eigenlijke telhandelingen volkomen onafhankelijk van el-

8.4 Type-beschrijving 80-familie



Figuur 9/8.4-3: Systeem interface (processor interfacesignalen boven, clocksignalen onder).

kaar en de chip is voorzien van extra logika om de problemen te vermijden die meestal ontstaan bij het bijhouden en beheren van asynchrone, externe gebeurtenissen.

- Programmeren van de 8253
  Alle bedrijfsmodes voor elke teller kunnen met behulp van eenvoudige I/O-operaties door de systeemsoftware worden geprogrammeerd. Elke teller wordt apart geprogrammeerd door het schrijven van een controlwoord naar het Control Word Register (A0, A1 = 11).
- Control Word
  In figuur 9/8.4-4 is het Control Word Format te zien. De betekenis van de afzonderlijke delen hiervan zijn samengevat in de tabellen 9/8.4-2, -3, -4 en -5.

MODE definities

- MODE O: Interrupt on Terminal Count

Control Word Format

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

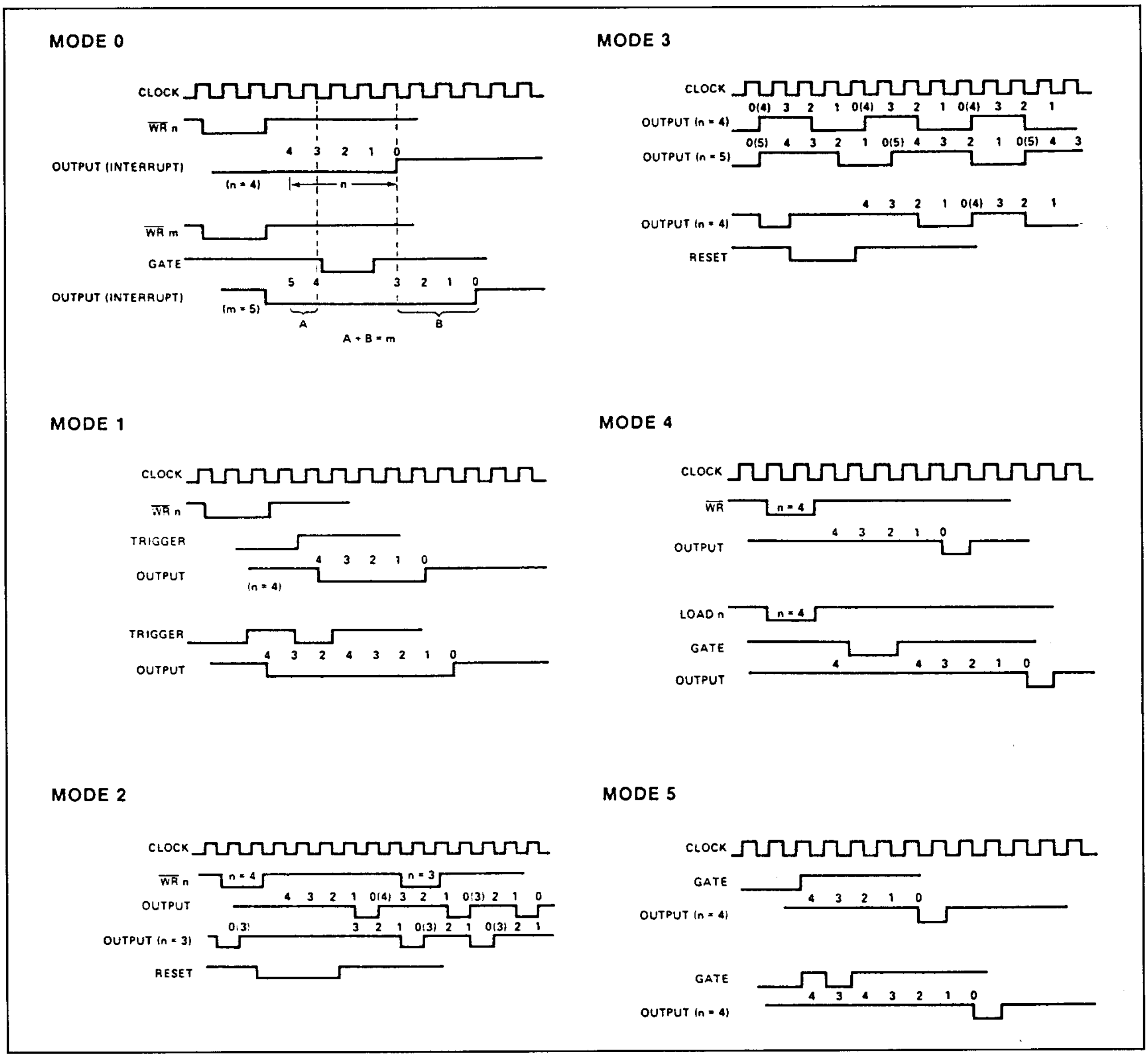
Figuur 9/8.4-4: Betekenis van de bits in het controlwoord (zie ook de tabellen 9/8.4-2 tot en met 9/8.4-5).

De uitgang zal na het instellen van de mode eerst LAAG zijn. Nadat de te tellen waarde (count) in het geselecteerde telregister is geladen blijft de uitgang LAAG en gaat de teller neertellen. Als de teller na het ingestelde aantal klokpulsen op nul komt, gaat de uitgang HOOG en blijft HOOG totdat het geselecteerde telregister opnieuw wordt geladen met de mode of er een nieuwe telwaarde wordt geladen. Zoals bij MODE 0 te zien is kan het tellen worden onderbroken door de gate-ingang LAAG te maken. Wordt de gate weer HOOG, dan wordt het tellen hervat. Het opnieuw laden van een telregister tijdens het tellen heeft tot gevolg dat:

  - het tellen stopt bij het laden van de eerste byte en
  - opnieuw wordt geteld bij het laden van de tweede byte.

- MODE 1: Programmable One-Shot
  Op de klokpuls die na de stijgende flank van het gatesignaal komt gaat de uitgang LAAG. Is de ingestelde telwaarde bereikt, dan gaat de uitgang weer HOOG. Wordt een nieuwe telwaarde geladen terwijl de uitgang LAAG is, dan wordt de lengte van de one-shot puls pas beïnvloed bij de volgende triggering. De stand van de teller kan op elk moment worden uitgelezen zonder de pulsduur te beïnvloeden.
  De one-shot is hertriggerbaar, zodat de uitgang LAAG blijft gedurende de gehele telwaarde na elke willekeurige stijgende flank van het gatesignaal.
- MODE 2: Rate Generator
  De teller werkt hierbij als "deel-door-N" teller. De uitgang gaat LAAG gedurende een periode van de ingangsklok. De periode van de ene uitgangspuls tot de volgende is gelijk aan het het aantal ingangspulsen naar het telregister. Als het telregister tussen twee uitgangspulsen opnieuw wordt geladen, heeft dit geen invloed op de lopende periode. Pas de volgende periode zal de nieuwe waarde hebben.
  Als de gate-ingang LAAG is, is de uitgang HOOG. Gaat het gatesignaal HOOG, dan

8.4 Type-beschrijving 80-familie



Figuur 9/8.4-5: Timing diagrammen voor de zes bedrijfsmodes van de 8253.

start de teller bij de ingestelde waarde. De gate-ingang kan dus worden gebruikt om de teller te synchroniseren. Wanneer deze mode is ingesteld, blijft de uitgang HOOG tot na het laden van het telregister. Hierdoor kan de teller ook worden gesynchroniseerd door software.

- MODE 3: Square Wave Rate Generator
Deze mode is gelijk aan mode 2, alleen blijft de uitgang HOOG totdat de helft van de telwaarde is geteld (voor even aantallen), waarna de uitgang LAAG wordt gedurende de andere helft van de tijd. Is de telwaarde oneven, dan is de uitgang gedurende (N+1)/2 telpulsen HOOG en gedurende (N-1)/2 telpulsen LAAG.
Indien het telregister tijdens het tellen met een nieuwe waarde wordt geladen, zal deze pas meedoen na het veranderen van de uitgang door de lopende telling.
- MODE 4: Software Triggered Strobe
Nadat de mode is geprogrammeerd gaat

de uitgang HOOG. De teller begint te tellen als de telwaarde is geladen. Op de laatste telpuls gaat de uitgang gedurende een klokperiode LAAG en daarna weer HOOG.
Indien het telregister tussen twee uitgangspulsen opnieuw wordt geladen zal niet de lopende periode maar wel de volgende periode de nieuwe waarde hebben. Het tellen wordt gesperd door de gate-ingang LAAG te maken. Het tellen zal weer starten (met de nieuwe waarde) als het telregister opnieuw wordt geladen.

- MODE 5: Hardware Triggered Strobe
  De teller begint te tellen na de stijgende flank van het triggersignaal en de uitgang gaat gedurende een klokperiode LAAG als de telwaarde wordt bereikt. De teller is hertriggerbaar. De uitgang wordt alleen LAAG als na de stijgende flank van een triggersignaal de ingestelde waarde wordt bereikt.

Lees-/schrijfprocedure

- Schrijfhandelingen
  Elke teller van de 8253 moet door de systeemsoftware met de mode en de gewenste waarde worden geprogrammeerd. De programmeur moet dus een MODE controlwoord en het aantal telregister bytes (1 of 2) naar de 8253 sturen voordat de geselecteerde teller daadwerkelijk gebruikt kan worden. In tabel 9/8.4-7 zijn de verschillende programmeerformaten te zien.
  De volgorde van programmeren is vrij flexibel. Het MODE controlwoord kan naar elke teller worden geschreven. Teller #0 behoeft niet de eerste te zijn of teller #2 de laatste. Elke teller heeft zijn MODE controlwoord register op een apart adres, zodat het laden ervan volledig onafhankelijk van de volgorde kan zijn (SC0, SC1).
  Het laden van het telregister (Count Register) met de gewenste telwaarde moet echter precies worden uitgevoerd in de volgorde die in het MODE controlwoord is geprogrammeerd (RL0, RL1). Het is hierbij niet belangrijk van welke teller het telregister wordt geladen, maar wanneer een telregister geselecteerd is MOET het worden geladen met het aantal bytes dat in het MODE controlwoord staat (RL0, RL1). De een of twee bytes waarmee het telregister moet worden geladen behoeven niet direkt na het bijbehorende MODE controlwoord te worden ingevuld. Zij kunnen een willekeurige tijd na het laden van het MODE controlwoord worden geprogrammeerd, als tenminste het juiste aantal bytes in de goede volgorde wordt geladen. Tabel 9/8.4-8 toont een mogelijk programmeerformaat.
  Alle tellers zijn neertellers. De in het telregister geladen waarde zal dus verminderen. Wanneer een telregister met allemaal nullen wordt geladen zal dit de maximale telwaarde opleveren (2^{16} voor binair of 10^4 voor BCD). In mode 0 zal niet worden gestart voordat het laden klaar is (1 of 2 bytes, afhankelijk van het MODE controlwoord).
- Leeshandelingen
  Bij veel toepassingen van tellers is het nodig om de stand van de lopende teller uit te lezen en aan de hand hiervan een rekenkundige beslissing te nemen. Van deze functie wordt waarschijnlijk het meest gebruik gemaakt door "gebeurtenissen tellers" (event counters). De 8253 is uitgerust met logika die het de programmeur gemakkelijk maakt om de inhoud van elke teller uit te lezen zonder het tellen in de war te sturen.
  De stand van de tellers kan op twee manieren worden uitgelezen. Bij de eerste methode wordt gebruik gemaakt van eenvoudige I/O-leesoperaties op de geselecteerde teller. De programmeur kan de teller die hij wil uitlezen selecteren met de A0 en A1 ingangen. Bedenk echter dat uitlezen van het moderegister (A0, A1 = 11) niet is toegestaan. In tabel 9/8.4-9 is de adressering voor uitlezen te zien. De enige vereiste bij deze methode is dat de geselecteerde teller GESPERD MOET

8.4 Type-beschrijving 80-familie

WORDEN om een stabiele uitlezing te verkrijgen. Dit kan worden gedaan met de gate-ingang of door middel van externe logika die het kloksignaal spert.
De inhoud van de geselecteerde teller zal als volgt beschikbaar zijn: de eerste I/O leesoperatie bevat de minst belangrijke byte (LSB), terwijl de belangrijkste byte (MSB) met de tweede I/O leesoperatie te voorschijn komt.

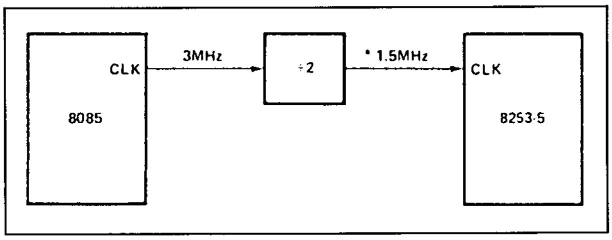
Vanwege de interne logika van de 8253 is het absoluut noodzakelijk dat de hele leesoperatie geheel wordt afgemaakt. Wanneer geprogrammeerd is dat twee bytes moeten worden uitgelezen, dan MOET dit ook werkelijk gebeuren voordat wat voor WR commando dan ook naar dezelfde teller kan worden gezonden!

Uitlezen tijdens het tellen

Om de gebruiker in staat te stellen de inhoud van een teller uit te lezen zonder het tellen te beïnvloeden of te verstoren, beschikt de 8253 over interne logika die kan worden bediend door eenvoudige WR commando's naar het MODE register. Om de inhoud van een geselecteerde teller al tellende ("on the fly") uit te lezen wordt een speciale code in het MODE register geladen, waardoor de teller zijn inhoud van dat moment in een opslagregister latcht, zodat een juiste, stabiele waarde kan worden uitgelezen. Na het latchen wordt een normaal leescommando naar de betreffende teller gestuurd, waardoor de inhoud van het register beschikbaar komt.
In figuur 9/8.4-7 is de inhoud van het MODE register te zien waarmee het latchen plaats vindt.

Overige kenmerken

Wanneer de klokuitgang van een 8085 processor op de klokingang van een 8253 wordt aangesloten, moet de klokfrequentie worden gereduceerd tot 2 MHz of minder (zie figuur 9/8.4-6).
Tenslotte zijn in de tabellen 9/8.4-10 tot en met 9/8.4-14 en de bijbehorende figuren 9/8.4-8, -9 en -10 de overige elektrische kenmerken van de 8253 programmeerbare interval timer te zien.



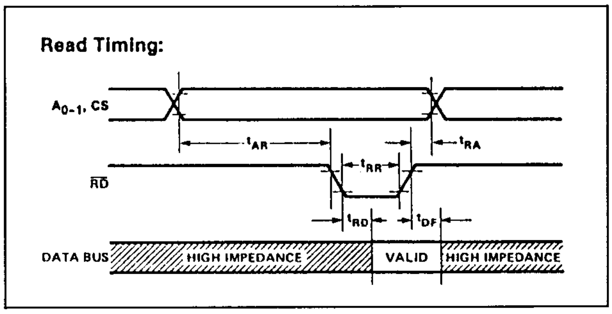
Figuur 9/8.4-6: Wanneer de clockingang van een 8253 op de clockuitgang van een 8085 microprocessor wordt aangesloten, moet de frequentie worden verlaagd tot 2 MHz of minder.

MODE Register for Latching Count

A0, A1 = 11

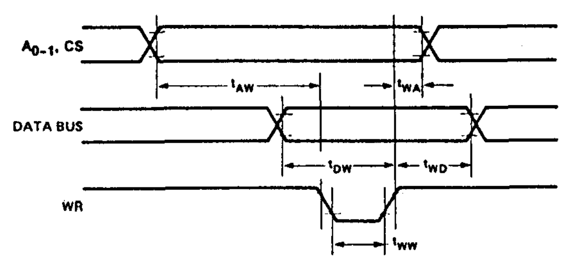
D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	0	0	X	X	X	X

Figuur 9/8.4-7: Door D4 en D5 van het MODE register LAAG te maken wordt de inhoud van de geselecteerde teller (SC1, SC0) in een opslagregister gelatcht (zie tabel 9/8.4-3).



Figuur 9/8.4-8: Timing en golfvormen bij het uitlezen (zie ook tabel 9/8.4-13).

8.4 Type-beschrijving 80-familie



Figuur 9/8.4-9: Timing en golfvormen bij het schrijven.

SC — Select Counter:

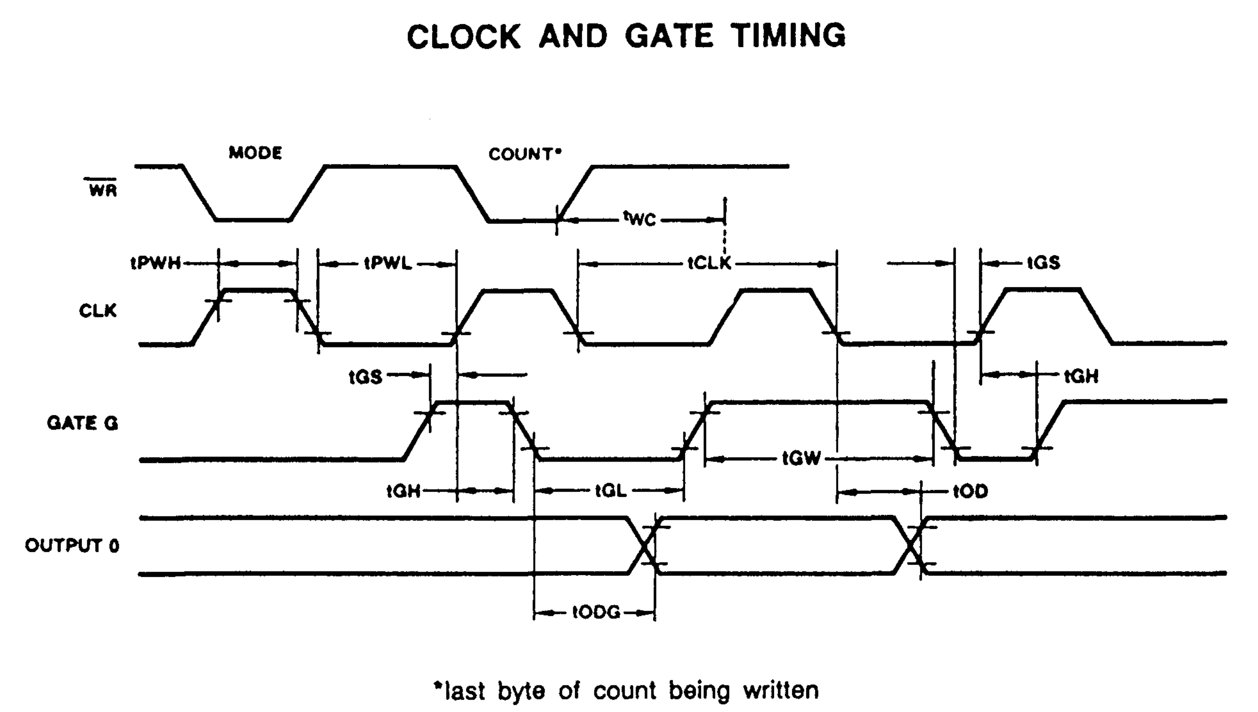
SC1	SC0	
0	0	Select Counter 0
0	1	Select Counter 1
1	0	Select Counter 2
1	1	Illegal

Tabel 9/8.4-2: Met de bits 7 en 6 van het Controlwoord kunnen de tellers worden geselecteerd.

M — MODE:

M2	M1	M0	
0	0	0	Mode 0
0	0	1	Mode 1
X	1	0	Mode 2
X	1	1	Mode 3
1	0	0	Mode 4
1	0	1	Mode 5

Tabel 9/8.4-4: Met de bits 3, 2 en 1 van het Controlwoord kunnen de bedrijfsmodes worden ingesteld.



Figuur 9/8.4-10: Timing van clock- en gatesignaal.

8.4 Type-beschrijving 80-familie

RL — Read/Load:

RL1	RL0	
0	0	Counter Latching operation (see READ/WRITE Procedure Section)
1	0	Read/Load most significant byte only.
0	1	Read/Load least significant byte only.
1	1	Read/Load least significant byte first, then most significant byte.

Tabel 9/8.4-3: De laad- en leesfuncties van D5 en D4 van het Controlwoord.

BCD:

0	Binary Counter 16-bits
1	Binary Coded Decimal (BCD) Counter (4 Decades)

Tabel 9/8.4-5: Bit 0 van het Controlwoord bepaalt de manier van tellen namelijk binair of BCD.

			A1	A0
No. 1		MODE Control Word Counter 0	1	1
No. 2		MODE Control Word Counter 1	1	1
No. 3		MODE Control Word Counter 2	1	1
No. 4	LSB	Count Register Byte Counter 1	0	1
No. 5	MSB	Count Register Byte Counter 1	0	1
No. 6	LSB	Count Register Byte Counter 2	1	0
No. 7	MSB	Count Register Byte Counter 2	1	0
No. 8	LSB	Count Register Byte Counter 0	0	0
No. 9	MSB	Count Register Byte Counter 0	0	0

Tabel 9/8.4-7: Verschillende programmeerformaten.

Modes \ Signal Status	Low Or Going Low	Rising	High
0	Disables counting	—	Enables counting
1	—	1) Initiates counting 2) Resets output after next clock	—
2	1) Disables counting 2) Sets output immediately high	Initiates counting	Enables counting
3	1) Disables counting 2) Sets output immediately high	Initiates counting	Enables counting
4	Disables counting	—	Enables counting
5	—	Initiates counting	—

Tabel 9/8.4-6: Functies van het gatesignaal.

	MODE Control Word Counter n
LSB	Count Register byte Counter n
MSB	Count Register byte Counter n

Tabel 9/8.4-8: Programmeerformaat van de tellers (met het MODE Controlwoord wordt bepaald of een of twee bytes worden gebruikt).

Read Operation Chart

A1	A0	RD	
0	0	0	Read Counter No. 0
0	1	0	Read Counter No. 1
1	0	0	Read Counter No. 2
1	1	0	Illegal

Tabel 9/8.4-9: Adressering voor uitlezen van de tellers.

8.4 Type-beschrijving 80-familie

D.C. CHARACTERISTICS (T_A = 0°C to 70°C; V_{CC} = 5V ±5%)

SYMBOL	PARAMETER	MIN.	MAX.	UNITS	TEST CONDITIONS
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.2	V_{CC}+.5V	V	
V_{OL}	Output Low Voltage		0.45	V	Note 1
V_{OH}	Output High Voltage	2.4		V	Note 2
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to 0V
I_{CC}	V_{CC} Supply Current		140	mA	

Note 1: 8253, I_{OL} = 1.6 mA; 8253-5, I_{OL} = 2.2 mA.
Note 2: 8253, I_{OH} = −150 μA; 8253-5, I_{OH} = −400 μA.

Tabel 9/8.4-11: Gelijkspanningscondities.

CAPACITANCE T_A = 25°C; V_{CC} = GND = 0V

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1 MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to V_{SS}

Tabel 9/8.4-12: Capaciteiten bij 1 MHz.

SWITCHING CHARACTERISTICS over operating ranges unless otherwise specified.

Parameters	Description	8253		8253-5		8253-2		Units
		Min	Max	Min	Max	Min	Max	
Read Cycle								
t_{AR}	Address Stable Before $\overline{READ}$	50		30		25		ns
t_{RA}	Address Hold Time for $\overline{READ}$	5		5		5		ns
t_{RR}	$\overline{READ}$ Pulse Width	400		300		150		ns
t_{RD}	Data Delay from $\overline{READ}$ (Note 2)		300		200		120	ns
t_{DF}	$\overline{READ}$ to Data Floating	25	125	25	100	25	100	ns
t_{RV}	Recovery Time Between $\overline{READ}$ and Any Other Control Signal	1		1		0.5		μs
Write Cycle								
t_{AW}	Address Stable Before $\overline{WRITE}$	50		30		0		ns
t_{WA}	Address Hold Time for $\overline{WRITE}$	30		30		0		ns
t_{WW}	$\overline{WRITE}$ Pulse Width	400		300		150		ns
t_{DW}	Data Set-up Time for $\overline{WRITE}$	300		250		100		ns
t_{WD}	Data Hold Time for $\overline{WRITE}$	40		30		0		ns
t_{RV}	Recovery Time Between $\overline{WRITE}$ and Any Other Control Signal (Note 3)	1		1		0.5		μs

Notes: 1. AC timings measured at V_{OH} = 2.2, V_{OL} = 0.8.

Tabel 9/8.4-13: Schakeltijden bij uitlezen (figuur 9/8.4-8) en schrijven (figuur 9/8.4-9).

8.4 Type-beschrijving 80-familie

CLOCK AND GATE TIMING

Parameters	Description	8253		8253-5		8253-2		Units
		Min	Max	Min	Max	Min	Max	
t_{CLK}	Clock Period	380	DC	380	DC	200	DC	ns
t_{PWH}	High Pulse Width	230		230		90		ns
t_{PWL}	Low Pulse Width	150		150		90		ns
t_{GW}	Gate Width High	150		150		120		ns
t_{GL}	Gate Width Low	100		100		80		ns
t_{GS}	Gate Set-up Time to CLK↑	100		100		60		ns
t_{GH}	Gate Hold Time After CLK↑	50		50		50		ns
t_{OD}	Output Delay from CLK↓ (Note 1)		400		400		250	ns
t_{ODG}	Output Delay from Gate↓ (Note 1)		300		300		150	ns

Tabel 9/8.4-14: Timing van clock en gate van de tellers (zie ook figuur 9/8.4-10).

ABSOLUTE MAXIMUM RATINGS

Ambient Temperature Under Bias .... 0°C to 70°C
Storage Temperature .... −65°C to +150°C
Voltage On Any Pin
With Respect to Ground .... −0.5 V to +7 V
Power Dissipation .... 1 Watt

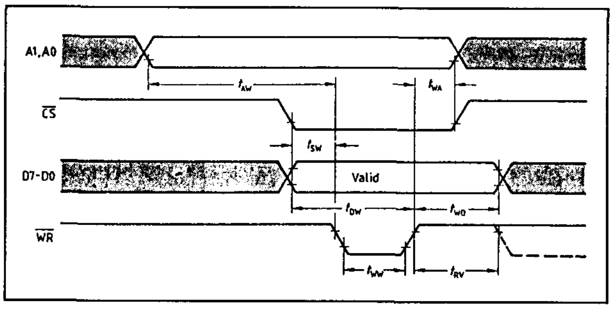
Tabel 9/8.4-10: Maximaal toegelaten waarden.

82C53
Programmable CMOS Interval Timer

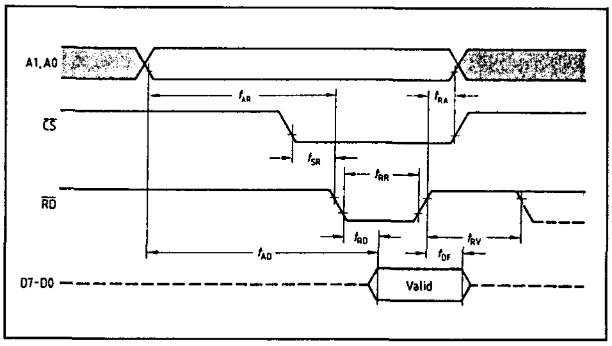
Van de NMOS timer 8253 heeft Siemens een CMOS-versie (de SAB 82C53) ontwikkeld. Het stroomverbruik hiervan is drastisch verminderd, namelijk van 140 mA bij de 8253 naar 10 mA bij de 82C53.
De 82C53 is ook verkrijgbaar in een snelle uitvoering, namelijk de 82C53-5.
De aansluitingen (figuur 9/8.4-11) en de werking zijn identiek aan die van de 8253.

In figuur 9/8.4-12 (het blokschema dat voor elke teller geldt) is nog iets duidelijker de opzet met registers, de eigenlijke neerteller en de latches aan de uitgang te zien. Dit blokschema kan ook voor de NMOS 8253 worden gebruikt. Voor het gemak is het Controlwoord met de betekenis van de bits te zien in figuur 9/8.4-13.

Aangezien de opbouw, functies en programmeermethoden identiek zijn aan die van de 8253 worden deze hier niet herhaald. Alleen de afwijkende elektrische en timing karakteristieken worden hier vermeld in de tabellen 9/8.4-15 tot en met 9/8.4-19 en de figuren 9/8.4-14, -15 en -16.

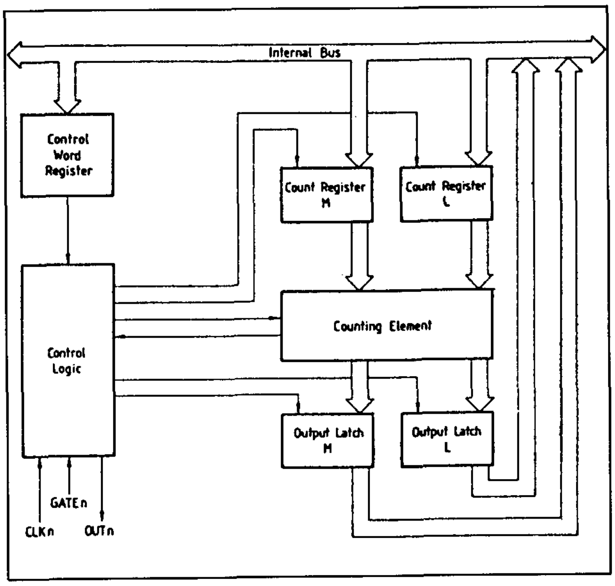


Figuur 9/8.4-14: Timing bij het schrijven naar de 82C53.



Figuur 9/8.4-15: Timing bij het uitlezen naar de processor.

8.4 Type-beschrijving 80-familie



Figuur 9/8.4-12: Interne opbouw van een van de tellers.

Absolute Maximum Ratings

Ambient temperature under bias	0 to 70°C
Storage temperature	−65 to + 150°C
Supply voltage	−0.5 to + 8.0V
Voltage on any input	−2.0V to V_{CC} + 0.5V
Voltage on any output	−0.5V to V_{CC} + 0.5V
Power dissipation	1W

Tabel 9/8.4-15: Maximaal toegelaten waarden.

Capacitance

T_A = 25°C, V_{CC} = GND = 0V, f_c = 1 MHz

Symbol	Parameter	Limit values		Unit	Test condition
		min.	max.		
C_{IN}	Input capacitance	–	5	pF	Unmeasured pins returned to GND
C_{IO}	I/O capacitance	–	20	pF	
C_{OUT}	Output capacitance	–	15	pF	

Tabel 9/8.4-17: Capaciteiten bij 1 MHz.

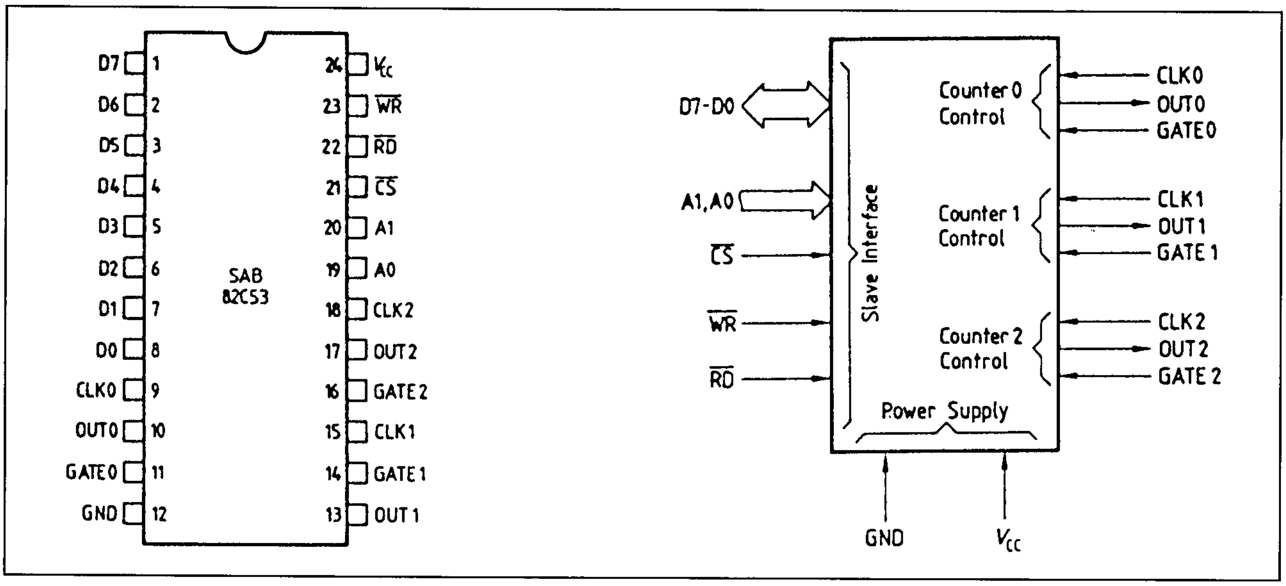
DC Characteristics

T_A = 0 to 70°C, V_{CC} = 5V ±10%

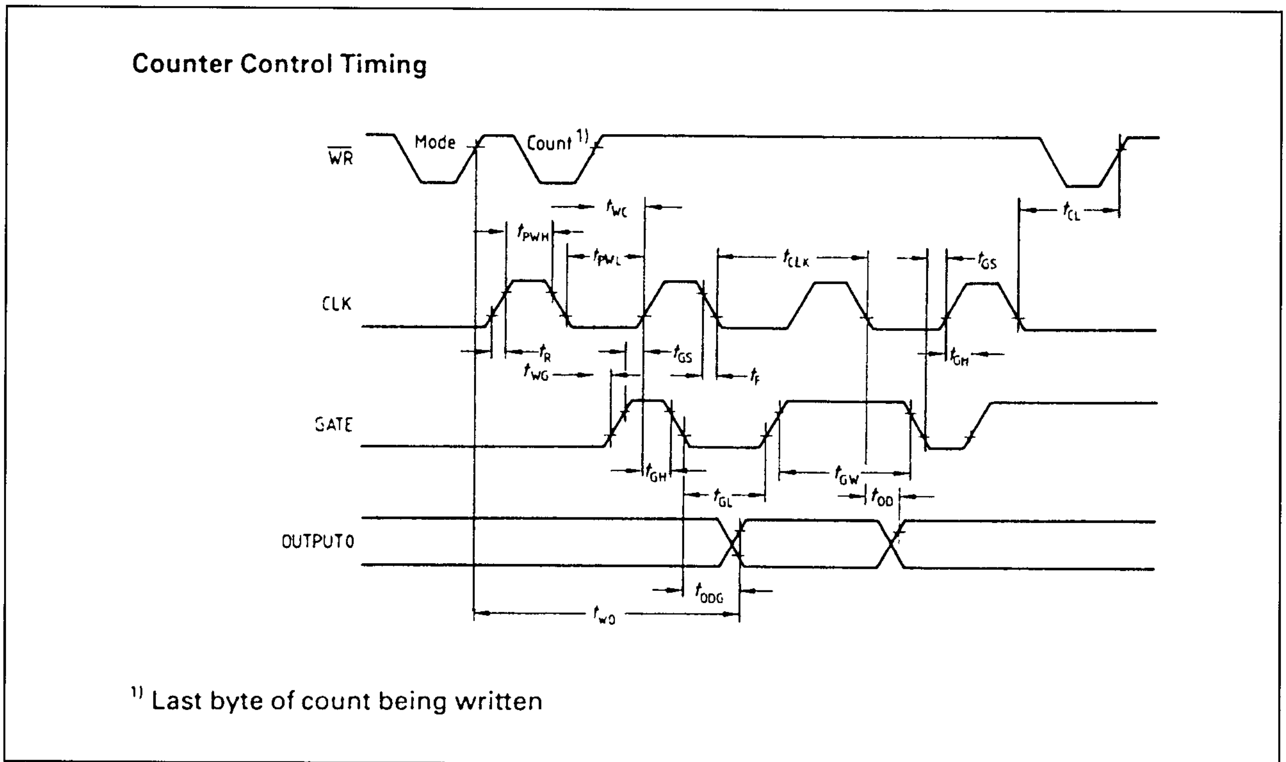
Symbol	Parameter	Limit values		Unit	Test condition
		min.	max.		
V_{IL}	Input low voltage	−0.5	0.8	V	–
V_{IH}	Input high voltage	2.0	V_{CC} + 0.5	V	–
V_{OL}	Output low voltage	–	0.4	V	I_{OL} = 2.5 mA
V_{OH}	Output high voltage	3.0 V_{CC} − 0.4	– –	V V	I_{OH} = −2.5 mA I_{OH} = −100 µA
I_{IL}	Input load current	–	±1	µA	$0 \le V_{IN} \le V_{CC}$
I_{OFL}	Output float leakage current	–	±10	µA	$0.45V \le V_{OUT} \le V_{CC}$
I_{CC}	V_{CC} supply current	–	10	mA	f = max. CLK frequency V_{IN} = V_{CC} or GND All outputs open
I_{CCSB}	V_{CC} supply current-standby	–	10	µA	f_C = 0 (DC) $\overline{CS}$ = 1 All inputs/data bus high All outputs floating

Tabel 9/8.4-16: Gelijkspanningskarakteristieken.

8.4 Type-beschrijving 80-familie



Figuur 9/8.4-11: Aansluitingen en logisch symbool van de 82C53 programmeerbare timer.



Figuur 9/8.4-16: Timing van de tellers "naar buiten".

8.4 Type-beschrijving 80-familie

A1, A0 = 11, $\overline{CS}$ = 0, $\overline{RD}$ = 1, $\overline{WR}$ = 0

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	RW1	RW0	M2	M1	M0	BCD

SC – Select Counter:

SC1	SC0	
0	0	Select Counter 0
0	1	Select Counter 1
1	0	Select Counter 2
1	1	Illegal

M – Mode:

M2	M1	M0	
0	0	0	Mode 0
0	0	1	Mode 1
X	1	0	Mode 2
X	1	1	Mode 3
1	0	0	Mode 4
1	0	1	Mode 5

RW – Read/Write:

RW1	RW0	
0	0	Counter Latch Command (see read operations)
0	1	Read/Write Least Significant Byte Only.
1	0	Read/Write Most Significant Byte Only.
1	1	Read/Write Least Significant Byte First, Then Most Significant Byte.

BCD:

0	Binary Counter, 16-Bit
1	Binary-Coded Decimal (BCD) Counter (4 decades)

NOTE: Don't care bits (X) should be 0 to insure compatibility with future products.

Figuur 9/8.4-13: Controlwoord formaat.

8.4 Type-beschrijving 80-familie

AC Characteristics SAB 82C53

T_A = 0 to 70°C, V_{CC} = 5 V ±10%
AC timings are referred to 0.8 and 2.0 V points of signals unless otherwise noted.

Symbol	Parameter	Limit values		Unit	Test condition
		min.	max.		
t_{AR}	Address stable before $\overline{RD}$ ↓	50	–	ns	–
t_{RA}	Address hold time after $\overline{RD}$ ↓	5	–	ns	–
t_{RR}	$\overline{RD}$ pulse width	400	–	ns	–
t_{RD}	Data delay from $\overline{RD}$ ↓	–	300	ns	–
t_{DF}	$\overline{RD}$ ↑ to data floating	25	125	ns	–
t_{RV}	Command recovery time	1	–	µs	–
t_{AW}	Address stable before $\overline{WR}$ ↓	50	–	ns	–
t_{WA}	Address hold time after $\overline{WR}$ ↑	30	–	ns	–
t_{WW}	$\overline{WR}$ pulse width	400	–	ns	–
t_{DW}	Data setup time before $\overline{WR}$ ↑	300	–	ns	–
t_{WD}	Data hold time after $\overline{WR}$ ↑	40	–	ns	–
t_{RV}	Command recovery time	1	–	µs	–
t_{CLK}	Clock period	380	DC	ns	–
t_{PWH}	High pulse width	230	–	ns	[1]
t_{PWL}	Low pulse width	150	–	ns	[1]
t_{GW}	Gate width high	150	–	ns	–
t_{GL}	Gate width low	100	–	ns	–
t_{GS}	Gate setup time to CLK ↑	100	–	ns	–
t_{GH}	Gate hcld time after CLK ↑	50	–	ns	[2]
t_{OD}	Output delay from CLK ↓	–	400	ns	–
t_{ODG}	Output delay from GATE ↓	–	300	ns	–

[1] Low-going glitches that violate t_{PWH}, t_{PWL} may cause errors requiring counter reprogramming.
[2] In modes 1 and 5 triggers are sampled on each rising clock edge. A second trigger within 120 ns of the rising clock edge may not be detected.

Tabel 9/8.4-18: Schakeltijden van de 82C53.

8.4 Type-beschrijving 80-familie

AC Characteristics SAB 82C53-5

T_A = 0 to 70°C, V_{CC} = 5 V ±10%
AC timings are referred to 0.8 and 2.0 V points of signals unless otherwise noted.

Symbol	Parameter	Limit values		Unit	Test condition
		min.	max.		
t_{AR}	Address stable before $\overline{RD}$ ↓	30	–	ns	–
t_{RA}	Address hold time after $\overline{RD}$ ↓	5	–	ns	–
t_{RR}	$\overline{RD}$ pulse width	300	–	ns	–
t_{RD}	Data delay from $\overline{RD}$ ↓	–	200	ns	–
t_{DF}	$\overline{RD}$ ↑ to data floating	25	100	ns	–
t_{RV}	Command recovery time	1	–	µs	–
t_{AW}	Address stable before $\overline{WR}$ ↓	30	–	ns	–
t_{WA}	Address hold time after $\overline{WR}$ ↑	30	–	ns	–
t_{WW}	$\overline{WR}$ pulse width	300	–	ns	–
t_{DW}	Data setup time before $\overline{WR}$ ↑	250	–	ns	–
t_{WD}	Data hold time after $\overline{WR}$ ↑	30	–	ns	–
t_{RV}	Command recovery time	1	–	µs	–
t_{CLK}	Clock period	380	DC	ns	–
t_{PWH}	High pulse width	230	–	ns	[1]
t_{PWL}	Low pulse width	150	–	ns	[1]
t_{GW}	Gate width high	150	–	ns	–
t_{GL}	Gate width low	100	–	ns	–
t_{GS}	Gate setup time to CLK ↑	100	–	ns	–
t_{GH}	Gate hold time after CLK ↑	50	–	ns	[2]
t_{OD}	Output delay from CLK ↓	–	400	ns	–
t_{ODG}	Output delay from GATE ↓	–	300	ns	–

[1] Low-going glitches that violate t_{PWH}, t_{PWL} may cause errors requiring counter reprogramming.
[2] In modes 1 and 5 triggers are sampled on each rising clock edge. A second trigger within 70 ns of the rising clock edge may not be detected.

Tabel 9/8.4-19: Schakeltijden van de 82C53-5.

9/9

Clock-generatoren

Inhoud

CDC 392	1-lijn naar 6-lijnen CMOS clock-driver met selecteerbare polariteit en 3-state uitgangen, 5 V voeding
CDC 509	phase lock loop clock-driver (9 lijnen), 3,3 V voeding
CDC 516	phase lock loop clock-driver (16 lijnen), 3,3 V voeding
CDC 536	phase lock loop clock-driver (6 lijnen) met 3-state uitgangen, 3,3 V voeding
CDC 582	phase lock loop clock-driver (12 lijnen) met differentiële VPECL-ingangen, 3,3 V voeding
CDC 586	phase lock loop clock-driver (12 lijnen) met 3-state uitgangen, 3,3 V voeding
CDC 913	PC-moederbord clock-generator met dual 1-naar-4 LVTTL buffers en 3-state uitgangen, 3,3 V voeding
CDC 2351	1-lijn naar 10-lijnen LVTTL clock-driver met 3-state uitgangen, 3,3 V voeding
CDC 2509	phase lock loop LVTTL clock-driver (9 lijnen), max. 125 MHz, 3,3 V voeding
CDC 2509A	phase lock LVTTL loop clock-driver (9 lijnen), max. 100 MHz, 3,3 V voeding
CDC 2510	phase lock loop LVTTL clock-driver (10 lijnen), max. 125 MHz, 3,3 V voeding
CDC 2510A	phase lock loop LVTTL clock-driver (10 lijnen), max. 100 MHz, 3,3 V voeding
CDC 2516	phase lock loop LVTTL clock-driver (16 lijnen), max. 125 MHz, 3,3 V voeding
CDC 2536	phase lock loop clock-driver (6 lijnen) met 3-state uitgangen, 3,3 V voeding
CDC 2582	phase lock loop clock-driver (12 lijnen) met differentiële VPECL-ingangen, 3,3 V voeding
CDC 2586	phase lock loop clock-driver (12 lijnen) met 3-state uitgangen, 3,3 V voeding
CDC 9841	PC-moederbord clock-synthesizer/driver (4+6+1+1+2 lijnen) met 3-state uitgangen, 3,3 V voeding
CDC 9842	PC-moederbord clock-synthesizer/driver voor Pentium/82430X/82430VX en Pentium Pro 82440F chipsets met 3-state uitgangen, 3,3 V voeding
CDC 9843	PC-moederbord clock-synthesizer/driver voor Pentium/82430HX/82430VX en Pentium Pro 82440F chipsets met 3-state uitgangen, 3,3 V voeding

9/9.3.3 Type-beschrijving CGSxx-familie (NatSemi)

(aanvulling 78 + 79 + 80)

CGS74B303	1-lijn naar 8-lijnen :2 TTL-in clock-driver, (6 x niet-inverterend, 2 x inverterend), 5 V voeding
CGS64B303	1-lijn naar 8-lijnen :2 TTL-in clock-driver, (6 x niet-inverterend, 2 x inverterend), 5 V voeding
CGS74B304	1-lijn naar 8-lijnen :2 TTL-in clock-driver, (8 x niet-inverterend), 5 V voeding

CGS64B304	1-lijn naar 8-lijnen :2 TTL-in clock-driver, (8 x niet-inverterend), 5 V voeding
CGS74B305	1-lijn naar 8-lijnen :2 TTL-in clock-driver, (4 x niet-inverterend, 4 x inverterend), 5 V voeding
CGS64B305	1-lijn naar 8-lijnen :2 TTL-in clock-driver, (4 x niet-inverterend, 4 x inverterend), 5 V voeding
CGS74CT2524	1-lijn naar 4-lijnen minimum skew TTL/CMOS-in clock-driver, (4 x niet-inverterend), 5 V/3,3 V voeding
CGS74LCT2524	1-lijn naar 4-lijnen minimum skew TTL/CMOS-in clock-driver, (4 x niet-inverterend), 5 V/3,3 V voeding
CGS74B2525	1-lijn naar 8-lijnen minimum skew TTL-in clock-driver, (8 x niet-inverterend), 5 V voeding
CGS74C2525	1-lijn naar 8-lijnen minimum skew CMOS/TTL-in clock-driver, (8 x niet-inverterend), 5 V/3,3 V voeding
CGS74CT2525	1-lijn naar 8-lijnen minimum skew CMOS/TTL-in clock-driver, (8 x niet-inverterend), 5 V/3,3 V voeding
CGS74C2526	2-lijn naar 8-lijnen minimum skew CMOS/TTL-in clock-driver, (8 x niet-inverterend), 5 V/3,3 V voeding
CGS74CT2526	2-lijn naar 8-lijnen minimum skew CMOS/TTL-in clock-driver, (8 x niet-inverterend), 5 V/3,3 V voeding
CGS74CT2527	1-lijn naar 8-lijnen minimum skew TTL-in (Schmitt-trigger) clock-driver, (8 x niet-inverterend), 5 V voeding
CGS74B2528	1-lijn naar 10-lijnen minimum skew TTL-in clock-driver, (10 x niet-inverterend), 5 V voeding
CGS64B2528	1-lijn naar 10-lijnen minimum skew TTL-in clock-driver, (10 x niet-inverterend), 5 V voeding
CGS74B2529	2-lijn naar 10-lijnen minimum skew TTL-in clock-driver, (10 x niet-inverterend), 5 V voeding
CGS64B2529	2-lijn naar 10-lijnen minimum skew TTL-in clock-driver, (10 x niet-inverterend), 5 V voeding
CGS100P2530	1-lijn naar 10-lijnen minimum skew ECL-in clock-driver, 5 V voeding
CGS100P2531	2-lijn naar 10-lijnen minimum skew ECL-in clock-driver, 5 V voeding
CGS700	1-lijn naar 9-lijnen low skew PLL CMOS-in clock-driver (interne feedback), 5 V voeding
CGS701A	1-lijn naar 8-lijnen low skew PLL CMOS-in clock-driver (externe feedback), 5 V voeding
CGS702	1-lijn naar 9-lijnen low skew PLL CMOS-in clock-driver (met verbeterde EMI), 5 V voeding
CGS2534	4 x 1-lijn naar 4-lijnen TTL-in (16 x inverterend) clock-driver, 5 V voeding
CGS2535	4 x 1-lijn naar 4-lijnen CMOS-in (16 x niet-inverterend) clock-driver, 5 V voeding
CGS2536	4 x 1-lijn naar 4-lijnen CMOS-in clock-driver, (8 x :2, 8 x :1), 5 V voeding
CGS2537	4 x 1-lijn naar 4-lijnen TTL-in clock-driver (16 x inverterend met 8 Ohm uitgangsweerstand), 5 V voeding

CGS331x kristal clock-generatoren

9/9.2

Type-beschrijving 82xx-familie

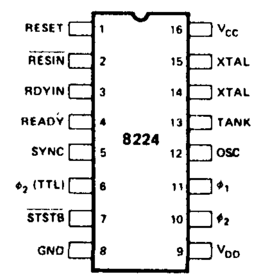
8224

Clock-generator/driver

De 8224 is een enkele-chip klokgenerator/driver voor timing van de 8080A microprocessor. De opgewekte klokfrequentie wordt door middel van een kristal gestabiliseerd. De 8224 is tevens voorzien van interne schakelingen voor Reset bij het opkomen van de voedingsspanning (power-up reset), advance status strobe en gesynchroniseerd Ready-signaal.

Kenmerken van de 8224

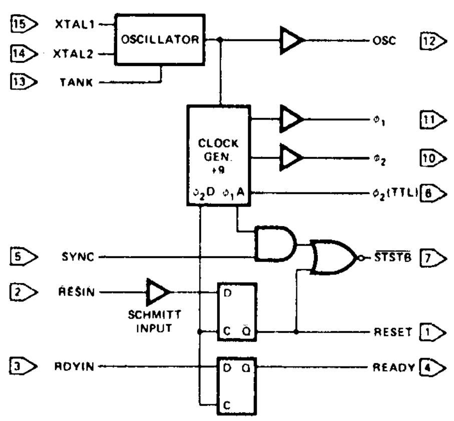
- single-chip klokgenerator/driver
- kristalgestabiliseerde frequentie
- oscillator-uitgang voor timing van extern systeem
- power-up reset
- gesynchroniseerde Ready
- advanced status strobe
- behuizing: 16-pens CerDIP (figuur 9/9.2-1)
- fabrikanten onder andere:
  Intel
  NEC (μPD8224C/D)
  Mitsubishi (M5L8224P)



RESIN	RESET INPUT
RESET	RESET OUTPUT
RDYIN	READY INPUT
READY	READY OUTPUT
SYNC	SYNC INPUT
STSTB	STATUS STB (ACTIVE LOW)
ϕ1	8080
ϕ2	CLOCKS

XTAL 1	CONNECTIONS
XTAL 2	FOR CRYSTAL
TANK	USED WITH OVERTONE XTAL
OSC	OSCILLATOR OUTPUT
ϕ2 (TTL)	ϕ2 CLK (TTL LEVEL)
V_{CC}	+5V
V_{DD}	+12V
GND	0V

Figuur 9/9.2-1: Aansluitgegevens van de 8224.



Figuur 9/9.2-2: Functioneel blokschema van de 8224.

Temperature Under Bias . . . . 0°C to 70°C
Storage Temperature . . . . −65°C to 150°C
Supply Voltage, V_{CC} . . . . −0.5V to +7V
Supply Voltage, V_{DD} . . . . −0.5V to +13.5V
Input Voltage . . . . −1.5V to +7V
Output Current 100mA

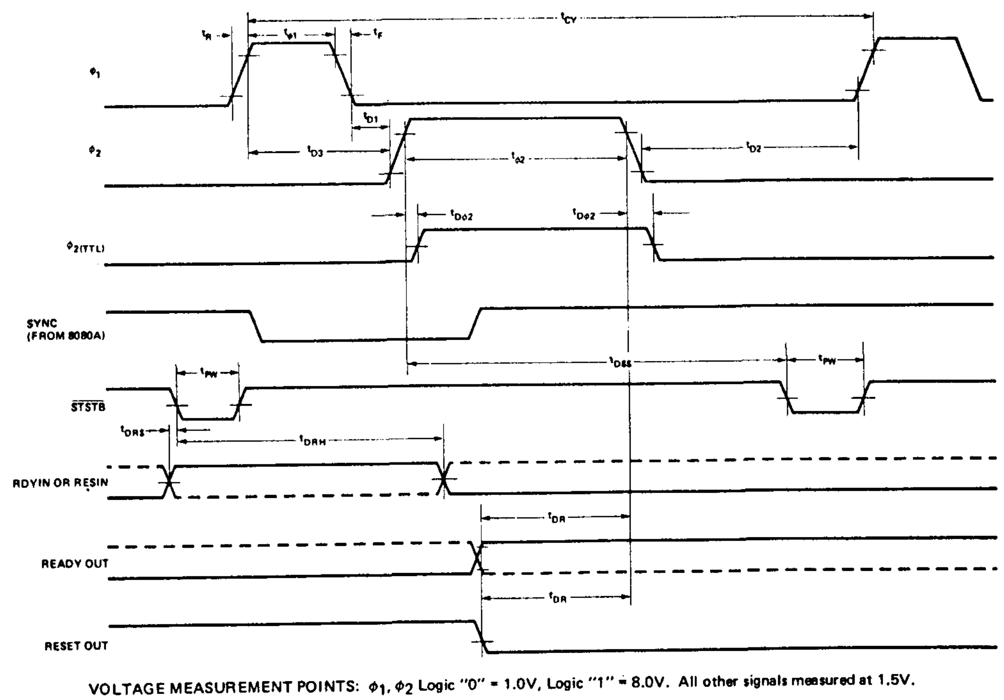
Tabel 9/9.2-1: Maximaal toegelaten waarden.

9.2 Type-beschrijving 82xx-familie

Symbol	Parameter	Limits			Units	Test Conditions
		Min.	Typ.	Max.		
I_F	Input Current Loading			-.25	mA	V_F = .45V
I_R	Input Leakage Current			10	μA	V_R = 5.25V
V_C	Input Forward Clamp Voltage			1.0	V	I_C = -5mA
V_{IL}	Input "Low" Voltage			.8	V	V_{CC} = 5.0V
V_{IH}	Input "High" Voltage	2.6 2.0			V	Reset Input All Other Inputs
V_{IH}-V_{IL}	RESIN Input Hysteresis	.25			V	V_{CC} = 5.0V
V_{OL}	Output "Low" Voltage			.45 .45	V V	(ϕ_1,ϕ_2), Ready, Reset, $\overline{STSTB}$ I_{OL} =2.5mA All Other Outputs I_{OL} = 15mA
V_{OH}	Output "High" Voltage ϕ_1 , ϕ_2 READY, RESET All Other Outputs	 9.4 3.6 2.4			 V V V	 I_{OH} = -100μA I_{OH} = -100μA I_{OH} = -1mA
I_{CC}	Power Supply Current			115	mA	
I_{DD}	Power Supply Current			12	mA	

Note: 1. For crystal frequencies of 18 MHz connect 510 Ω registers between the X1 input and ground as well as the X2 input and ground to prevent oscillation at harmonic frequencies.

Tabel 9/9.2-2: Gelijkspanningskarakteristieken van de klokgenerator/driver 8224.



Figuur 9/9.2-3: Golfvormen en schakeltijden van de 8224 clockgenerator.

9.2 Type-beschrijving 82xx-familie

Symbol	Parameter	Limits Min.	Typ.	Max.	Units	Test Conditions
$t_{\phi 1}$	ϕ_1 Pulse Width	$\frac{2tcy}{9}$ - 20ns				
$t_{\phi 2}$	ϕ_2 Pulse Width	$\frac{5tcy}{9}$ - 35ns				
t_{D1}	ϕ_1 to ϕ_2 Delay	0			ns	
t_{D2}	ϕ_2 to ϕ_1 Delay	$\frac{2tcy}{9}$ - 14ns				C_L = 20pF to 50pF
t_{D3}	ϕ_1 to ϕ_2 Delay	$\frac{2tcy}{9}$		$\frac{2tcy}{9}$ + 20ns		
t_R	ϕ_1 and ϕ_2 Rise Time			20		
t_F	ϕ_1 and ϕ_2 Fall Time			20		
$t_{D\phi 2}$	ϕ_2 to ϕ_2 (TTL) Delay	-5		+15	ns	ϕ_2TTL,CL=30 R_1=300Ω R_2=600Ω
t_{DSS}	ϕ_2 to $\overline{STSTB}$ Delay	$\frac{6tcy}{9}$ - 30ns		$\frac{6tcy}{9}$		
t_{PW}	$\overline{STSTB}$ Pulse Width	$\frac{tcy}{9}$ - 15ns				$\overline{STSTB}$, CL=15pF R_1 = 2K R_2 = 4K
t_{DRS}	RDYIN Setup Time to Status Strobe	50ns - $\frac{4tcy}{9}$				
t_{DRH}	RDYIN Hold Time After $\overline{STSTB}$	$\frac{4tcy}{9}$				
t_{DR}	RDYIN or RESIN to ϕ_2 Delay	$\frac{4tcy}{9}$ - 25ns				Ready & Reset CL=10pF R_1=2K R_2=4K
t_{CLK}	CLK Period		$\frac{tcy}{9}$			
f_{max}	Maximum Oscillating Frequency			27	MHz	
C_{in}	Input Capacitance			8	pF	V_{CC}=+5.0V V_{DD}=+12V V_{BIAS}=2.5V f=1MHz

Symbol	Parameter	Limits Min.	Typ.	Max.	Units	Test Conditions
$t_{\phi 1}$	ϕ_1 Pulse Width	89			ns	t_{CY}=488.28ns
$t_{\phi 2}$	ϕ_2 Pulse Width	236			ns	
t_{D1}	Delay ϕ_1 to ϕ_2	0			ns	
t_{D2}	Delay ϕ_2 to ϕ_1	95			ns	ϕ_1 & ϕ_2 Loaded to C_L = 20 to 50pF
t_{D3}	Delay ϕ_1 to ϕ_2 Leading Edges	109		129	ns	
t_r	Output Rise Time			20	ns	
t_f	Output Fall Time			20	ns	
t_{DSS}	ϕ_2 to $\overline{STSTB}$ Delay	296		326	ns	
$t_{D\phi 2}$	ϕ_2 to ϕ_2 (TTL) Delay	-5		+15	ns	
t_{PW}	Status Strobe Pulse Width	40			ns	Ready & Reset Loaded to 2mA/10pF
t_{DRS}	RDYIN Setup Time to $\overline{STSTB}$	-167			ns	
t_{DRH}	RDYIN Hold Time after $\overline{STSTB}$	217			ns	All measurements referenced to 1.5V unless specified otherwise.
t_{DR}	READY or RESET to ϕ_2 Delay	192			ns	
f_{MAX}	Oscillator Frequency			18.432	MHz	

Tabel 9/9.2-3: Wisselspanningskarakteristieken en schakeltijden van de 8224 (zie ook figuur 9/9.2-3).

8284A, 8284A-1

Clock-generator/driver

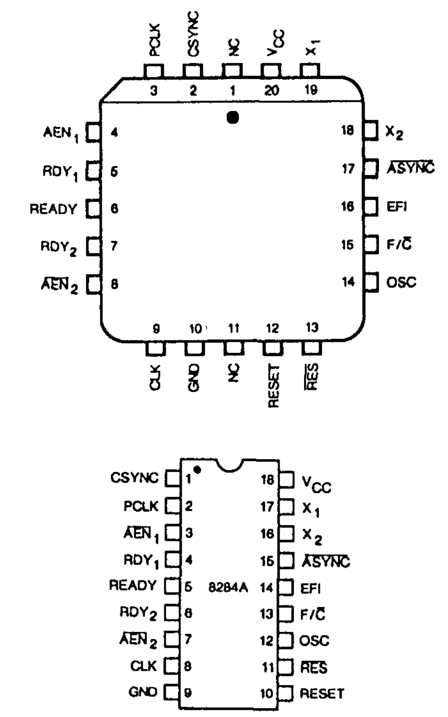
De 8284A is een enkele-chip klokgenerator/driver voor 8086 en 8088 microprocessoren. De chip bevat een kristalgestuurde (gestabiliseerde) oscillator, een deel-door-3 teller, komplete Multibus "Ready" synchronisatie en reset-logika. In figuur 9/9.2-4 zijn de aansluitingen van de 18-pens DIL-behuizing en de 20-pens plastic LCC te zien, terwijl het blokschema 9/9.2-5 de inwendige schakelingen toont.

Kenmerken van de 8284A

- systeemklok voor 8086 en 8088 processoren:
  8284A: 5 MHz/8 MHz
  8284A-1: 10 MHz
- kristalgestabiliseerde frequentie of TTL-signaal
- synchronisatie van lokale Ready en Multibus Ready
- behuizingen: 18-pens plastic of ceramisch DIP of 20-pens PLCC (figuur 9/9.2-4)
- enkele +5 V voeding
- levert (Schmitt-getriggerd) systeem reset-signaal
- synchroniseerbare clock voor andere 8284A's
- fabrikanten onder andere:
  Intel
  AMD
  Mitsubishi (M5L8284AP)
  Siemens (SAB8284B)

Oscillator

De uitgangsfrequentie van de oscillatorschakeling van de 8284A wordt bepaald door een extern kristal dat in serie-resonantie werkt. De kristalfrequentie moet driemaal zo hoog worden gekozen als de vereiste CPU-clock. Het kristal wordt aangesloten op de pennen X1 en X2. Het uitgangssignaal is gebufferd en wordt op de OSC-pen naar buiten gebracht, zodat ook andere timingsignalen hiervan kunnen worden afgeleid. Voor systemen die een ramp-tijd van meer dan 1 V/ms hebben en/of een van de bedrading afkomstige (board)capaciteit van meer dan 10 pF tussen de pennen X1 en X2, kunnen eventueel twee weerstanden van 510 Ω nodig zijn (zie figuur 9/9.2-7).

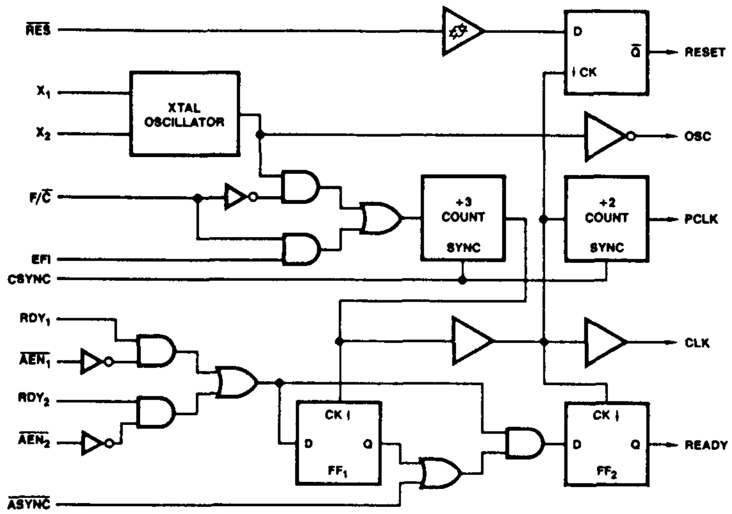


Figuur 9/9.2-4: Aansluitgegevens van de 8284A.

Clock-generator

De klok-generator bestaat uit een synchrone deel-door-3 teller met een speciale clear-ingang die het tellen kan tegenhouden. Deze clear-ingang (CSYNC) maakt dat de uitgangsklok gesynchroniseerd kan worden op externe gebeurtenissen, bijvoorbeeld het kloksignaal van een andere 8284A. Het is nodig dat de CSYNC-ingang op de externe EFI-klok wordt gesynchroniseerd (figuur 9/9.2-6). Dit wordt gedaan met behulp van twee Schottky flip-flop's. Het uitgangssignaal van de teller heeft een duty-cycle (aan/uit-verhouding) van 33 % en een frequentie van één derde van de ingangsfrequentie.

9.2 Type-beschrijving 82xx-familie



Figuur 9/9.2-5: Functioneel blokschema van de 8284A.

Symbol	Type	Name and Function
$\overline{AEN1}$, $\overline{AEN2}$	I	**Address Enable:** $\overline{AEN}$ is an active LOW signal. AEN serves to qualify its respective Bus Ready Signal (RDY1 or RDY2). $\overline{AEN1}$ validates RDY1 while $\overline{AEN2}$ validates RDY2. Two AEN signal inputs are useful in system configurations which permit the processor to access two Multi-Master System Busses. In non Multi-Master configurations the $\overline{AEN}$ signal inputs are tied true (LOW).
RDY1, RDY2	I	**Bus Ready:** (Transfer Complete). RDY is an active HIGH signal which is an indication from a device located on the system data bus that data has been received, or is available. RDY1 is qualified by $\overline{AEN1}$ while RDY2 is qualified by $\overline{AEN2}$.
$\overline{ASYNC}$	I	**Ready Synchronization Select:** $\overline{ASYNC}$ is an input which defines the synchronization mode of the READY logic. When $\overline{ASYNC}$ is low, two stages of READY synchronization are provided. When $\overline{ASYNC}$ is left open (internal pull-up resistor is provided) or HIGH a single stage of READY synchronization is provided.
READY	O	**Ready:** READY is an active HIGH signal which is the synchronized RDY signal input. READY is cleared after the guaranteed hold time to the processor has been met.
X1, X2	I	**Crystal In:** X1 and X2 are the pins to which a crystal is attached. The crystal frequency is 3 times the desired processor clock frequency.
$F/\overline{C}$	I	**Frequency/Crystal Select:** $F/\overline{C}$ is a strapping option. When strapped LOW, $F/\overline{C}$ permits the processor's clock to be generated by the crystal. When $F/\overline{C}$ is strapped HIGH, CLK is generated from the EFI input.
EFI	I	**External Frequency:** When $F/\overline{C}$ is strapped HIGH, CLK is generated from the input frequency appearing on this pin. The input signal is a square wave 3 times the frequency of the desired CLK output.

Symbol	Type	Name and Function
CLK	O	**Processor Clock:** CLK is the clock output used by the processor and all devices which directly connect to the processor's local bus (i.e., the bipolar support chips and other MOS devices). CLK has an output frequency which is ⅓ of the crystal or EFI input frequency and a ⅓ duty cycle. An output HIGH of 4.5 volts (V_{CC} = 5V) is provided on this pin to drive MOS devices.
PCLK	O	**Peripheral Clock:** PCLK is a TTL level peripheral clock signal whose output frequency is ½ that of CLK and has a 50% duty cycle.
OSC	O	**Oscillator Output:** OSC is the TTL level output of the internal oscillator circuitry. Its frequency is equal to that of the crystal.
$\overline{RES}$	I	**Reset In:** $\overline{RES}$ is an active LOW signal which is used to generate RESET. The 8284A provides a Schmitt trigger input so that an RC connection can be used to establish the power-up reset of proper duration.
RESET	O	**Reset:** RESET is an active HIGH signal which is used to reset the 8086 family processors. Its timing characteristics are determined by $\overline{RES}$.
CSYNC	I	**Clock Synchronization:** CSYNC is an active HIGH signal which allows multiple 8284As to be synchronized to provide clocks that are in phase. When CSYNC is HIGH the internal counters are reset. When CSYNC goes LOW the internal counters are allowed to resume counting. CSYNC needs to be externally synchronized to EFI. When using the internal oscillator CSYNC should be hardwired to ground.
GND		**Ground.**
V_{CC}		**Power:** +5V supply.

Tabel 9/9.2-4: Gebruikte signalen bij de 8284A.

9.2 Type-beschrijving 82xx-familie

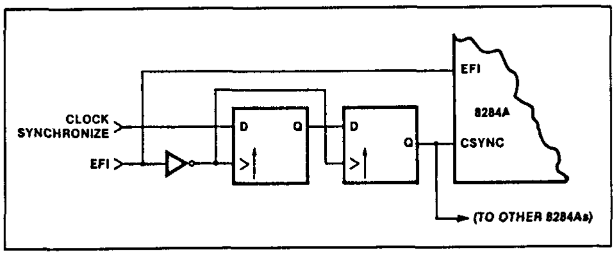
F/$\overline{C}$ is een schakel-ingang waarmee kan worden geselecteerd of het EFI-signaal of het uitgangssignaal van de kristal-oscillator op de 3-deler wordt aangesloten (figuren 9/9.2-7 en 9/9.2-8). Als de EFI-ingang als klok wordt gekozen, kan het oscillator-gedeelte apart worden gebruikt (met de OSC-uitgang).

Clock-signalen

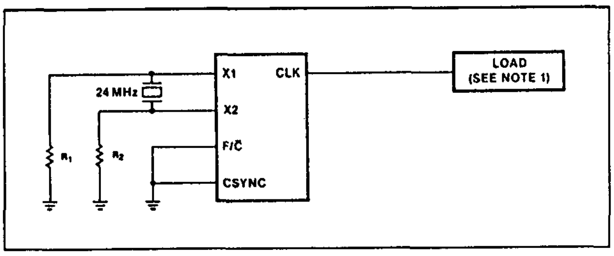
De CLK-uitgang is een MOS-clockdriver met een duty-cycle van 33 %.
Hiermee kunnen de 8086 en 8088 processoren direct worden aangedreven. PCLK is een periferie-kloksignaal op TTL-niveau met een frequentie die de helft is van CLK. PCLK heeft een 50 % duty-cycle.

Reset-logika

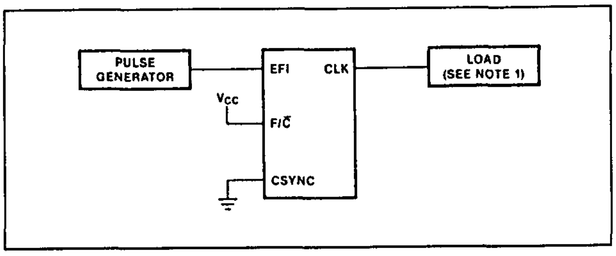
Een Schmitt-trigger ingang ($\overline{RES}$) en een synchronisatie flip-flop vormen de reset-logika, waarmee de reset-timing wordt opgewekt. Het reset-signaal wordt gesynchroniseerd op de dalende flank van CLK. Een eenvoudig RC-netwerk kan worden gebruikt voor power-on reset.



Figuur 9/9.2-6: CSYNC synchronisatie.



Figuur 9/9.2-7: Bepaling van de clock HOOG- en LAAG-tijd (met gebruik van X1 en X2).

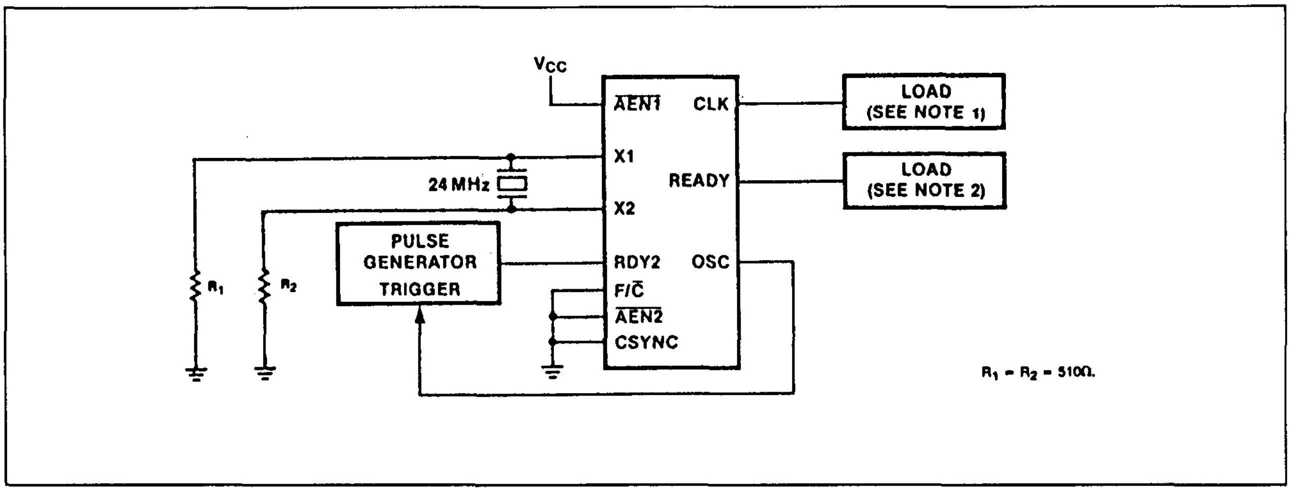


Figuur 9/9.2-8: Bepaling van de clock HOOG- en LAAG-tijd (met gebruik van EFI).

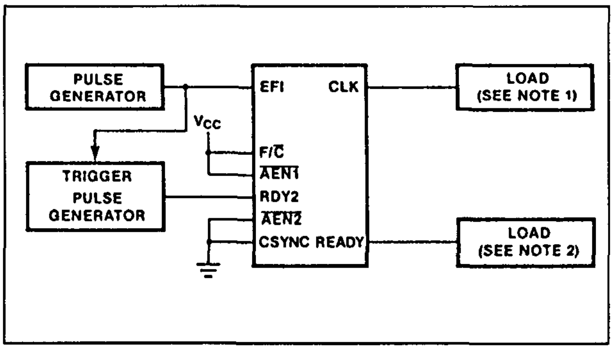
Ready synchronisatie

Er zijn twee READY-ingangen (RDY1 en RDY2) om tegemoet te komen aan twee Multi-Master systeembussen. Elke ingang heeft een qualifier ($\overline{AEN}$1 respectievelijk $\overline{AEN}$2) die de eigen RDY-signalen valideren. Als geen Multi-Master systeem wordt gebruikt moet de $\overline{AEN}$-pen LAAG worden gehouden. Om er zeker van te zijn dat aan de setup en hold-tijden van RDY wordt voldaan, moet op alle asynchrone, aktief-gaande flanken van beide RDY-signalen worden gesynchroniseerd. Voor niet-aktief gaande flanken van RDY (in normaal READY-staande systemen) is geen synchronisatie nodig, maar moet evengoed aan de setup en hold-tijden van RDY worden voldaan. De twee modes van de RDY-synchronisatie worden bepaald door de $\overline{ASYNC}$-ingang. Als $\overline{ASYNC}$ LAAG is, wordt voorzien in twee trappen van synchronisatie voor aktieve RDY ingangssignalen. Positief gaande asynchrone RDY-signalen worden eerst op de stijgende flank van CLK gesynchroniseerd met flip-flop één en daarna op de eerstvolgende dalende flank van CLK gesynchroniseerd met flip-flop twee. Na deze tijd wordt de READY-uitgang aktief (HOOG). Negatief gaande asynchrone RDY-signalen worden direct met flip-flop twee gesynchroniseerd op de dalende flank van CLK, waarna het READY-signaal niet-aktief wordt. Deze bedrijfsmode is bestemd voor gebruik met asynchrone (normaal niet-Ready) komponenten in het systeem, waarvan in het ontwerp niet gegarandeerd kan worden dat ze aan de vereiste setup-timing t_{R1VCL} van iedere buscyclus voldoen.

9.2 Type-beschrijving 82xx-familie



Figuur 9/9.2-9: Ready om te klokken (met gebruik van X1 en X2).



Figuur 9/9.2-10: Ready om te klokken (gebruikmakend van EFI).

Temperature Under Bias .... 0°C to 70°C
Storage Temperature .... −65°C to +150°C
All Output and Supply Voltages .... −0.5V to +7V
All Input Voltages .... −1.0V to +5.5V
Power Dissipation .... 1 Watt

Tabel 9/9.2-5: Maximaal toegelaten waarden.

Symbol	Parameter	Min.	Max.	Units	Test Conditions
I_F	Forward Input Current ($\overline{ASYNC}$) Other Inputs		−1.3 −0.5	mA mA	V_F = 0.45V V_F = 0.45V
I_R	Reverse Input Current ($\overline{ASYNC}$) Other Inputs		50 50	μA μA	V_R = V_{CC} V_R = 5.25V
V_C	Input Forward Clamp Voltage		−1.0	V	I_C = −5 mA
I_{CC}	Power Supply Current		170	mA	
V_{IL}	Input LOW Voltage		0.8	V	
V_{IH}	Input HIGH Voltage	2.0		V	
V_{IHR}	Reset Input HIGH Voltage	2.6		V	
V_{OL}	Output LOW Voltage		0.45	V	5 mA
V_{OH}	Output HIGH Voltage CLK Other Outputs	4 2.4		V V	−1 mA −1 mA
$V_{IHR} - V_{ILR}$	$\overline{RES}$ Input Hysteresis	0.25		V	

Tabel 9/9.2-6: *Gelijkspanningscondities.*

Wanneer $\overline{ASYNC}$ HOOG is of open wordt gelaten, wordt de eerste READY flip-flop gepasseerd door de READY synchronisatielogika. De RDY-signalen worden door flipflop twee op de dalende flank van CLK gesynchroniseerd voordat ze aan de processor

9.2 Type-beschrijving 82xx-familie

worden gepresenteerd. Deze mode is beschikbaar voor synchrone komponenten die wel gegarandeerd aan de vereiste RDY set-up-tijd voldoen.

$\overline{\text{ASYNC}}$ kan op iedere buscyclus worden veranderd om voor elke komponent in het systeem de juiste synchronisatiemode te kiezen.

TIMING REQUIREMENTS

Symbol	Parameter	Min.	Max.	Units	Test Conditions
t_{EHEL}	External Frequency HIGH Time	13		ns	90% - 90% V_{IN}
t_{ELEH}	External Frequency LOW Time	13		ns	10% - 10% V_{IN}
t_{ELEL}	EFI Period	33		ns	(Note 1)
	XTAL Frequency	12	30	MHz	
t_{R1VCL}	RDY1, RDY2 Active Setup to CLK	35		ns	$\overline{\text{ASYNC}}$ = HIGH
t_{R1VCH}	RDY1, RDY2 Active Setup to CLK	35		ns	$\overline{\text{ASYNC}}$ = LOW
t_{R1VCL}	RDY1, RDY2 Inactive Setup to CLK	35		ns	
t_{CLR1X}	RDY1, RDY2 Hold to CLK	0		ns	
t_{AYVCL}	$\overline{\text{ASYNC}}$ Setup to CLK	50		ns	
t_{CLAYX}	$\overline{\text{ASYNC}}$ Hold to CLK	0		ns	
t_{A1VR1V}	$\overline{\text{AEN1}}$, $\overline{\text{AEN2}}$ Setup to RDY1, RDY2	15		ns	
t_{CLA1X}	$\overline{\text{AEN1}}$, $\overline{\text{AEN2}}$ Hold to CLK	0		ns	
t_{YHEH}	CSYNC Setup to EFI	20		ns	
t_{EHYL}	CSYNC Hold to EFI	10		ns	
t_{YHYL}	CSYNC Width	$2 \cdot t_{ELEL}$		ns	
t_{I1HCL}	$\overline{\text{RES}}$ Setup to CLK	65		ns	(Note 1)
t_{CLI1H}	$\overline{\text{RES}}$ Hold to CLK	20		ns	(Note 1)

TIMING RESPONSES

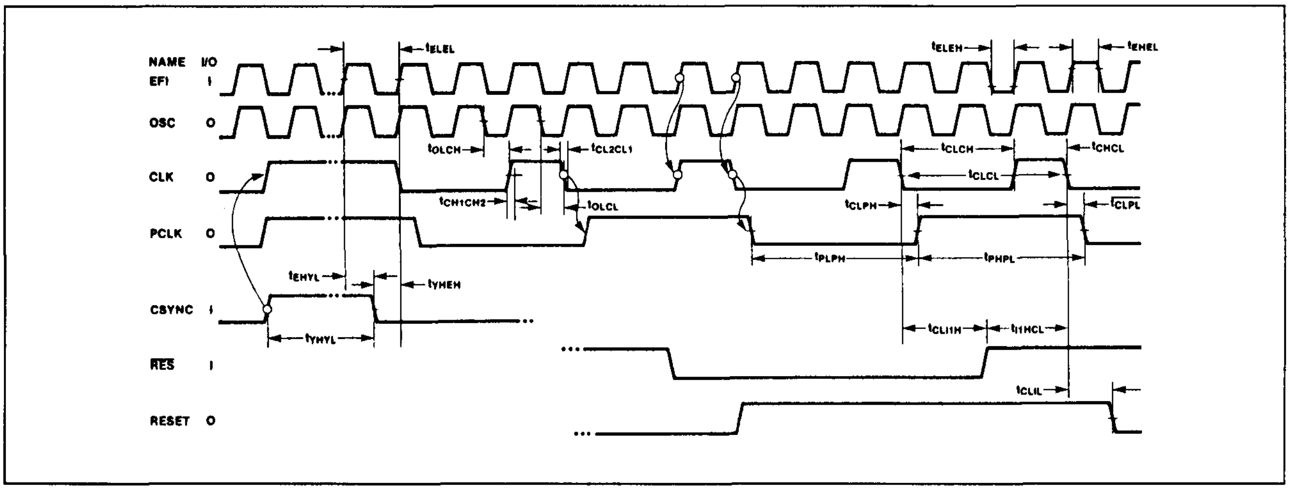
Symbol	Parameter	Min. 8284A	Min. 8284A-1	Max.	Units	Test Conditions
t_{CLCL}	CLK Cycle Period	125	100		ns	
t_{CHCL}	CLK HIGH Time	$(\frac{1}{3} t_{CLCL})+2$	39		ns	
t_{CLCH}	CLK LOW Time	$(\frac{2}{3} t_{CLCL})-15$	53		ns	
t_{CH1CH2} t_{CL2CL1}	CLK Rise or Fall Time			10	ns	1.0V to 3.5V
t_{PHPL}	PCLK HIGH Time	$t_{CLCL}-20$	$t_{CLCL}-20$		ns	
t_{PLPH}	PCLK LOW Time	$t_{CLCL}-20$	$t_{CLCL}-20$		ns	
t_{RYLCL}	Ready Inactive to CLK (See Note 3)	−8	−8		ns	
t_{RYHCH}	Ready Active to CLK (See Note 2)	$(\frac{2}{3} t_{CLCL})-15$	53		ns	
t_{CLIL}	CLK to Reset Delay			40	ns	
t_{CLPH}	CLK to PCLK HIGH DELAY			22	ns	
t_{CLPL}	CLK to PCLK LOW Delay			22	ns	
t_{OLCH}	OSC to CLK HIGH Delay	−5	−5	22	ns	
t_{OLCL}	OSC to CLK LOW Delay	2	2	35	ns	
t_{OLOH}	Output Rise Time (except CLK)			20	ns	From 0.8V to 2.0V
t_{OHOL}	Output Fall Time (except CLK)			12	ns	From 2.0V to 0.8V

NOTES:

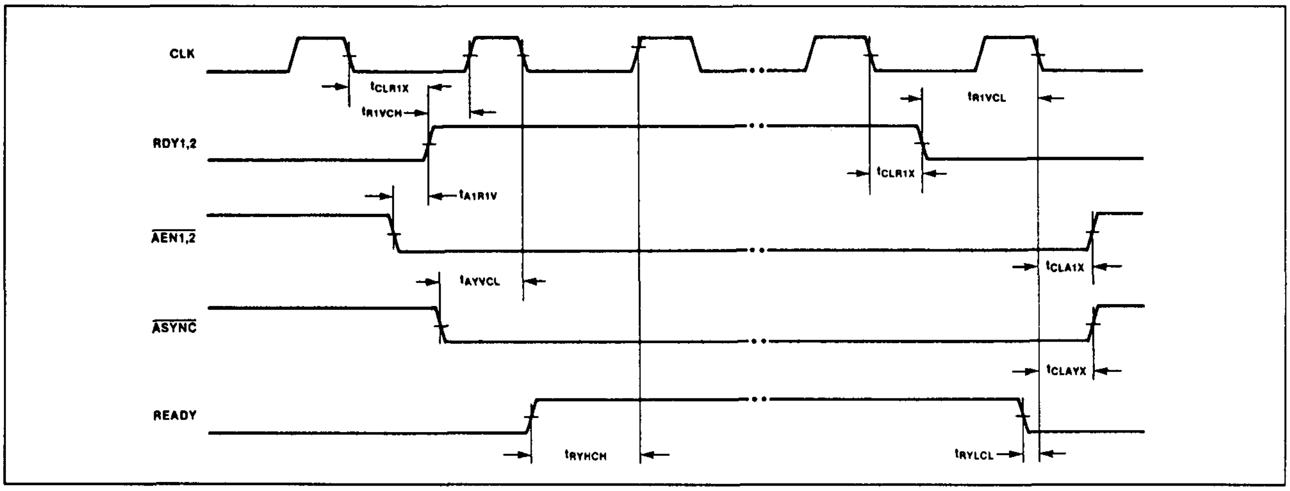
1. Setup and hold necessary only to guarantee recognition at next clock.
2. Applies only to T3 and TW states.
3. Applies only to T2 states.

Tabel 9/9.2-7: Wisselspanningskarakteristieken en bij de 8284A/8284A-1 optredende schakeltijden.

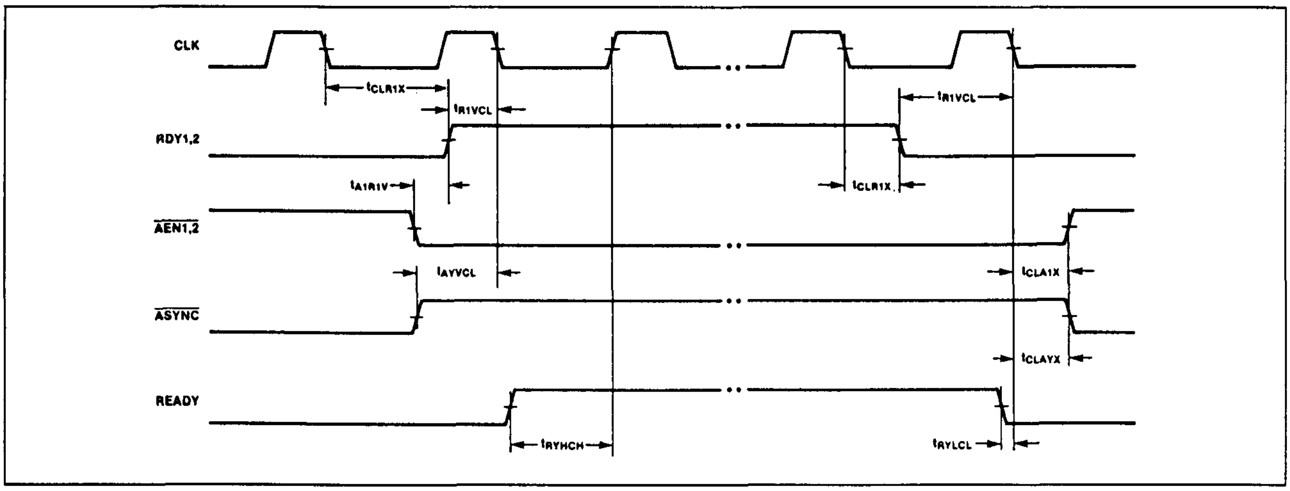
9.2 Type-beschrijving 82xx-familie



Figuur 9/9.2-11: Clock- en resetsignalen van de 8284A(-1).



Figuur 9/9.2-12: Ready-signalen voor asynchrone komponenten (zie ook tabel 9/9.2-7).



Figuur 9/9.2-13: Ready-signalen voor synchrone komponenten.

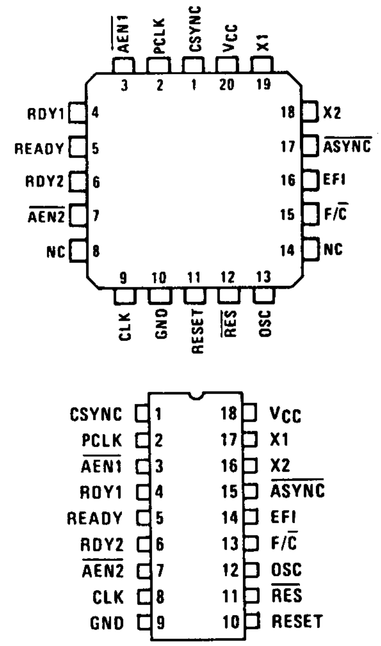
82C84A

CMOS clock-generator/driver

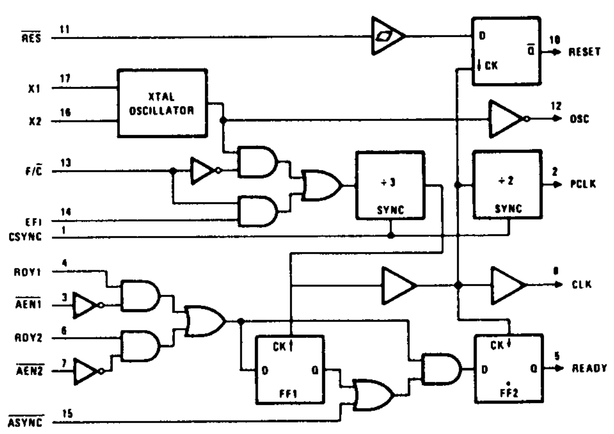
De 82C84A is de CMOS uitvoering van de 8284. Behalve een lager energieverbruik heeft deze enkele-chip klokgenerator/driver ook een hogere snelheid. De aansluitingen en de structuur van de inwendige schakeling zijn identiek, zodat hier alleen de afwijkende gegevens (van het snelste type van Harris) worden vermeld.

Kenmerken van de 82C84A

- systeemklok voor 80C86, 80C88, 8086 en 8088 processoren
- pen-compatibel met bipolaire 8284A
- geschikt voor kristal (parallelle mode) of externe frequentiebron
- maximaal 25 MHz
- synchronisatie van Ready
- 18-pens plastic of ceramisch DIP of 20-pens PLCC behuizing (figuur 9/9.2-14)
- enkele +5 V voeding
- zeer geringe dissipatie
- levert (Schmitt-getriggerd) systeem reset-signaal
- synchroniseerbare clock voor andere 82C84A's
- fabrikanten onder andere: Intel, Harris



Figuur 9/9.2-14: Aansluitgegevens van de 82C84A.



CONTROL PIN	LOGICAL 1	LOGICAL 0
F/$\overline{C}$	External Clock	Crystal Drive
$\overline{RES}$	Normal	Reset
RDY1 RDY2	Bus Ready	Bus Not Ready
$\overline{AEN1}$ $\overline{AEN2}$	Address Disabled	Address Enabled
ASYNC	2 Stage Ready Synchronization	1 Stage Ready Synchronization

Figuur 9/9.2-15: Functioneel blokschema van de 82C84A.

9.2 Type-beschrijving 82xx-familie

Supply Voltage .... +8.0 Volts
Input, Output or I/O Voltage Applied .... GND -0.5V to VCC +0.5V
Storage Temperature Range .... -65°C to +150°C
Maximum Package Power Dissipation .... 1 Watt
θ_{jc} .... 28°C/W (CERDIP Package), 33°C/W (LCC Package)
θ_{ja} .... 81°C/W (CERDIP Package), 86°C/W (LCC Package)
Gate Count .... 50 Gates
Junction Temperature .... +150°C
Lead Temperature (Soldering, Ten Seconds) .... +260°C

Tabel 9/9.2-8: Maximaal toegelaten waarden van de 82C84A.

SYMBOL	PARAMETER	MIN	MAX	UNITS	TEST CONDITIONS
VIH	Logical One Input Voltage	2.0 2.2		V V	C82C84A, I82C84A M82C84A
VIL	Logical Zero Input Voltage		0.8	V	
VIHR	Reset Input High Voltage	VCC -0.8		V	
VILR	Reset Input Low Voltage		0.5	V	
VT+ - VT-	Reset Input Hysteresis	0.2 VCC			
VOH	Logical One Output Voltage	VCC -0.4		V	IOH = -4.0mA for CLK Output IOH = -2.5mA For All Others
VOL	Logical Zero Output Voltage		0.4	V	IOL = +4.0mA for CLK Output IOL = +2.5mA For All Others
II	Input Leakage Current	-1.0	1.0	μA	VIN = VCC or GND except $\overline{\text{ASYNC}}$, X1: See Note 1.
ICCOP	Operating Power Supply Current		40	mA	Crystal Frequency = 25MHz Outputs Open

NOTES: 1. ASYNC pin includes an internal 17.5KΩ nominal pull-up resistor. For $\overline{\text{ASYNC}}$ input at GND, $\overline{\text{ASYNC}}$ input leakage current = 130μA nominal. X1 - crystal feedback input.

Tabel 9/9.2-9: Gelijkspanningskarakteristieken.

9.2 Type-beschrijving 82xx-familie

T_A = 0°C to +70°C, V_{CC} = 5V ±10% – C82C84A

T_A = -40°C to +85°C, V_{CC} = 5V ±10% –I82C84A

T_A = -55°C to +125°C, VCC = 5V ±10% –M82C84A

TIMING REQUIREMENTS

Symbol	Parameter	Min.	Max.	Units
t_{EHEL}	External Frequency HIGH Time	13		ns
t_{ELEH}	External Frequency LOW Time	13		ns
t_{ELEL}	EFI Period	36		ns
	XTAL Frequency	2.4	25	MHz
t_{R1VCL}	RDY1, RDY2 Active Setup to CLK	35		ns
t_{R1VCH}	RDY1, RDY2 Active Setup to CLK	35		ns
t_{R1VCL}	RDY1, RDY2 Inactive Setup to CLK	35		ns
t_{CLR1X}	RDY1, RDY2 Hold to CLK	0		ns
t_{AYVCL}	ASYNC Setup to CLK	50		ns
t_{CLAYX}	ASYNC Hold to CLK	0		ns
t_{A1VR1V}	AEN1, AEN2 Setup to RDY1, RDY2	15		ns
t_{CLA1X}	AEN1, AEN2 Hold to CLK	0		ns
t_{YHEH}	CSYNC Setup to EFI	20		ns
t_{EHYL}	CSYNC Hold to EFI	20		ns
t_{YHYL}	CSYNC Width	$2 \cdot t_{ELEL}$		ns
t_{I1HCL}	RES Setup to CLK	65		ns
t_{CLI1H}	RES Hold to CLK	20		ns

TIMING RESPONSES

Symbol	Parameter	Min.	Max.	Units
t_{CLCL}	CLK Cycle Period	125		ns
t_{CHCL}	CLK HIGH Time	(1/3 t_{CLCL}) +2.0		ns
t_{CLCH}	CLK LOW Time	(2/3 t_{CLCL}) -15.0		ns
t_{CH1CH2} t_{CL2CL1}	CLK Rise or Fall Time		10	ns
t_{PHPL}	PCLK HIGH Time	t_{CLCL}-20		ns
t_{PLPH}	PCLK LOW Time	t_{CLCL}-20		ns
t_{RYLCL}	Ready Inactive to CLK (See note 4)	-8		ns
t_{RYHCH}	Ready Active to CLK (See note 3)	(2/3 t_{CLCL}) -15.0		ns
t_{CLIL}	CLK to Reset Delay		40	ns
t_{CLPH}	CLK to PCLK HIGH Delay		22	ns
t_{CLPL}	CLK to PCLK LOW Delay		22	ns
t_{OLCH}	OSC to CLK HIGH Delay	-5	22	ns
t_{OLCL}	OSC to CLK LOW Delay	2	35	ns

Tabel 9/9.2-10: Wisselspanningscondities en schakeltijden.

82284
Clock-generator/driver en Ready-interface

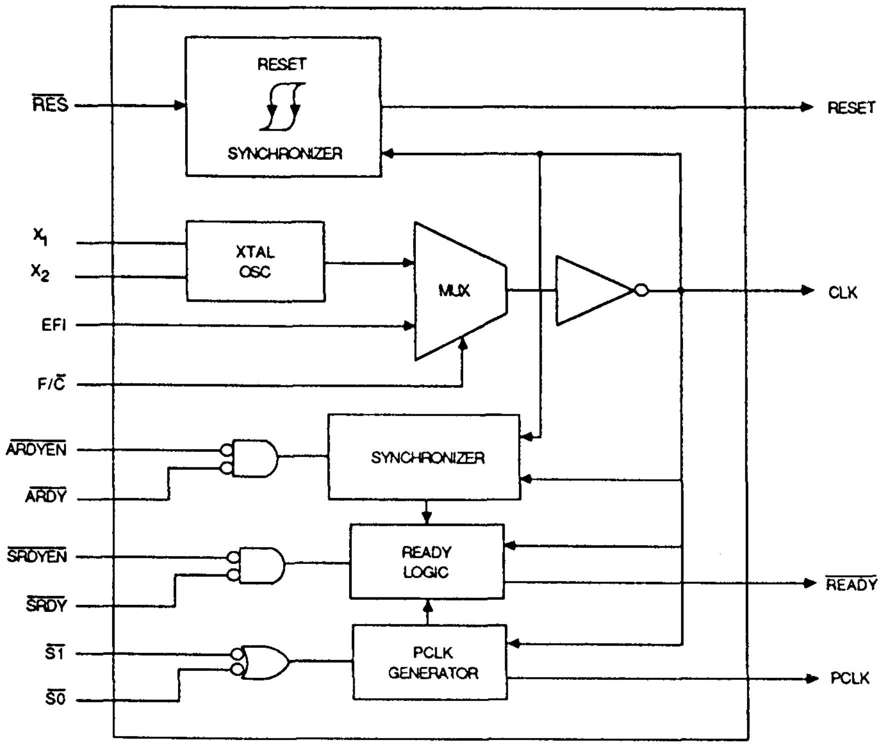
De 82284 is een bipolaire klokgenerator/driver die kloksignalen voor 80286 processoren en aanverwante komponenten kan opwekken. De chip bevat alle logika voor het leveren van READY-signalen aan de CPU uit zowel asynchrone als synchrone bronnen.

Tevens wordt een synchroon resetsignaal gegenereerd uit asynchrone signalen (zie blokschema, figuur 9/9.2-16).

Kenmerken van de 82284

- opwekking van systeemklok voor 80286 processoren
- gebruikt kristal of TTL-signaal als frequentiebron

9.2 Type-beschrijving 82xx-familie



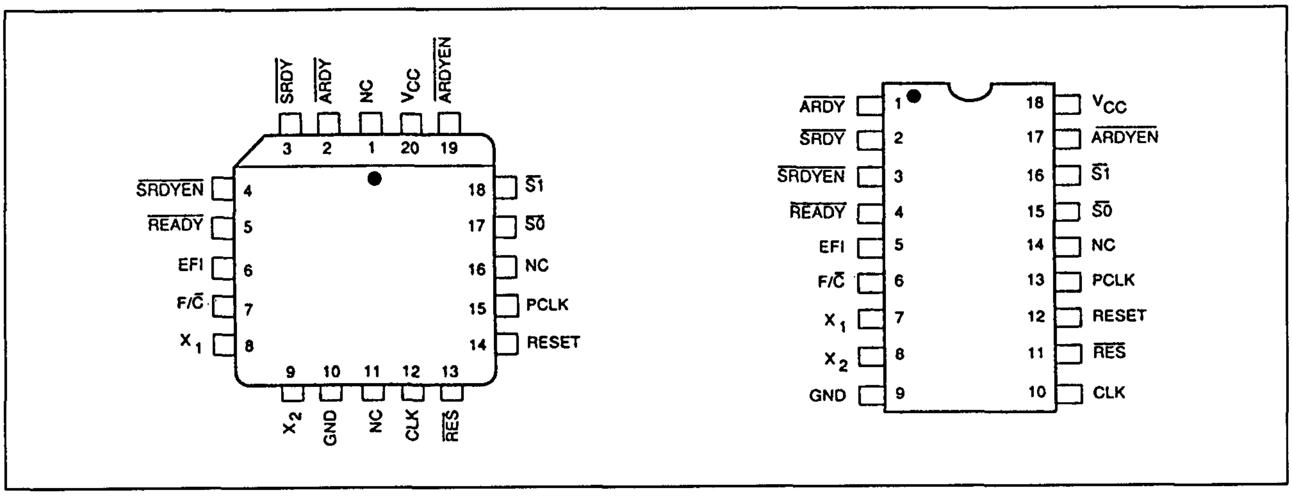
Figuur 9/9.2-16: Functioneel blokschema van de 82284 (positieve logika).

- synchroniseert lokale $\overline{READY}$ en Multibus $\overline{READY}$
- levert systeem reset-signaal via Schmitt-trigger
- 18-pens plastic of ceramisch DIP of 20-pens PLCC (figuur 9/9.2-17)
- enkele +5 V voeding
- fabrikanten onder andere:
  Intel
  AMD
  Siemens (SAB82284)

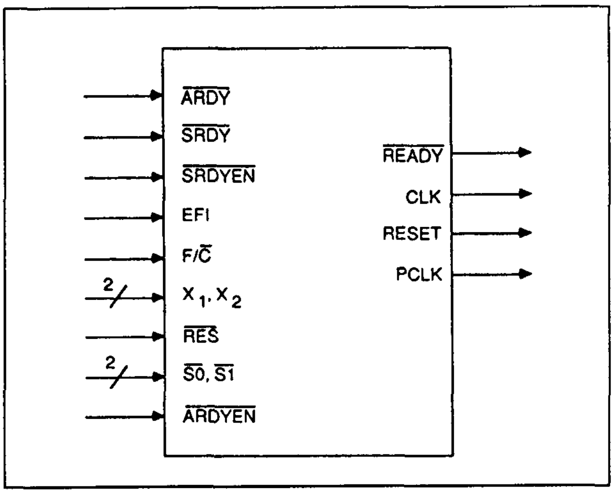
Beschrijving van de werking
De 82284 genereert de clock-, ready- en reset-signalen die nodig zijn voor iAPX 286 processoren (80286) en ondersteunende komponenten. De 82284 bevat een kristalgestuurde oscillator, MOS clock-generator, perifere clock-generator, Multibus-ready synchronisatie-logika en logika voor het resetten van het systeem.

Clock-generator
De CLK-uitgang levert de basis timing voor het 80286 systeem.
Deze uitgang kan ook MOS-schakelingen aandrijven. Het CLK-signaal wordt óf door een interne kristal-oscillator óf door een externe bron gegenereerd, afhankelijk van de F/$\overline{C}$-pen. Als F/$\overline{C}$ LAAG is, wordt de CLK-uitgang aangedreven door de kristal-oscillator (figuur 9/9.2-19).
Is F/$\overline{C}$ HOOG dan is EFI de frequentiebron voor CLK.

9.2 Type-beschrijving 82xx-familie



Figuur 9/9.2-17: Aansluitgegevens van de 82284.



Figuur 9/9.2-18: Logisch symbool van de clock-driver/ready interface 82284.

De 82284 heeft een tweede klokuitgang (PCLK) voor periferieschakelingen. PCLK is de door twee gedeelde CLK met een duty-cycle van 50 % op TTL-niveau. PCLK wordt gewoonlijk gesynchroniseerd op de interne processor-clock. Na het resetten kan het PCLK-signaal uit fase zijn met de interne processor-clock. De $\overline{S1}$ en $\overline{S0}$ signalen van de eerste buscyclus worden gebruikt om PCLK op de interne processor-clock te synchroniseren. De fase van het PCLK-signaal verandert door de HOOG-tijd hiervan langer dan één systeem-clock te verlengen (zie golfvormen).

PCLK wordt HOOG gedwongen als $\overline{S1}$ of $\overline{S0}$ gedurende de twee voorgaande CLK-cycli aktief (LAAG) was.
PCLK oscilleert verder als zowel $\overline{S0}$ als $\overline{S1}$ HOOG zijn. Aangezien de fase van de interne processor-clock behalve tijdens reset niet zal veranderen, zal ook de fase van PCLK tijdens de eerste buscyclus na reset niet veranderen.

Oscillator

De oscillator-schakeling van de 82284 is een lineaire Pierce-oscillator die een extern parallel-resonerend kristal nodig heeft. De uitgang van de oscillator is intern gebufferd. De kristalfrequentie moet tweemaal zo hoog worden gekozen als de interne clockfrequentie.
Het kristal moet een typische capaciteit van 32 pF hebben. Het kristal wordt aangesloten op de pennen X1 en X2. Voor een stabiele werking van de oscillator worden twee belastingscondensatoren aanbevolen (zie figuur 9/9.2-19). De som van de printcapaciteit en de belastingscapaciteit moet overeenkomen met de vermelde waarde. Het is verstandig om de paracitaire capaciteiten op de print tussen de pennen X1 en X2 tot 10 pF te beperken. De V_{CC} en GND aansluitpennen moeten zo dicht mogelijk bij de 82284 worden ontkoppeld.

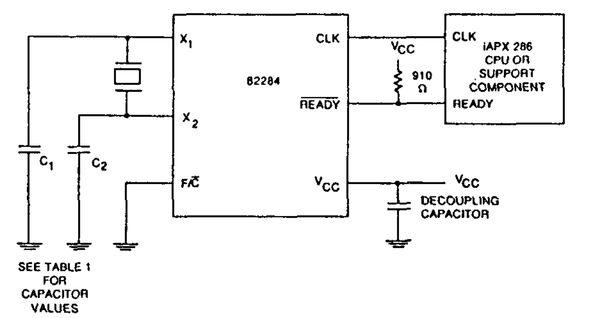
9.2 Type-beschrijving 82xx-familie

Reset-operatie

Het systeem wordt door middel van het RESET-signaal dat afkomstig is van de resetlogika in een bekende initiële toestand gezet. Wanneer de $\overline{RES}$-ingang aktief (LAAG) is, wordt ook de RESET-uitgang aktief (HOOG). $\overline{RES}$ wordt intern op de dalende flank van CLK gesynchroniseerd voordat de RESET-uitgang wordt opgewekt (zie golfvormen). Synchronisatie van de $\overline{RES}$-ingang veroorzaakt een vertraging met één of twee clockcycli van de RESET-uitgang.

Bij power-up heeft een systeem nog geen stabiele V_{CC} en CLK. Om onbedoelde aktiviteiten te voorkomen moet $\overline{RES}$ aanwezig blijven totdat V_{CC} en CLK op hun operationele waarden zijn gestabiliseerd.

Voor 80286 processoren en de ondersteunende schakelingen is het ook nodig dat hun RESET-ingangen minstens 16 clockcycli HOOG zijn. Door een RC-netwerk, zoals in figuur 9/9.2-20 te zien is, wordt $\overline{RES}$ lang genoeg LAAG gehouden om aan deze eisen tegemoet te komen.

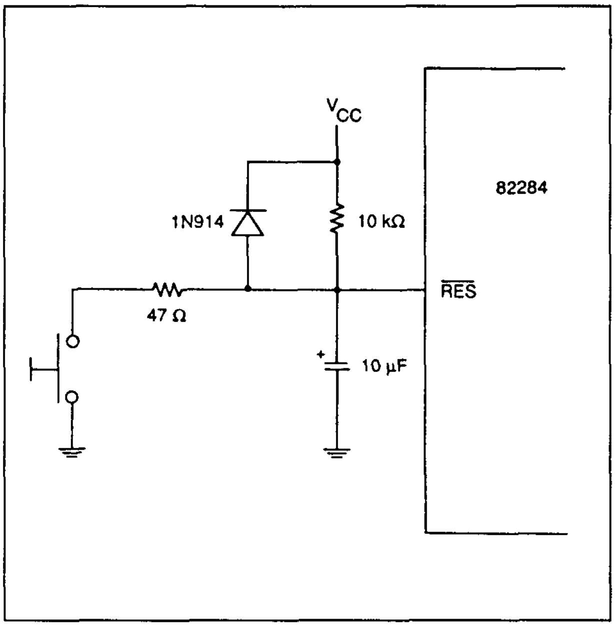


Crystal Frequency	C_1 Capacitance (pin 7)	C_2 Capacitance (pin 8)
1 to 8 MHz	60 pF	40 pF
8 to 16 MHz	25 pF	15 pF

Note: Capacitance values must include stray board capacitance.

Figuur 9/9.2-19: Aanbevolen aansluitingen van het kristal en het READY-signaal en belastingscapaciteiten van het kristal van de 82284.

Door de Schmitt-trigger ingang met hysteresis van ($\overline{RES}$) en de bijbehorende RC-schakeling is men er zeker van dat RESET slechts éénmaal omgaat. De hysteresis maakt een duidelijk onderscheid tussen de waarde van de ingangsspanning waarop de schakeling van HOOG naar LAAG gaat en die waarbij de schakeling van LAAG naar HOOG gaat. De spanning van de HOOG-naar-LAAG overgang van $\overline{RES}$ is lager dan die bij LAAG-naar-HOOG. Zolang de helling van het $\overline{RES}$-signaal (stijgend of dalend) in dezelfde richting gaat, zal de RESET-uitgang één enkele transitie maken.



Figuur 9/9.2-20: Typisch RC-netwerk voor de timing van $\overline{RES}$.

Ready operatie

De 82284 accepteert twee READY-bronnen voor het beëindigen van de lopende buscyclus. Hiervoor kan een synchrone ($\overline{SRDY}$) of een asynchrone ($\overline{ARDY}$) bron worden gebruikt. Elke ready-ingang heeft een eigen enable-ingang ($\overline{SRDYEN}$ respectievelijk $\overline{ARDYEN}$) om te kiezen met welk type readybron de lopende buscyclus moet worden gestopt. Gewoonlijk wordt hiervoor een adresdecoder gebruikt.

READY wordt vrijgegeven (LAAG) als:

$\overline{SRDY} + \overline{SRDYEN} = 0$

of als:

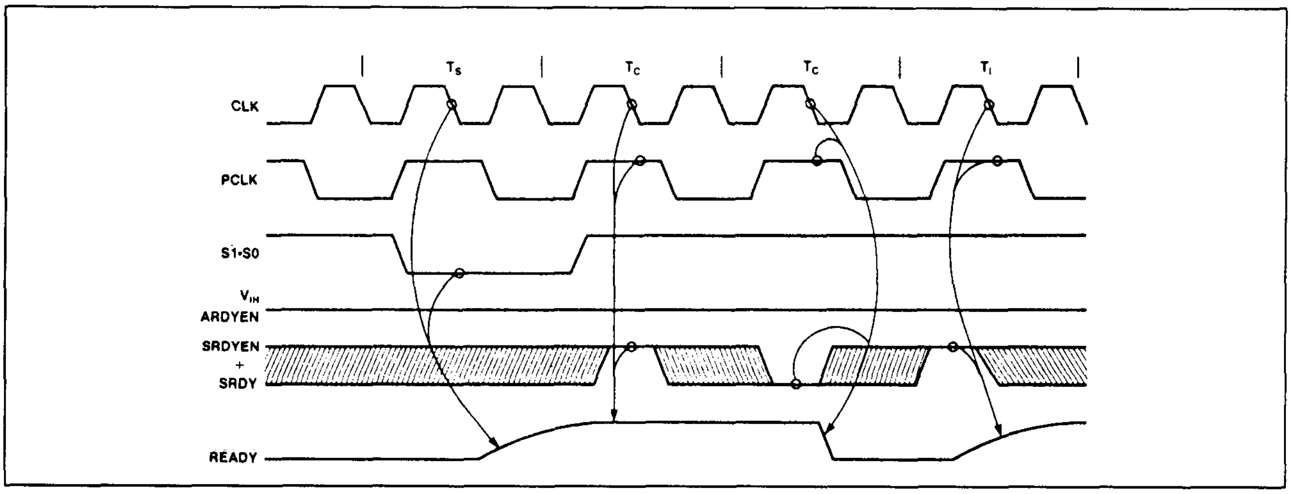
$\overline{ARDY} + \overline{ARDYEN} = 0$

bij aftasten door de $\overline{READY}$-logika van de 82284. $\overline{READY}$ blijft tenminste twee CLK-cycli aktief, behalve als dit door RESET wordt overtroefd.
De $\overline{READY}$-uitgang heeft een open-collector driver, waardoor ook andere ready-schakelingen ge-"wired-OR"-ed kunnen worden. Het $\overline{READY}$-signaal van een iAPX286 systeem heeft een externe optrekweerstand van 910 Ω +/-5 % nodig.
Om het $\overline{READY}$-signaal bij het begin van een buscyclus niet-aktief (HOOG) te maken zweeft de $\overline{READY}$-uitgang wanneer op de dalende flank van CLK $\overline{S1}$ of $\overline{S0}$ LAAG worden bevonden. De optrekweerstand krijgt twee systeem-clockperioden de tijd om het $\overline{READY}$-signaal op V_{IH} te brengen. Wanneer RESET aktief is, wordt $\overline{READY}$ één CLK later aktief gemaakt (zie golfvormen).
In figuur 9/9.2-21 wordt de werking van $\overline{SRDY}$ en $\overline{SRDYEN}$ getoond. Deze ingangen worden op de dalende flank van CLK afgetast wanneer $\overline{S1}$ en $\overline{S0}$ niet-aktief zijn en PCLK HOOG is. $\overline{READY}$ wordt aktief gemaakt wanneer zowel $\overline{SRDY}$ als $\overline{SRDYEN}$ bij aftasting LAAG zijn.

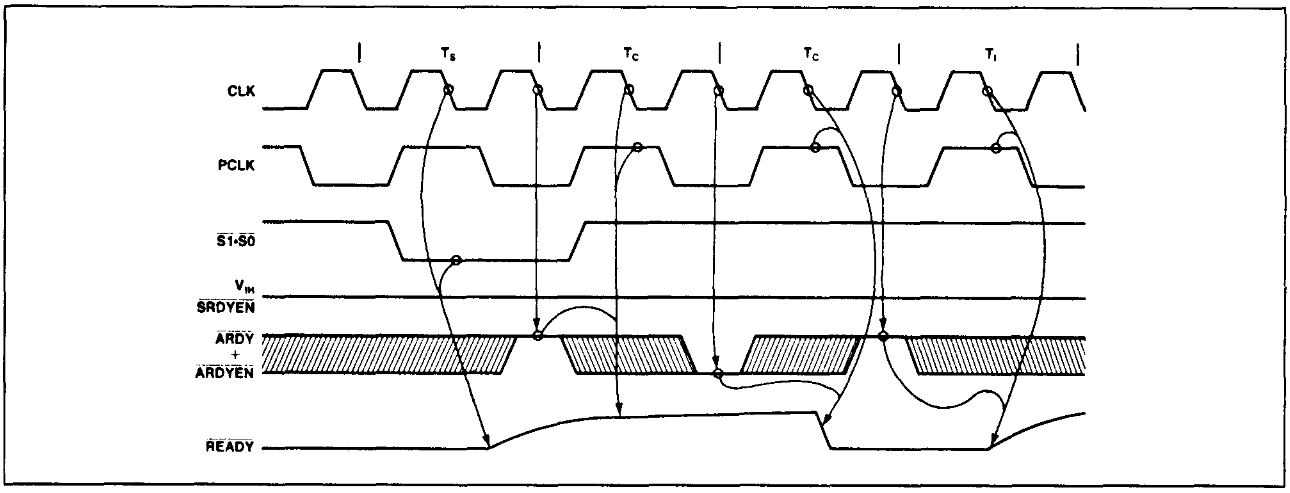
Symbol	Type	Name and Function
CLK	O	**System Clock** is the signal used by the processor and support devices which must be synchronous with the processor. The frequency of the CLK output has twice the desired internal processor clock frequency. CLK can drive both TTL and MOS level inputs.
F/$\overline{C}$	I	**Frequency/Crystal Select** is a strapping option to select the source for the CLK output. When F/$\overline{C}$ is strapped LOW, the internal crystal oscillator drives CLK. When F/$\overline{C}$ is strapped HIGH, the EFI input drives the CLK output.
X1, X2	I	**Crystal In** are the pins to which a parallel resonant fundamental mode crystal is attached for the internal oscillator. When F/$\overline{C}$ is LOW, the internal oscillator will drive the CLK output at the crystal frequency. The crystal frequency must be twice the desired internal processor clock frequency.
EFI	I	**External Frequency In** drives CLK when the F/$\overline{C}$ input is strapped HIGH. The EFI input frequency must be twice the desired internal processor clock frequency.
PCLK	O	**Peripheral Clock** is an output which provides a 50% duty cycle clock with 1/2 the frequency of CLK. PLCK will be in phase with the internal processor clock following the first bus cycle after the processor has been reset.
$\overline{ARDYEN}$	I	**Asynchronous Ready Enable** is an active LOW input which qualifies the $\overline{ARDY}$ input. $\overline{ARDYEN}$ selects $\overline{ARDY}$ as the source of ready for the current bus cycle. Inputs to $\overline{ARDYEN}$ may be applied asynchronously to CLK. Setup and hold times are given to assure a guaranteed response to synchronous inputs.
$\overline{ARDY}$	I	**Asynchronous Ready** is an active LOW input used to terminate the current bus cycle. The $\overline{ARDY}$ input is qualified by $\overline{ARDYEN}$. Inputs to $\overline{ARDY}$ may be applied asynchronously to CLK. Setup and hold times are given to assure a guaranteed response to synchronous inputs.
$\overline{SRDYEN}$	I	**Synchronous Ready Enable** is an active LOW input which qualifies $\overline{SRDY}$. $\overline{SRDYEN}$ selects $\overline{SRDY}$ as the source for $\overline{READY}$ to the CPU for the current bus cycle. Setup and hold times must be satisfied for proper operation.
$\overline{SRDY}$	I	**Synchronous Ready** is an active LOW input used to terminate the current bus cycle. The $\overline{SRDY}$ input is qualified by the $\overline{SRDYEN}$ input. Setup and hold times must be satisfied for proper operation.
$\overline{READY}$	O	**Ready** is an active LOW output which signals the current bus cycle is to be completed. The SRDY, SRDYEN, ARDY, ARDYEN, S1, S0 and RES inputs control READY as explained later in the READY generator section. READY is an open collector output requiring an external pullup resistor.
$\overline{S0}$, $\overline{S1}$	I	**Status** inputs prepare the 82284 for a subsequent bus cycle. $\overline{S0}$ and $\overline{S1}$ synchronize PCLK to the internal processor clock and control $\overline{READY}$. These inputs have pullup resistors to keep them HIGH if nothing is driving them. Setup and hold times must be satisfied for proper operation.
RESET	O	**Reset** is an active HIGH output which is derived from the $\overline{RES}$ input. RESET is used to force the system into an initial state. When RESET is active, $\overline{READY}$ will be active (LOW).
$\overline{RES}$	I	**Reset In** is an active LOW input which generates the system reset signal RESET. Signals to $\overline{RES}$ may be applied asynchronously to CLK. A Schmitt trigger input is provided on $\overline{RES}$, so that an RC circuit can be used to provide a time delay. Setup and hold times are given to assure a guaranteed response to synchronous inputs.
V_{CC}		**System Power**: +5V power supply
GND		**System Ground**: 0 volts

Tabel 9/9.2-11: Aansluitpennen en signalen van de 82284.

9.2 Type-beschrijving 82xx-familie



Figuur 9/9.2-21: Synchrone Ready operatie.



Figuur 9/9.2-22: Asynchrone Ready operatie.

In figuur 9/9.2-22 is de werking van $\overline{ARDY}$ en $\overline{ARDYEN}$ zichtbaar. Deze ingangen worden beide op de dalende flank van CLK afgetast door een interne synchronisator. De uitgang van de synchronisator wordt vervolgens afgetast als PCLK HOOG is. Als de synchronisator bemerkt dat zowel de $\overline{ARDY}$ als de $\overline{ARDYEN}$ LAAG zijn geweest wordt $\overline{READY}$ LAAG. Als $\overline{ARDY}$ plus $\overline{ARDYEN}$ aktief werden bevonden, worden de $\overline{SRDY}$ en $\overline{SRDYEN}$ ingangen genegeerd. Aan het einde van TS moet $\overline{ARDY}$ of $\overline{ARDYEN}$ HOOG zijn (zie figuur 9/9.2-22).
$\overline{READY}$ blijft aktief totdat $\overline{S1}$ of $\overline{S0}$ LAAG zijn bij aftasting, of als de ready-ingangen dan niet-aktief zijn.

Overige kenmerken

De resterende kenmerken van de 82284 clockdriver worden getoond in de figuren 9/9.2-23 tot en met -27 en de tabellen 9/9.2-12 tot en met -14.

Parameter	Waarde
Temperature Under Bias	0°C to 70°C
Storage Temperature	-65°C to +150°C
All Output and Supply Voltages	-0.5V to +7V
All Input Voltages	-1.0V to +5.5V
Power Dissipation	1 Watt

Tabel 9/9.2-12: Maximaal toegelaten waarden voor de 82284.

9.2 Type-beschrijving 82xx-familie

Sym	Parameter	6 MHz		8 MHz			
		-6 Min	-6 Max	-8 Min	-8 Max	Unit	Test Condition
V_{IL}	Input LOW Voltage		.8		.8	V	
V_{IH}	Input HIGH Voltage	2.0		2.0		V	
V_{IHR}	$\overline{RES}$ and EFI Input HIGH Voltage	2.6		2.6		V	
V_{HYS}	$\overline{RES}$ Input hysteresis	0.25		0.25		V	
V_{OL}	RESET, PCLK Output LOW Voltage		.45		.45	V	I_{OL} = 5mA
V_{OH}	RESET, PCLK Output HIGH Voltage	2.4		2.4		V	I_{OH} = -1mA
V_{OLR}	$\overline{READY}$, Output LOW Voltage		.45		.45	V	I_{OL} = 7mA
V_{OLC}	CLK Output LOW Voltage		.45		.45	V	I_{OL} = 5mA
V_{OHC}	CLK Output HIGH Voltage	4.0		4.0		V	I_{OH} = -800μA
V_C	Input Forward Clamp Voltage		-1.0		-1.0	V	I_C = -5mA
I_F	Forward Input Current		-.5		-.5	mA	V_F = .45V
I_R	Reverse Input Current		50		50	uA	$V_R = V_{CC}$
I_{CC}	Power Supply Current		145		145	mA	
C_I	Input Capacitance		10		10	pF	F_C = 1MHz

Tabel 9/9.2-13: Gelijkspanningscondities bij V_{CC} = 5 V +/-5 %.

Sym	Parameter	6 MHz		8 MHz		10 MHz (Preliminary)		
		-6 Min.	-6 Max.	-8 Min.	-8 Max.	-10 Min.	-10 Max.	Unit
1	EFI to CLK Delay		35		30		30	ns
2	EFI LOW Time	40		22		25		ns
3	EFI HIGH Time	35		40		25		ns
4	CLK Period	83	500	62	500	50	500	ns
5	CLK LOW Time	20		15		12		ns
6	CLK HIGH Time	25		25		16		ns
7	CLK Rise Time		10		10		8	ns
8	CLK Fall Time		10		10		8	ns
9	Status Setup Time	28		22		—		ns
9a	Status Setup Time for Status Going Active	—		—		20		ns
9b	Status Setup Time for Status Going Active	—		—		20		ns
10	Status Hold Time	0		1		1		ns
11	$\overline{SRDY}$ or $\overline{SRDYEN}$ Setup Time	25		17		15		ns
12	$\overline{SRDY}$ or $\overline{SRDYEN}$ Hold Time	0		0		0		ns
13	$\overline{ARDY}$ or $\overline{ARDYEN}$ Setup Time	5		0		0		ns
14	$\overline{ARDY}$ or $\overline{ARDYEN}$ Hold Time	30		30		30		ns
15	$\overline{RES}$ Setup Time	25		20		20		ns
16	$\overline{RES}$ Hold Time	10		10		10		ns
17	$\overline{READY}$ Inactive Delay	5		5		5		ns
18	$\overline{READY}$ Active Delay	0	33	0	24	0	24	ns
19	PCLK Delay	0	45	0	45	0	35	ns
20	RESET Delay	5	50	5	34	5	27	ns
21	PCLK LOW Time	t4-20		t4-20		t4-20		ns
22	PCLK HIGH Time	t4-20		t4-20		t4-20		ns

Tabel 9/9.2-14: Wisselspanningskarakteristieken en schakeltijden van enkele typen van de 82284.

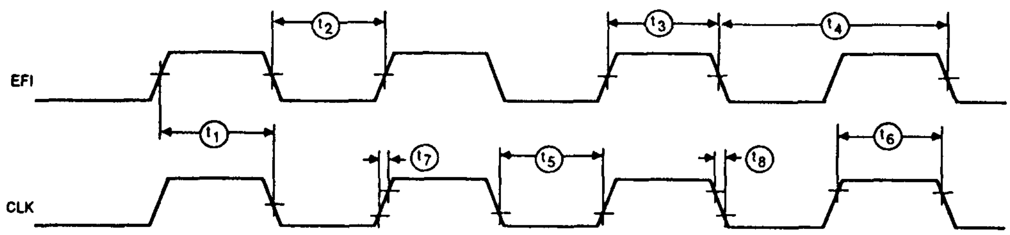
9.2 Type-beschrijving 82xx-familie

CPU Frequency	6-8 MHz	10 MHz
Resistor	910 ohm	700 ohm
CL	150 pF	150 pF
I_{OL}	7 mA	7 mA

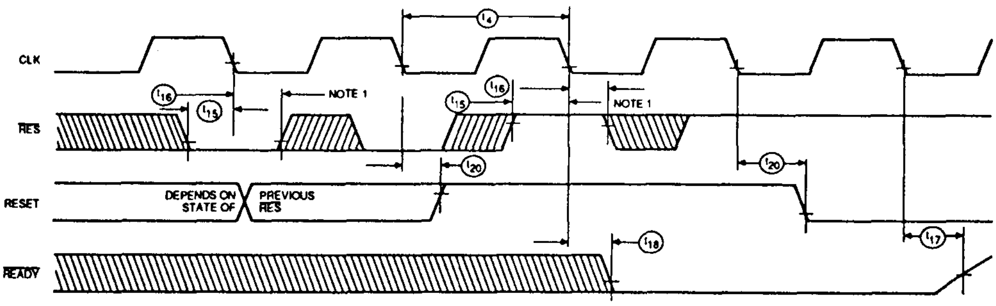
Figuur 9/9.2-23: Aanbevolen optrekweerstanden voor de READY-pen.

CLK Output Frequency:	12MHz CLK	16MHz CLK*	20MHz CLK*
Min. required EFI HIGH time	35ns	40ns	25ns
Min. required EFI LOW time	40ns	22ns	25ns

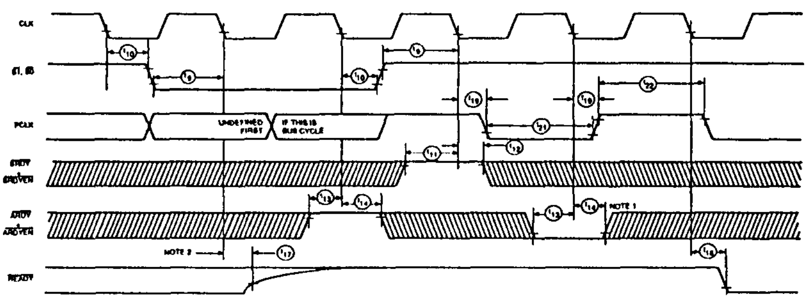
Figuur 9/9.2-24: Minimaal vereiste EFI-tijden.



Figuur 9/9.2-25: CLK als functie van EFI. De getoonde LAAG- en HOOG-tijden van CLK zijn alleen mogelijk met de getoonde CLK LAAG- en HOOG-tijden van EFI.



Figuur 9/9.2-26: De timing van RESET en $\overline{\text{READY}}$ als functie van $\overline{\text{RES}}$ met $\overline{\text{S1}}$ en $\overline{\text{S0}}$ HOOG. $\overline{\text{RES}}$ is een asynchrone ingang die voldoende setup- en hold-tijd nodig heeft.



Figuur 9/9.2-27: Timing van $\overline{\text{READY}}$ en PCLK met $\overline{\text{RES}}$ HOOG.

9.2 Type-beschrijving 82xx-familie

82C284

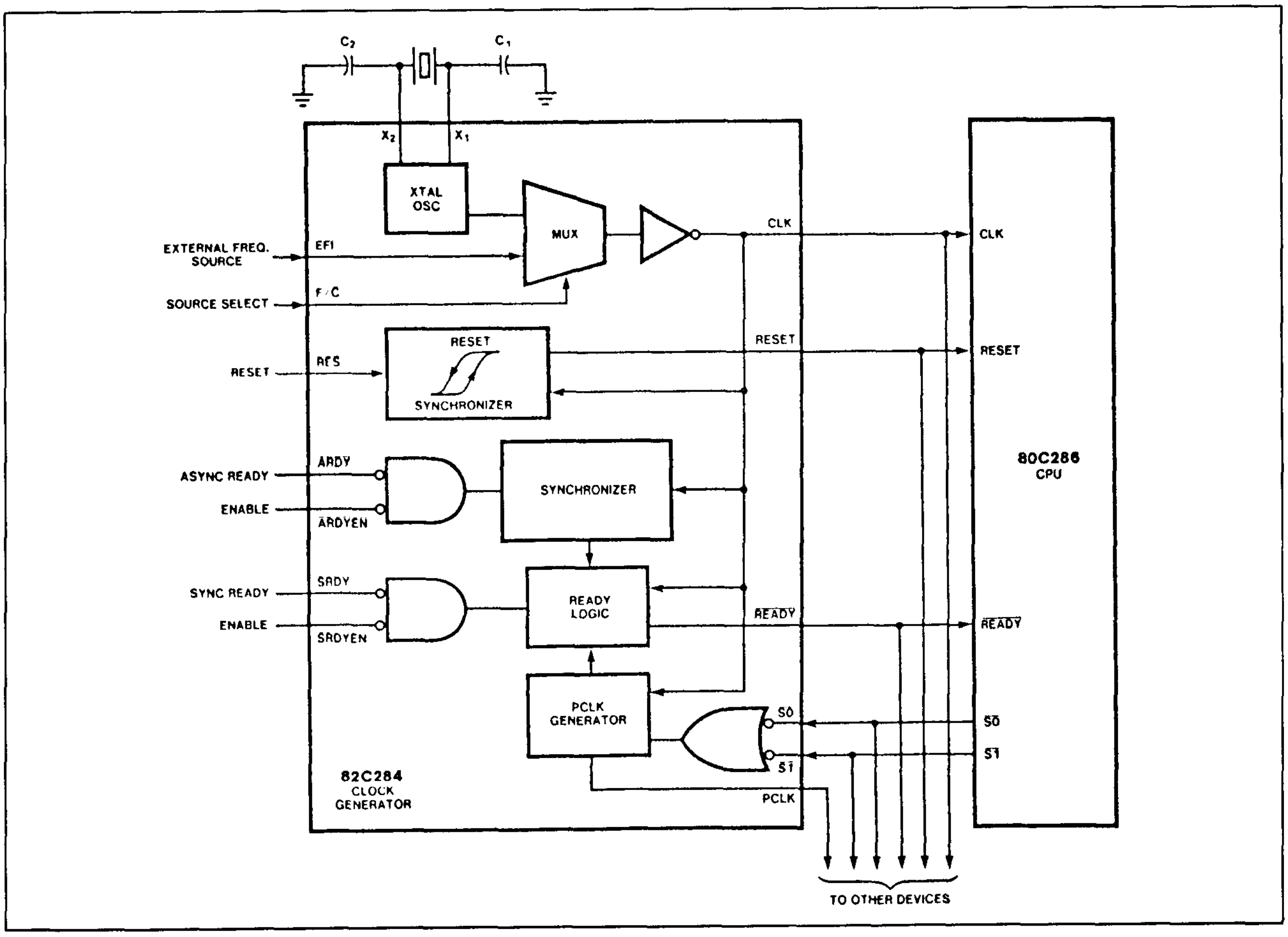
CMOS clock-generator/driver en Ready-interface

Ook de 82284 heeft een CMOS-uitvoering, de 82C284 die bestemd is voor de zowel CMOS (80C286) als NMOS (80286) processoren en bijbehorende schakelingen. De opbouw en aansluitingen van de 82C284 zijn identiek aan die van de 82284, zodat hier alleen de afwijkende kenmerken worden weergegeven.

Voor de werking en andere gegevens wordt verwezen naar de hiervoor behandelde 82284.

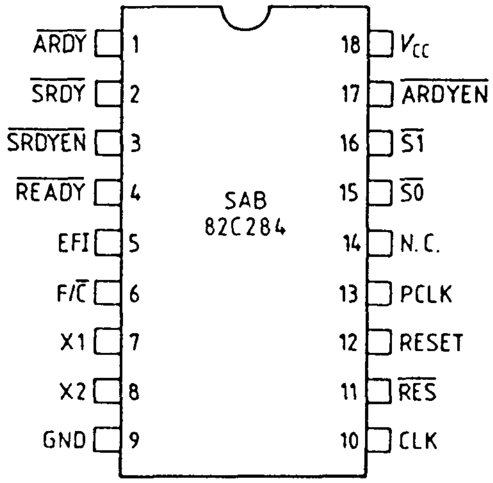
Kenmerken van de 82C284

- opwekking van systeemklok voor 80C286/80286 processoren
- gebruikt kristal of TTL-signaal als frequentiebron
- synchroniseert lokale $\overline{\text{READY}}$ en multimaster systeembus (Multibus) $\overline{\text{READY}}$
- levert systeem reset-signaal via Schmitt-trigger
- 18-pens plastic DIL-behuizing (figuur 9/9.2-29)
- enkele +5 V voeding
- fabrikanten onder andere:
  Harris
  Siemens (SAB82C284)



Figuur 9/9.2-28: Functioneel blokschema van de 82C284 (positieve logika) en aansluiting op een 80C286 CPU.

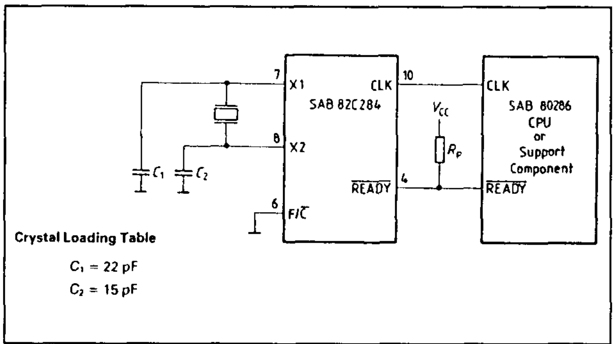
9.2 Type-beschrijving 82xx-familie



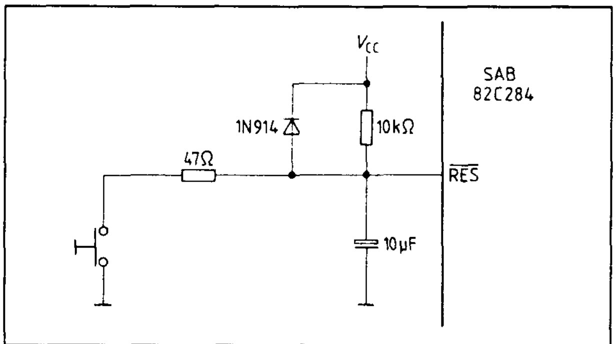
Pin Names

CLK	System Clock
F/$\overline{C}$	Frequency/Crystal Select
X1, X2	Crystal In
EFI	External Frequency In
PCLK	Peripheral Clock
$\overline{ARDYEN}$	Asynchronous Ready Enable
$\overline{ARDY}$	Asynchronous Ready
$\overline{SRDYEN}$	Synchronous Ready Enable
$\overline{SRDY}$	Synchronous Ready
$\overline{READY}$	Bus Cycle Termination
$\overline{S0}$, $\overline{S1}$	Status
RESET	Reset
$\overline{RES}$	Reset In
V_{CC}	Power supply (+5V)
GND	Ground (0V)

Figuur 9/9.2-29: Aansluitgegevens van de 82C284.



Figuur 9/9.2-30: Aanbevolen aansluitingen van het kristal en het $\overline{READY}$-signaal plus belastingscapaciteiten van het kristal.



Figuur 9/9.2-31: Typisch RC-netwerk voor de $\overline{RES}$-timing van de 82C284.

Temperature under bias	0 to 70°C
Storage temperature	− 65 to + 150°C
All output and supply voltages	− 0.5 to + 7V
All input voltages	− 1.0 to + 5.5V
Power dissipation	1 W

Tabel 9/9.2-15: Maximaal toegelaten waarden van de 82C284.

9.2 Type-beschrijving 82xx-familie

Parameter	Symbol	Limit values		Unit	Test conditions
		min.	max.		
Forward input current ($\overline{S0}$, $\overline{S1}$)	I_F	–	−0.5	mA	V_F = 0.45V
Input leakage current (all others)	I_{LI}	–	±10	μA	0V ≤ V_{IN} ≤ V_{CC}
Power supply current	I_{CC}	–	75	mA	@ 25 MHz
Input low voltage	V_{IL}	–	0.8	V	–
Input high voltage	V_{IH}	2.0	–	V	–
Output low voltage	V_{OL}, V_{CL}	–	0.45	V	I_{OL} = 5mA (9 mA at $\overline{READY}$)
CLK output high voltage	V_{CH}	4.0	–	V	I_{OH} = −1mA
Output high voltage	V_{OH}	2.4	–	V	I_{OH} = −1mA
$\overline{RES}$ input high voltage	V_{IHR}	2.6	–	V	–
$\overline{RES}$ input hysteresis	$V_{IHR} - V_{ILR}$	0.25	–	V	–
Input capacitance	C_I	–	10	pF	f_C = 1 MHz

Tabel 9/9.2-16: Gelijkspanningscondities.

T_A = 0 to 70°C, V_{CC} = 5V±10%
AC timings are referenced to 0.8 and 2.0V points of signals as illustrated in data sheet waveforms, unless otherwise noted.

Parameter	Symbol	Limit values		Unit	Test conditions
		min.	max.		
EFI to CLK delay	t_1	–	25	ns	at 1.5V
EFI low time	t_2	18	–	ns	at 1.5V
EFI high time	t_3	18	–	ns	at 1.5V
CLK period	t_4	40	500	ns	–
CLK low time	t_5	11	–	ns	at 1.0V
CLK high time	t_6	13	–	ns	at 3.6V
CLK rise time	t_7	–	8	ns	from 1.0V to 3.6V
CLK fall time	t_8	–	8	ns	from 3.6V to 1.0V
Status setup time	t_9	18	–	ns	
Status hold time	t_{10}	3	–	ns	
$\overline{SRDY}$ + $\overline{SRDYEN}$ setup time	t_{11}	15	–	ns	
$\overline{SRDY}$ + $\overline{SRDYEN}$ hold time	t_{12}	2	–	ns	
$\overline{ARDY}$ + $\overline{ARDYEN}$ setup time	t_{13}	0	–	ns	
$\overline{ARDY}$ + $\overline{ARDYEN}$ hold time	t_{14}	25	–	ns	
$\overline{RES}$ setup time	t_{15}	18	–	ns	
$\overline{RES}$ hold time	t_{16}	8	–	ns	
$\overline{READY}$ inactive delay	t_{17}	5	–	ns	at 0.8V
$\overline{READY}$ active delay	t_{18}	0	18	ns	at 0.8V
PCLK delay	t_{19}	0	23	ns	
RESET delay	t_{20}	3	22	ns	
PCLK low time	t_{21}	t_4−20	–	ns	at 0.6V
PCLK high time	t_{22}	t_4−20	–	ns	at 2.0V

Tabel 9/9.2-17: Wisselspanningskarakteristieken en schakeltijden van het type 82C284-12 (max. 25 MHz).

9.2 Type-beschrijving 82xx-familie

T_A = 0 to 70°C, V_{CC} = 5 V ± 10%
AC timings are referenced to 0.8 and 2.0 V points of signals as illustrated in data sheet waveforms, unless otherwise noted.

Parameter	Symbol	Limit values		Unit	Test conditions
		min.	max.		
EFI to CLK delay	t_1	–	30	ns	at 1.5 V
EFI low time	t_2	25	–	ns	at 1.5 V
EFI high time	t_3	25	–	ns	at 1.5 V
CLK period	t_4	50	500	ns	–
CLK low time	t_5	12	–	ns	at 1.0 V
CLK high time	t_6	16	–	ns	at 3.6 V
CLK rise time	t_7	–	8	ns	from 1.0 V to 3.6 V
CLK fall time	t_8	–	8	ns	from 3.6 V to 1.0 V
Status setup time	t_9	20	–	ns	
Status hold time	t_{10}	1	–	ns	
$\overline{SRDY}$ + $\overline{SRDYEN}$ setup time	t_{11}	15	–	ns	
$\overline{SRDY}$ + $\overline{SRDYEN}$ hold time	t_{12}	2	–	ns	
$\overline{ARDY}$ + $\overline{ARDYEN}$ setup time	t_{13}	0	–	ns	
$\overline{ARDY}$ + $\overline{ARDYEN}$ hold time	t_{14}	30	–	ns	
$\overline{RES}$ setup time	t_{15}	20	–	ns	
$\overline{RES}$ hold time	t_{16}	10	–	ns	
$\overline{READY}$ inactive delay	t_{17}	5	–	ns	at 0.8 V
$\overline{READY}$ active delay	t_{18}	0	24	ns	at 0.8 V
PCLK delay	t_{19}	0	35	ns	
RESET delay	t_{20}	5	27	ns	
PCLK low time	t_{21}	t_4–20	–	ns	at 0.6 V
PCLK high time	t_{22}	t_4–20	–	ns	at 2.0 V

Tabel 9/9.2-18: Wisselspanningskarakteristieken en schakeltijden van het type 82C284-1 (max. 20 MHz).

9.2 Type-beschrijving 82xx-familie

9/9.3.1

Werking en principes van clock-drivers/clock-generatoren

Theoretische achtergronden

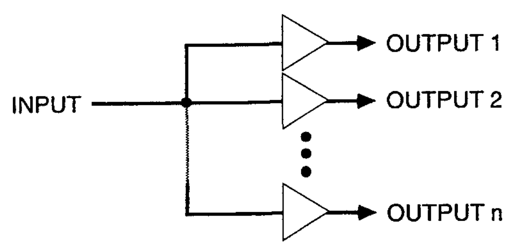
Inleiding

Door de steeds maar toenemende snelheid van microprocessors en -controllers is de timing daarvan zeer kritisch geworden. De zogenaamde geheugen-bandbreedte is in korte tijd al met een factor 10 gegroeid tot ruim 100 MHz en neemt nog steeds toe. Pentium II processors kunnen alleen nog van synchrone DRAM's gebruik maken. Bij de aansturing van grote SDRAM-banken is een goede werking niet alleen afhankelijk van de nauwkeurige gelijkloop, de vorm en de belastbaarheid van de clock-signalen, maar ook van de layout van de sporen op de print. Bij de steeds hogere clock-frequenties (33, 50, 66, 100 MHz en nog hoger) wordt de onzekerheid of "skew" in de clock-distributie een steeds groter probleem.
Aangezien de clock-signalen zowel worden gebruikt voor de aandrijving van de processors als voor het synchroniseren van het data-transport tussen de systeem-eenheden worden aan de clock-distributie hoge eisen gesteld. Als bij het ontwerpen van een clock-distributiesysteem de skew buiten beschouwing blijft, leidt dat onherroepelijk tot een onbetrouwbaar systeem.

Twee soorten clock-drivers

Er zijn twee soorten clock-drivers: buffers en op de PLL-technologie (Phase-Locked Loop) gebaseerde schakelingen.
De skew is bij buffers (goedkoop en eenvoudig) het grootst en wordt vooral veroorzaakt door belastingsverschillen aan de uitgangen.

In op PLL gebaseerde schakelingen is de skew meestal zeer klein, aangezien de belastingsverschillen bij zo'n schakeling kunnen worden gecompenseerd.
SDRAM-array's worden vaak door de PLL-schakelingen aangestuurd, waarbij dan naast skew ook "jitter" kan optreden.



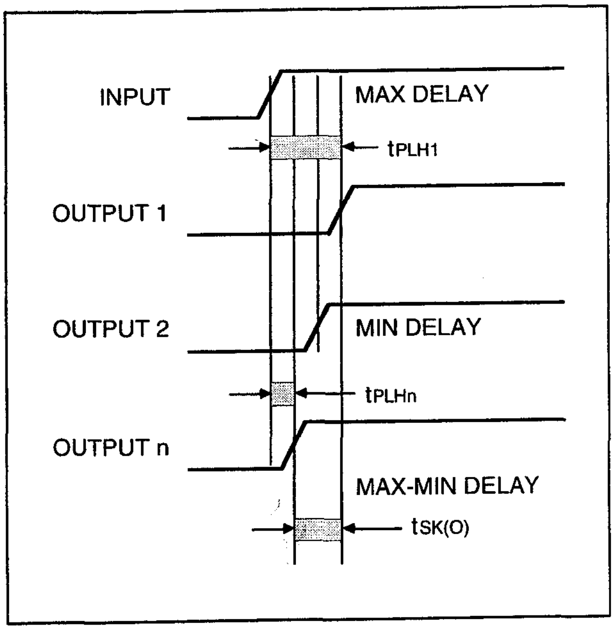
Output Skew, $t_{SK(O)}$ =
$t_{P(max)} - t_{P(min)} = t_{PLH1} - t_{PLHn}$
(same package, same transition)

Figuur 9/9.3.1-1: Schema van een gebufferde clock-driver.

Wat is skew?

Met de term clock-skew worden de tijdverschillen in een clock-distributiesysteem beschreven. In figuur 9/9.3.1-1 is een voorbeeld te zien van een clock-driver met meerdere uitgangen en in figuur 9/9.3.1-2 de bijbehorende timing voor een LAAG-naar-HOOG overgang. Op alle ingangen wordt een gemeenschappelijk signaal gezet, waarvan n kopieën ontstaan. De clock-skew is het verschil in voortplantingsvertraging tussen de langzaamste en de snelste uitgang. Aange-

zien in figuur 9/9.3.1-2 uitgang n de kleinste vertraging heeft en uitgang 1 de grootste, is de clock-skew: t_{PLH1} - t_{PLHn}.

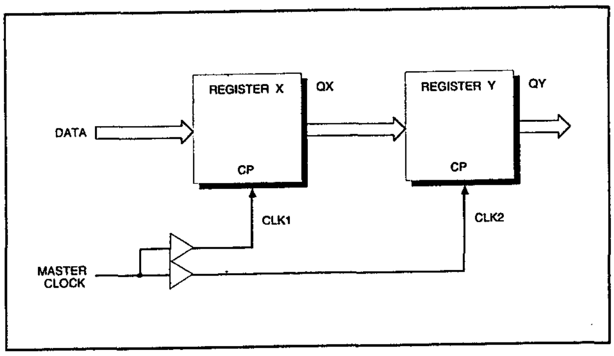


Figuur 9/9.3.1-2: Timing van de schakeling in figuur 9/9.3.1-1 voor het bepalen van de Output Skew $t_{SK(O)}$.

Er zijn meestal twee oorzaken van clock-skew in een systeem.

- **Skew van de driver**
  De eerste is de skew van de driver zelf. De clock-driver bevat interface-logika voor het aansturen van de clock-lijnen en is daardoor vanzelf al een oorzaak van skew. In een ideale clock-driver zijn alle interne componenten precies op elkaar afgestemd, zodat de voortplantingsvertragingen door gelijksoortige paden volkomen identiek zijn. In een praktische schakeling hebben veel variabelen invloed op de vertraging en dragen daardoor bij aan de skew: de layout en elektrische eigenschappen van de schakelelementen, de plaatsing daarvan ten opzichte van aarde en V_{CC} plus de paracitaire capaciteiten van de behuizing. Veel van deze variabelen zijn afhankelijk van het fabricageproces. Dit wordt Output Skew genoemd.
- **Clock-distributie systeem**
  De tweede oorzaak van clock-skew is het clock-distributie systeem. Het maakt veel uit hoe de clock-driver in het clock-distributie systeem is opgenomen. Hierbij zijn onder andere de layout van de signaallijnen, de belasting van de driver, de aansluitingen van de voedingslijnen en de ontkoppeling van de voeding van belang. Ook spelen bedrijfscondities, zoals de hoogte van de voedingsspanning en de omgevingstemperatuur een belangrijke rol. Vanwege de hoge schakelsnelheden bij de moderne high-speed logica is het verstandig om de sporen op een printkaart te beschouwen als transmissielijnen. De hierdoor optredende skew wordt ook wel Board Skew genoemd.

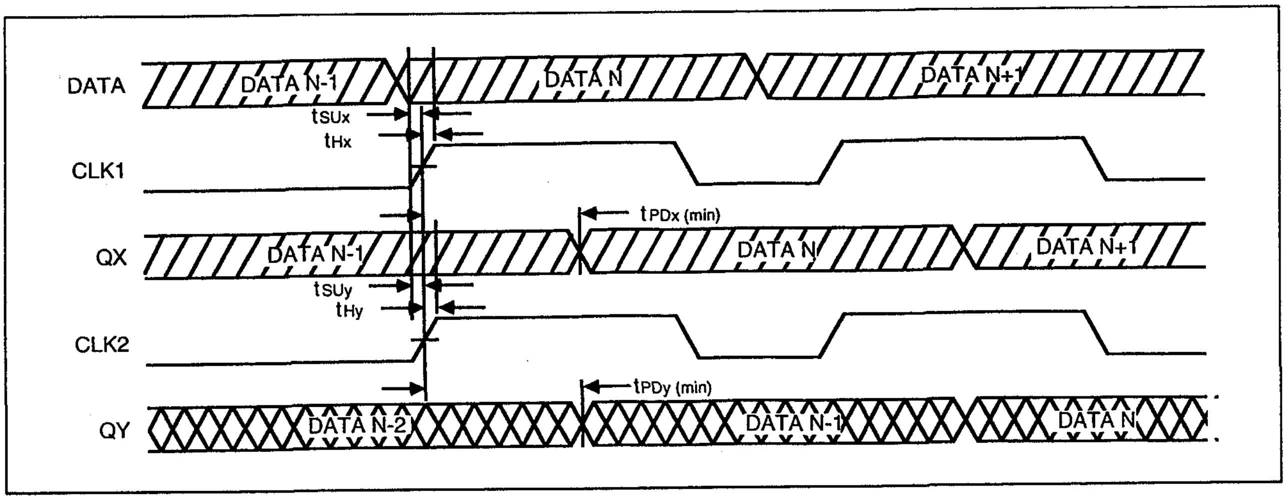
Problemen door clock-skew
Als niet aan de vereiste timing van een systeem-element wordt voldaan zijn clock-skew problemen het gevolg. Veel van de gebruikelijke knelpunten vallen in twee categorieën. De eerste is het synchronisatie-probleem dat wordt veroorzaakt door skew tussen verschillende kopieën van een systeem-clock. De tweede is het probleem van het niet voldoen aan de door de systeem-componenten opgelegde duty-cycle.



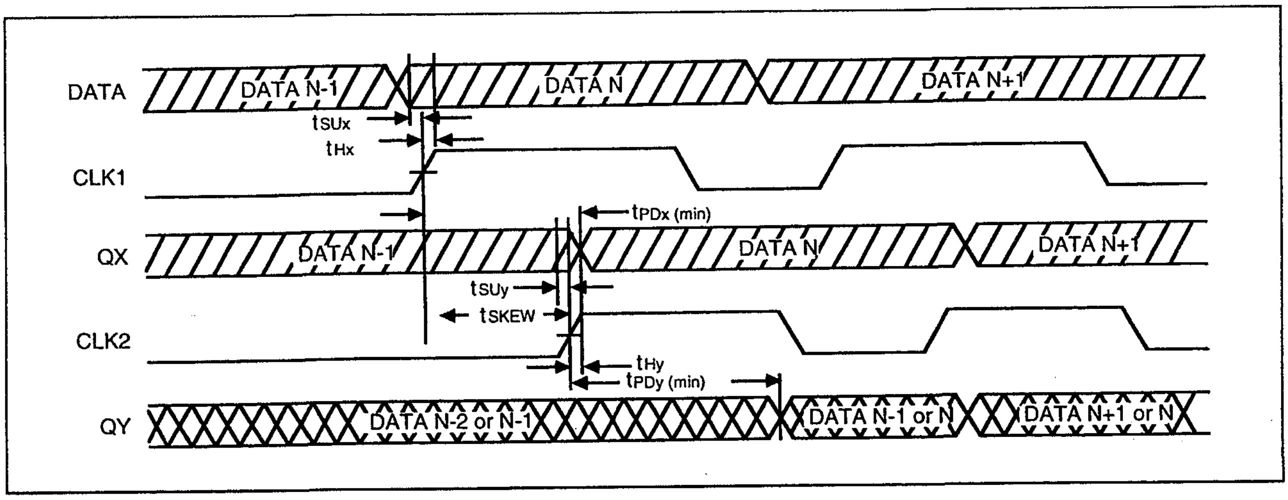
Figuur 9/9.3.1-3: Schema van een 2-register pijplijn.

Het synchronisatie-probleem wordt geïllustreerd aan de hand van een eenvoudig pijplijnregister (figuur 9/9.3.1-3). De pijplijn bestaat uit twee registers en wat clock-logika.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.1-4: Pijplijn-timing zonder skew tussen CLK1 en CLK2.



Figuur 9/9.3.1-5: Pijplijn-timing met skew tussen CLK1 en CLK2.

De clock-schakeling begint met een Master-Clock die door buffers in tweeën wordt gedeeld (CLK1 en CLK2). CLK1 drijft register X aan en CLK2 register Y. De registers geven seriële data door bij elke clock-cyclus, waarbij de huidige uitgang van het Y-register overeenkomt met de vorige uitgang van het X-register. De timing hiervan is te zien in de figuren 9/9.3.1-4 en -5.

In figuur 9/9.3.1-4 is N het signaal aan de ingang van Register X en N-1 het ingangssignaal van Register Y. Voor een goede werking moet het ingangssignaal van elk register voldoen aan de vereiste setup- en houdtijden ten opzichte van de clock. Aangezien de uitgang van Register X de ingang van Register Y is, mag de houd-tijd t_{Hy} niet langer zijn dan $t_{PDx(min)}$. In figuur 9/9.3.1-4 schakelen CLK1 en CLK2 op hetzelfde moment zodat de uitgang van Register X voldoet aan de voor Register Y vereiste setup- en houdtijden.

In figuur 9/9.3.1-5 is CLK2 vertraagd ten opzichte van CLK1 en ontstaat een t_{SKEW}. In dit geval mag t_{Hy} niet groter zijn dan $t_{PDx(min)}$ - t_{SKEW}. Met stelt vast dat de skew in CLK2 een fout in de vereiste houd-tijd van data N-1 veroorzaakt en ook in de setup-tijd van data N als ingang van Register Y. Om goed te werken moet data N-1 in Register Y

geklokt worden, maar in figuur 9/9.3.1-5 is het onzeker of dat met data N of N-1 gebeurt. Als de tijdsmarge $t_{PDx(min)} - t_{Hy}$ ongeveer 2,5 ns bedraagt, is een clock skew van 2,5 ns of meer funest voor de betrouwbaarheid van het systeem.
Bij veel microprocessor-systemen is het ook nodig dat de clock een bepaalde duty-cycle heeft. Bij standaard interface-logica kan een vaste duty-cycle bij hoge clock-snelheden echter moeilijk worden gegarandeerd omdat de voortplantingsvertragingen voor LAAG-naar-HOOG en HOOG-naar-LAAG overgangen zelden identiek zijn.
Ook zijn de tijdverschillen tussen de overgangen niet evenredig met de frequentie. Als een driver bijvoorbeeld een puls-skew van 3,0 ns heeft, is de tolerantie van een 25 ns cyclustijd (40 MHz) 112 %. Wordt de clockfrequentie verhoogd tot 50 MHz, dan wordt de tolerantie 115 %. Als vuistregel geldt dat niet meer dan 10 % van de clock-cyclus aan distributie mag worden besteed. Het is duidelijk dat niet aan deze richtlijn kan worden voldaan als standaard logica bij hogere frequenties wordt toegepast.

Oplossingen

Vereenvoudiging van de clock-distributie

Om aan te tonen hoe speciale clock-drivers het ontwerp kunnen vereenvoudigen wordt als voorbeeld een theoretisch clock-distributiesysteem gekozen waarbij een 50 MHz clock-signaal 75 belastingen moet aansturen. Elke belasting is een CMOS-ingang die verbonden is door een microstrip met een dichtheid van 1 belasting per 0,5 inch. Verder wordt verondersteld dat alle ingangen op de stijgende flank worden getriggerd en dat de skew minimaal moet zijn.
Eén manier zou zijn om alle 75 ingangen op een enkele clock-driver aan te sluiten (zie figuur 9/9.3.1-6).
Dit levert echter veel problemen op. Ten eerste is er de grote capaciteit van 75 CMOS ingangen. Als elke ingang een capaciteit van 10 pF heeft, is de totale capacitieve belasting 750 pF. Een standaard clock-driver zoals de 74FCT244A heeft een t_{PLH} van 2 ns/100 pF voor belastingen van meer dan 50 pF. Alleen al door deze capaciteit neemt de vertraging toe met 14 ns. Worden de 75 belastingen verbonden door een enkel spoor, dan bedraagt de lengte daarvan 38" (75 x 0,5 ingangen/inch) en is de vertraging van punt B naar punt C 5,7 ns (38" x 0,15 ns/"). Wanneer de praktische waarde van 0,37 ns/" voor de vertraging van een belast spoor wordt gebruikt, komt de skew tussen de uiteinden van het spoor overeen met 15 ns (38" x 0,37 ns/"). Bij een cyclustijd van 20 ns (50 MHz) wordt met 14 ns clock skew 70 % van de clockcyclus aan distributie besteed.

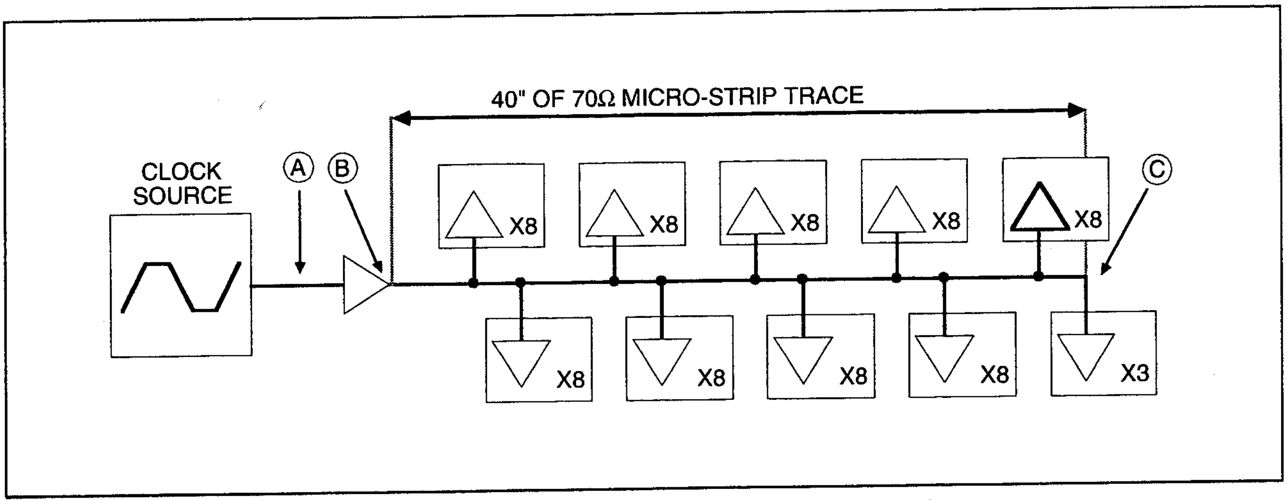
Clock-“tree”

Een tweede benadering is de clock-“tree” (zie figuur 9/9.3.1-7). Door een niveau van buffers in te voegen tussen de clock-bron en de 75 belastingen, neemt de capacitieve belasting van de buffer-uitgangen af van 750 pF tot 50 pF en wordt de spoorlengte van elke driver verminderd tot 2,5". Worden ook nu weer 74FCT244A's als driver gebruikt, dan zijn hier minstens 3 stuks van nodig (8 drivers per behuizing). Aangezien van de 244's geen skew wordt opgegeven, zou de ontwerper ervan kunnen uitgaan dat elke driver binnen een marge van 3,3 ns omschakelt ($t_{PHLmax} - t_{PHLmin}$ = 4,8 - 1,5 ns). Als de uitgangen bij de punten B, C en D binnen 3,3 ns omschakelen, zal dat bij het tweede niveau (punt E) binnen een marge van 6,6 ns gebeuren. Bij een cyclustijd van 20 ns (50 MHz) wordt dan 33 % van de cyclustijd aan distributie besteed (nog zonder de transmissielijn-effecten er in te betrekken).

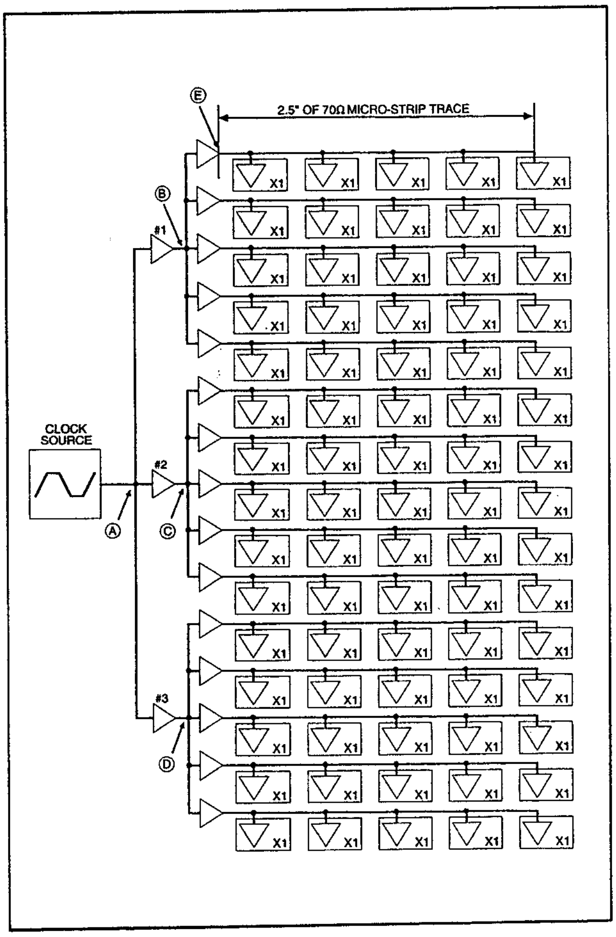
Speciale clock-drivers

De derde manier is het toepassen van speciale moderne clock-drivers, zoals bijvoorbeeld de 49FCT805A van IDT (figuur 9/9.3.1-8).

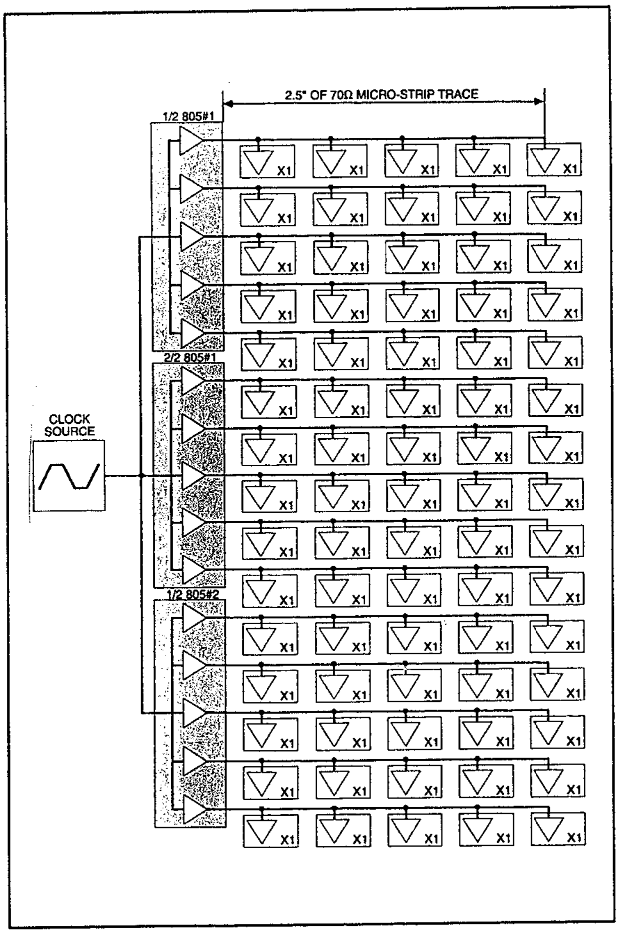
9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.1-6: Distributiesysteem met één enkele clock-driver en 75 belastingen.

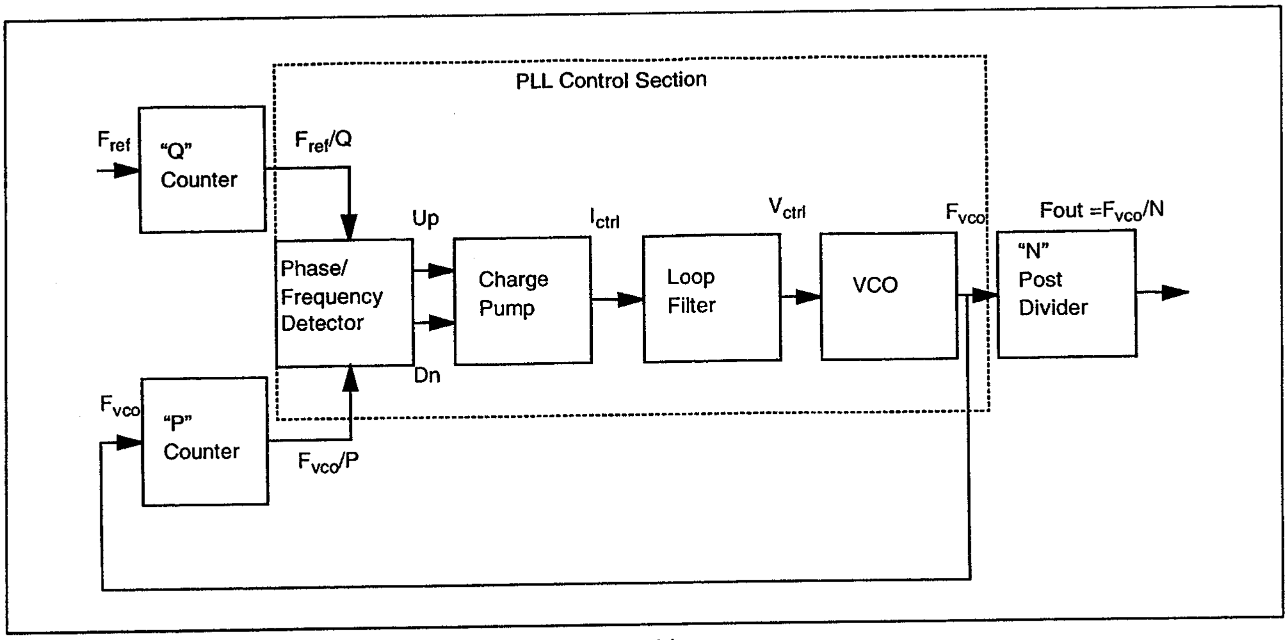


Figuur 9/9.3.1-7: Distributiesysteem met 74FCT244's als clock-driver en 75 belastingen.



Figuur 9/9.3.1-8: Distributiesysteem met 49FCT805A's als clockdriver en 75 belastingen.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.1-9: Blokschema van een Phase-Locked Loop.

Aangezien elke groep van zes buffers in figuur 9/9.3.1-7 kan worden vervangen door een halve 49FCT805A, zijn hier slechts twee stuks van nodig. De skew van deze driver bedraagt slechts 1,5 ns zodat de skew-marge ten opzichte van figuur 9/9.3.1-7 afneemt van 6,6 ns tot 1,5 ns. Als 0,925 ns vertraging van een belast spoor in aanmerking wordt genomen (2,5" x 0,37 ns/") bedraagt de maximale skew nu 2,425 ns (inclusief een 1e orde behandeling van transmissielijn-effecten). Bij een cyclustijd van 20 ns wordt dan slechts 12 % van de tijd aan clock-distributie besteed. De 49FCT805A levert dus, vergeleken met het tweede ontwerp, een skew-verbetering van 77 % op. Bovendien is de belasting van de vorige trappen minder, zijn er minder IC's nodig en is de layout van de printkaart eenvoudiger.

Op PLL gebaseerde frequentie-synthesizers

In frequentie-synthesizers worden één of meer Phase-Locked Loops (PLL) gebruikt om één of meer frequenties te genereren uit één of meer referentie-bronnen. De referentie-frequentie is meestal afkomstig van een kristal dat op de synthesizer is aangesloten.

Met een frequentie-synthesizer kunnen meerdere oscillatoren in een systeem worden vervangen, waardoor op ruimte en kosten kan worden bespaard. In figuur 9/9.3.1-9 is het blokschema van een PLL te zien.

Een PLL heeft twee ingangen: een referentie-ingang en een feedback-ingang. Frequentie wordt op twee manieren gecorrigeerd. Grote afwijkingen in frequentie tussen de referentie-ingang en de feedback-ingang worden het eerst gecorrigeerd. Dit is de "ruwe" regeling van een PLL. De "fijne" regeling geschiedt door middel van fasecorrectie.

De Phase/Frequency Detector in figuur 9/9.3.1-9 detecteert verschillen in fase en frequentie tussen de referentie- en de feedback-ingang en genereert Up- en Down-signalen. Als de frequentie op de feedback-ingang lager is dan de referentie-frequentie is de pulsbreedte van het Up-signaal groter dan van het Down-signaal (en vice versa). Deze besturingssignalen worden door een ladingspomp en een loop-filter geleid om een regelsignaal te vormen dat aan een spanningsgestuurde oscillator (VCO) wordt toegevoerd. De frequentie van deze oscillator is afhankelijk van de V_{ctrl}-ingang.

In rust is de VCO-frequentie:
$F_{VCO} = F_{ref} * P/Q$
zodat de uitgangsfrequentie van de PLL kan worden uitgedrukt als:
$F_{out} = (F_{ref} * P)/(Q * N)$
Hierin is:
- FVCO = VCO frequentie;
- Fref = referentie-frequentie;
- P = multiplier (opgenomen in feedback-pad);
- Q = divider (opgenomen in referentie-pad);
- N = post divider.

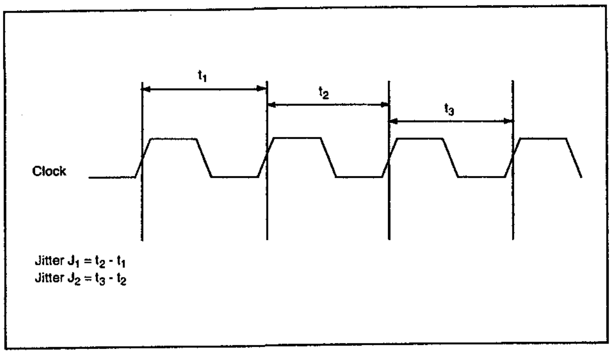
Jitter

Jitter

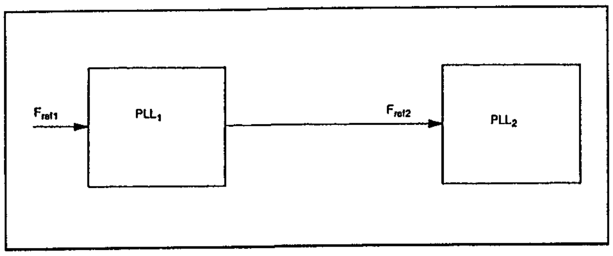
Jitter kan worden gedefinieerd als de afwijkingen in de tijd van de overgangen aan de uitgang van een clock ten opzichte van hun ideale posities. De afwijking kan zowel voor- als naijlen en wordt opgegeven in +/-picoseconden (ook wel in een percentage van de frequentie of absolute waarde: ns).
Er zijn drie soorten jitter:
- cyclus-cyclus jitter;
- periode jitter;
- lange-termijn jitter (jitter wordt gemeten bij een gespecificeerde spanning).

Cyclus-cyclus jitter

Onder cyclus-cyclus jitter verstaat men de verandering van een uitgangstransitie van de clock ten opzichte van de overeenkomstige positie in de vorige cyclus. Vanwege de korte tijden is deze soort jitter het moeilijkst te meten met een Timing Interval Analyzer. In figuur 9/9.3.1-10 is dit soort jitter te zien, waarin j_1 en j_2 de gemeten jitter-waarden zijn. De grootste waarde (gedurende meerdere cycli) is de maximum cyclus-cyclus jitter.
Vroeger (kort geleden) was cyclus-cyclus jitter meestal niet erg interessant. Maar nu de CPU's worden uitgerust met PLL's om de inwendige snelheid te verhogen (zoals bij de 486 en Pentium), is dat veranderd. In figuur 9/9.3.1-11 bijvoorbeeld is de uitgang van PLL1 de referentie van PLL2. Wanneer PLL2 niet in staat is te "locken" op de referentiefrequentie wordt dat waarschijnlijk veroorzaakt doordat de cyclus-cyclus jitter van PLL1 te groot is voor het "vang"-gebied van PLL2. Als PLL2 in een CPU is opgenomen moet de cyclus-cyclus jitter van PLL1 voldoende klein zijn.



Figuur 9/9.3.1-10: Cyclus-cyclus jitter.



Figuur 9/9.3.1-11: Voorbeeld van gekoppelde PLL's. PLL1 is hier de clockgenerator, terwijl PLL2 zich bijvoorbeeld in een CPU bevindt.

Periode jitter

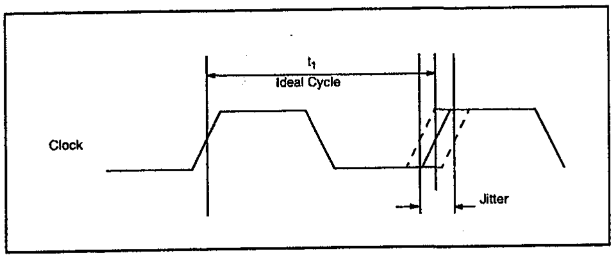
Met periode jitter wordt de maximale afwijking van de uitgangstransitie ten opzichte van de ideale positie verstaan (zie figuur 9/9.3.1-12). Metingen van periode jitter worden gebruikt om de tijdslimieten in systemen te berekenen. Als bijvoorbeeld de processor in een systeem 2 ns data setup-tijd nodig heeft en de clock een maximale periode jitter van 2,5 ns heeft kan de stijgende flank van de clock al optreden voordat er geldige data op de databus staat. Omdat de processor foute data krijgt zal het systeem niet werken. Dit voorbeeld is te zien in figuur 9/9.3.1-13.

Lange-termijn jitter

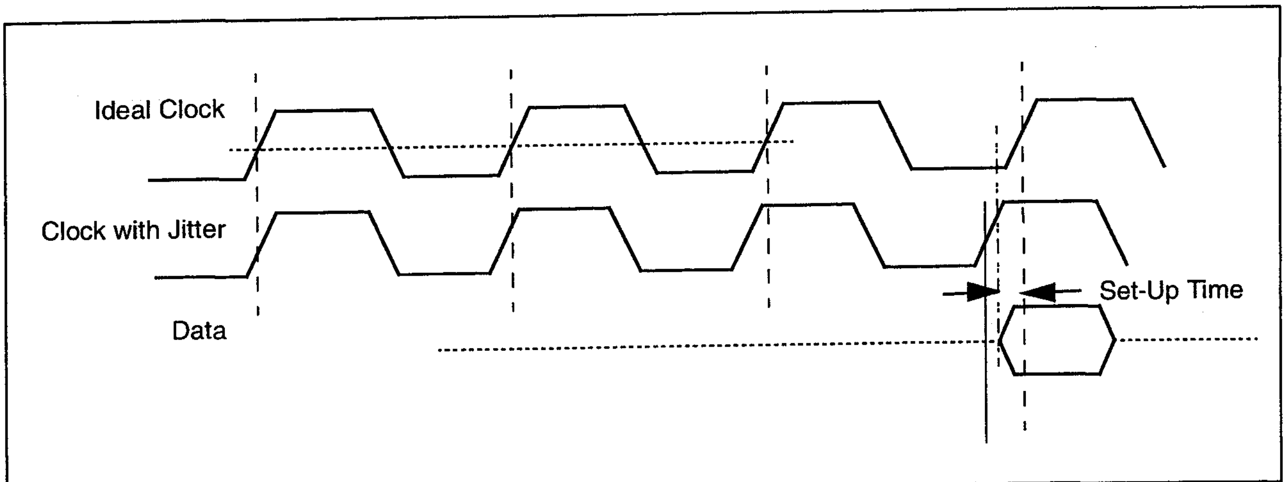
Lange-termijn jitter lijkt veel op periode jitter. Ook hierbij wordt de maximale afwijking van de uitgangstransitie ten opzichte van de ideale positie gemeten, maar dan over "veel" cycli (hoe"veel" hangt af van de toepassing en van de frequentie). Voor PC-moederborden en grafische toepassingen heeft de term "veel" meestal betrekking op 10 tot 20 microseconden. In figuur 9/9.3.1-14 wordt de lange-termijn jitter grafisch voorgesteld. Als voorbeeld van een systeem dat door lange-termijn jitter wordt gehinderd wordt als voorbeeld een grafische kaart genomen die een monitor aanstuurt. Veronderstel dat een data-pixel is bedoeld voor de pixel met de coördinaten (10,24) van de beeldbuis. Door de jitter van de clock zou deze data bijvoorbeeld op pixel (11,28) terecht kunnen komen. Aangezien dit effect voor alle pixels bestaat, verschuift het beeld van zijn ideale positie op het scherm. Dit wordt "weglopen" genoemd.

Oorzaken van jitter

- **Ruis van de voeding op de ingangen**
  Ruis van de voeding op de ingangen van een PLL kan op de uitgangen als jitter verschijnen. Dit is de belangrijkste (hoewel niet altijd constante) oorzaak van jitter. De ruis op de voedingsspanning kan op verschillende manieren tot uiting komen:
- **Ground-bounce**
  Wanneer tijdelijk veel stroom door de uitgangsdrivers wordt geleverd ontstaat door de zelfinductie van de bedrading naar de voedingslagen (V_{CC} en GND) een spanningsverlies (waarde = L * di/dt). Hierdoor wordt het effectieve aardpotentiaal van het component verhoogd. Dus als de uitgangsfrequentie afhankelijk is van de effectieve voedingsspanning, zal deze frequentie door de ground-bounce veranderen. Ten tweede varieert binnen de oscillator ook de drempelspanning van de transistors, waardoor de frequentie verandert. Dit heeft een dubbel effect: ten eerste verandert de uitgangsfrequentie en ten tweede is hier een PLL op aangesloten die de frequentieverandering probeert te corrigeren. Beide effecten verschijnen aan de uitgang als jitter.

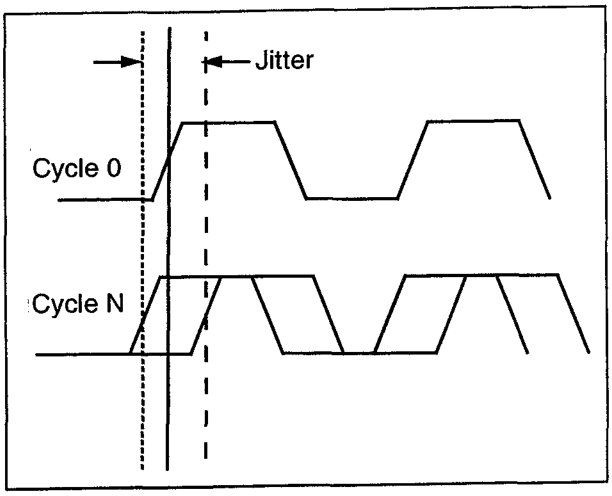


Figuur 9/9.3.1-12: Periode jitter.

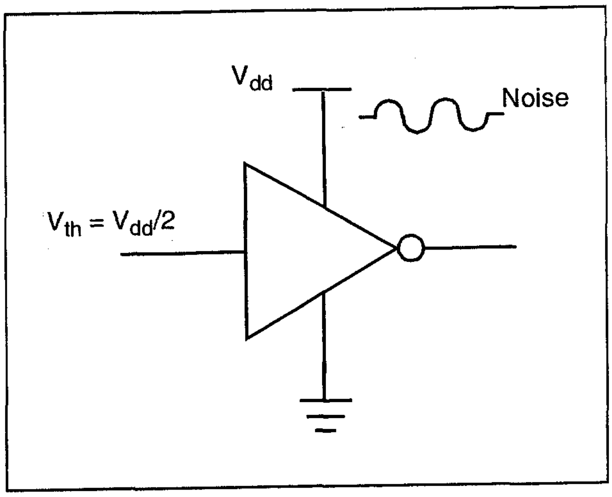


Figuur 9/9.3.1-13: Door periode jitter kan foute data worden opgenomen.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.1-14: Lange-termijn jitter.

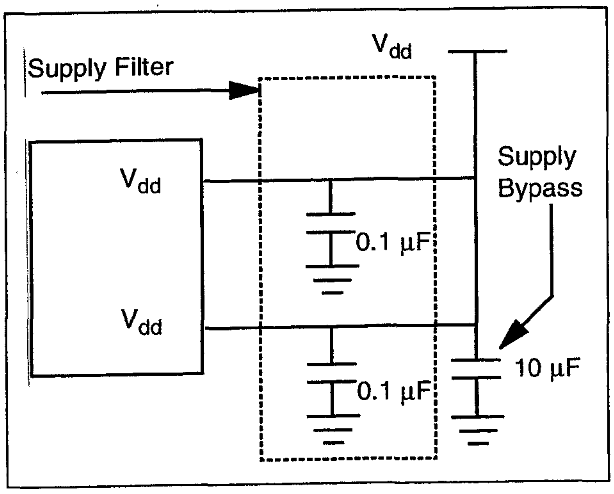


Figuur 9/9.3.1-15: Het effect van V_{dd}-ruis op jitter.

- **V_{dd}-ruis**
  In figuur 9/9.3.1-15 is een inverter in de interne teller van de PLL te zien. De drempelspanning van de ingang is de helft van het V_{dd}-potentiaal. Als men aanneemt dat het V_{dd}-signaal een rimpel heeft van 100 mV_{ttt} zal deze een verschuiving in de drempelspanning aan de ingang van de inverter teweeg brengen die op zijn beurt weer jitter veroorzaakt. Als dit ruissignaal een stijgtijd van 1 V/ns heeft zal 100 ps piek-piek jitter aan de uitgang van de inverter verschijnen.

- De PLL in een frequentie-synthesizer heeft een dode band gedurende welke de fase- en frequentie-detector geen kleine veranderingen in de uitgangsfase detecteert.
  Aangezien deze veranderingen niet worden gedetecteerd worden zij ook niet gecorrigeerd en staan zij op de uitgangen in de vorm van jitter.
- Willekeurige thermische ruis van de kristal-referentie of een andere resonerende schakeling.
- Willekeurige mechanische ruis van de kristal-referentie.

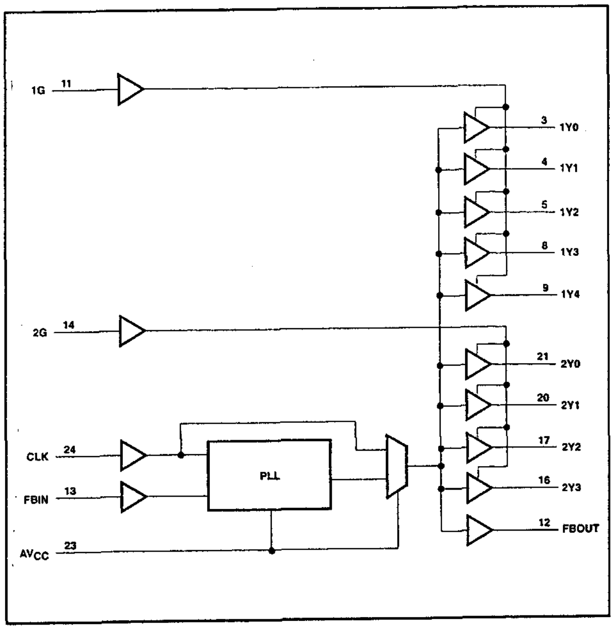
Methoden om jitter te verminderen
Zoals gezegd zijn ruis op de voedingsspanning en ground-bounce de voornaamste oorzaken van jitter. Ruis op de voedingsspanning kan worden verminderd door ontkoppeling en filtering (zie ook figuur 9/9.3.1-16). Ground-bounce kan worden verminderd door het aantal belastingen van een uitgang te beperken, door grote aardvlakken op de printkaart aan te brengen en, als er meerdere aardpennen zijn, deze individueel met het aardvlak te verbinden (niet allemaal tegelijk). Ook kunnen de uitgangen van serieweerstanden worden voorzien om de uitgangsstroom te beperken.



Figuur 9/9.3.1-16: Een goede ontkoppeling van de voeding zorgt voor een kleinere jitter.

9.3 Clock-drivers/clock-generatoren

Ten slotte is in figuur 9/9.3.1-17 nog een voorbeeld van een praktische - op een PLL gebaseerde - clockdriver (de CDC509/2509 van TI) te zien.



Figuur 9/9.3.1-17: Blokschema van de CDC509/ 2509 clockdriver.

9/9.3.2

Type-beschrijving CDC-typen

CDC111

1-lijn naar 9-lijnen
differentiële LVPECL clock-driver

Deze clock-driver vergroot het aantal clock-signalen van één paar differentiële LVPECL (Low Voltage Pseudo ECL) aan de ingang naar 9 paren differentiële clock-uitgangen (Y, $\overline{Y}$). De skew (het verschil in timing van de 9 parallel lopende clock-signalen) bedraagt slechts 50 ps. De CDC111 is speciaal bedoeld voor het aansturen van 50 Ω transmissielijnen.

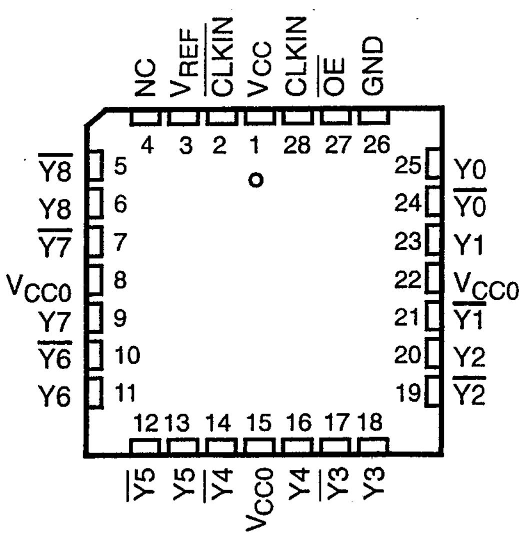
Als de output-enable ($\overline{OE}$) LAAG is, schakelen de uitgangen om met dezelfde polariteit als het ingangssignaal. Is $\overline{OE}$ HOOG, dan bevinden de uitgangen zich in een statische toestand: Y = LAAG, $\overline{Y}$ = HOOG. Om met een single-ended CLKIN-signaal te werken moet de V_{ref} uitgang kan aan $\overline{CLKIN}$ worden gelegd.

INPUTS			OUTPUTS	
CLKIN	$\overline{CLKIN}$	$\overline{OE}$	Yn	$\overline{Yn}$
X	X	H	L	H
L	H	L	L	H
H	L	L	H	L
L	V_{REF}	L	L	H
H	V_{REF}	L	H	L
V_{REF}	L	L	H	L
V_{REF}	H	L	L	H

Tabel 9/9.3.2-1: Waarheidstabel van de CDC111.

Technische gegevens

- 1-lijn naar 9-lijnen clock-driver
- zeer kleine output-skew voor clock-distributie
- differentiële LVPECL (Low Voltage Pseudo ECL) compatibele in- en uitgangen
- single-ended clock-input mogelijk met V_{ref}-uitgang
- single-ended LVPECL-compatibele Output Enable
- voedingsspanning: 3,3 V
- behuizing: 28-pens plastic chip-carrier
- fabrikant: Texas Instruments

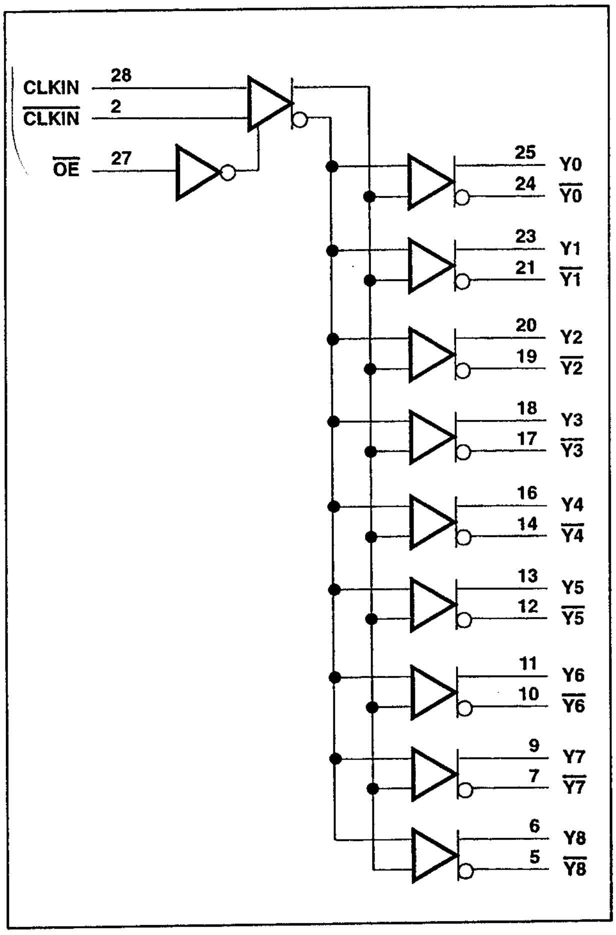


Figuur 9/9.3.2-1: Aansluitgegevens van de CDC111.

9.3 Clock-drivers/clock-generatoren

Parameter	Value
Supply voltage range, V_{CC}	−0.5 V to 4.6 V
Input voltage range, V_I (see Note 1)	−0.5 V to V_{CC} + 0.5 V
Output voltage range, V_O (see Note 1)	−0.5 V to V_{CC} + 0.5 V
Input clamp current, I_{IK} ($V_I < 0$)	−18 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$)	−18 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC})	−50 mA
Continuous current through V_{CC} or GND	± 80 mA
Maximum power dissipation at T_A = 55°C (in still air)	525 mW
Storage temperature range, T_{stg}	−65°C to 150°C

Tabel 9/9.3.2-2: Maximaal toelaatbare waarden voor de CDC111.



Figuur 9/9.3.2-2: Logisch schema (positieve logica) van de CDC111.

9.3 Clock-drivers/clock-generatoren

			MIN	MAX	UNIT
V_{CC}	Supply voltage		3	3.6	V
V_{IH}	High-level input voltage	V_{CC} = 3 V to 3.6 V	V_{CC}–1.165	V_{CC}–0.88	V
		V_{CC} = 3.3 V	2.135	2.420	V
V_{IL}	Low-level input voltage	V_{CC} = 3 V to 3.6 V	V_{CC}–1.81	V_{CC}–1.475	V
		V_{CC} = 3.3 V	1.49	1.825	V
T_A	Operating free-air temperature		0	70	°C

NOTE 3: $V_{CC} = V_{CCO}$

Tabel 9/9.3.2-3: Aanbevolen bedrijfscondities van de CDC111.

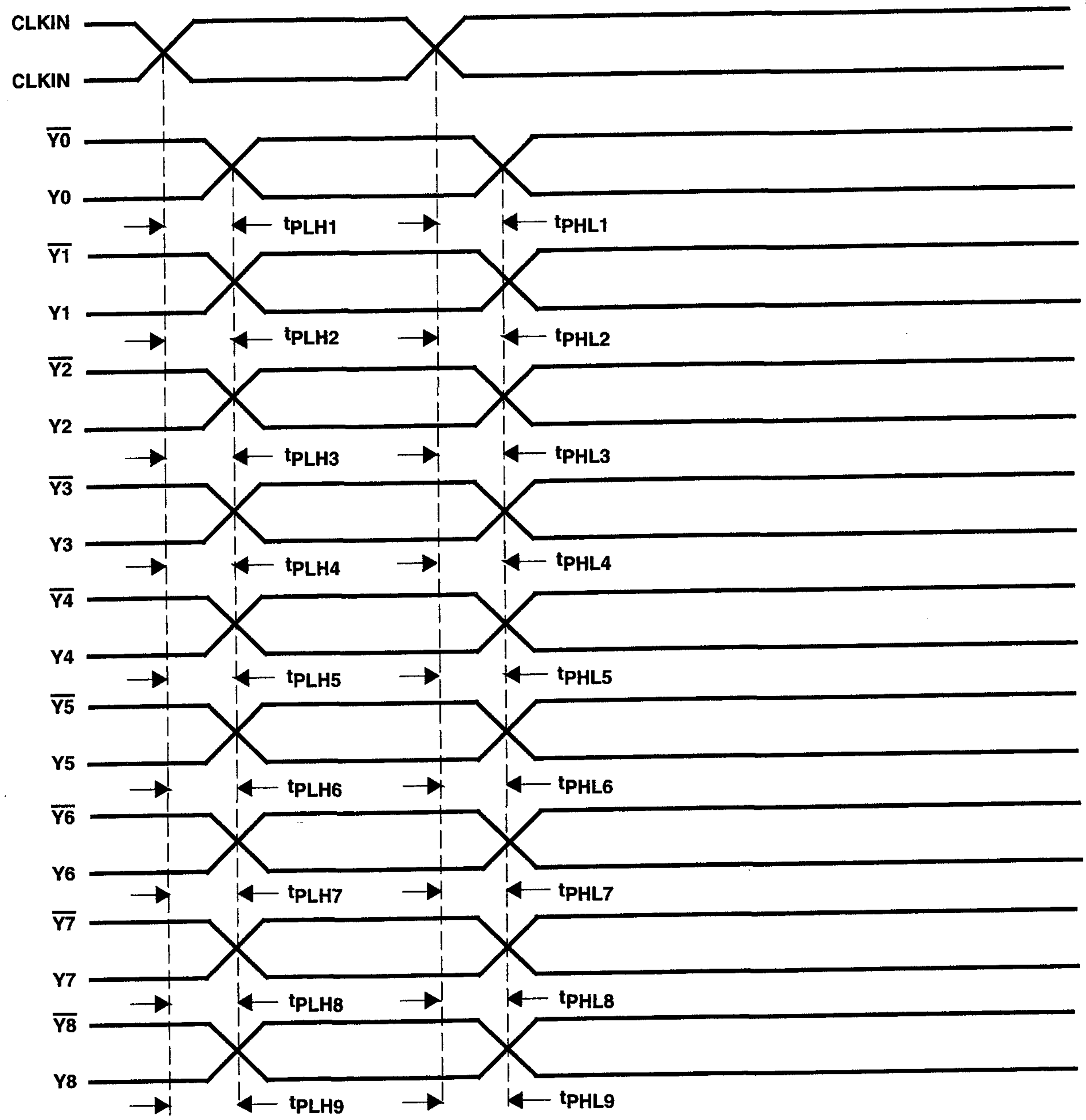
PARAMETER	TEST CONDITIONS		MIN	MAX	UNIT
V_{REF}	V_{CC} = 3 V to 3.6 V		V_{CC}–1.38	V_{CC}–1.26	V
	V_{CC} = 3.3 V		1.92	2.04	
V_{OH}	V_{CC} = 3 V to 3.6 V		V_{CC}–1.025	V_{CC}–0.88	V
	V_{CC} = 3.3 V		2.275	2.42	
V_{OL}	V_{CC} = 3 V to 3.6 V		V_{CC}–1.81	V_{CC}–1.62	V
	V_{CC} = 3.3 V		1.49	1.68	
I_I	V_I = 2.4 V,	V_{CC} = 3 .6 V		150	µA
I_{CC}	I_O = 0,	V_{CC} = 3 .6 V		80	mA

Tabel 9/9.3.2-4: Gelijkspanningskarakteristieken van de CDC111.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
t_{PLH}	CLKIN, $\overline{CLKIN}$	Y, $\overline{Y}$	450	600	ps
t_{PHL}			450	600	
t_{PHL}	$\overline{OE}$	Y, $\overline{Y}$		900	ps
$t_{sk(o)}$		Y, $\overline{Y}$		50	ps
$t_{sk(pr)}$		Y, $\overline{Y}$		150	ps
t_r		Y, $\overline{Y}$	200	600	ps
t_f		Y, $\overline{Y}$	200	600	ps

Tabel 9/9.3.2-5: Schakeltijden van de CDC111 (V_{cc} = 3,3 V +/-0,3 V).

9.3 Clock-drivers/clock-generatoren



NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest t_{PLHn} (n = 1, 2, . . . 9)
- The difference between the fastest and slowest t_{PHLn} (n = 1, 2, . . . 9)

B. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
- The difference between the fastest and slowest t_{PLHn} (n = 1, 2, . . . 9)
- The difference between the fastest and slowest t_{PHLn} (n = 1, 2, . . . 9) across multiple devices

Figuur 9/9.3.2-3: Golfvormen voor de berekening van $t_{sk(o)}$ en $t_{sk(pr)}$.

CDC318

1-lijn naar 18-lijnen clock-driver met I²C interface

De CDC318 is een high-performance clock-buffer die één ingangssignaal (A) omzet in 18 clock-uitgangen (Y) met een minimale skew. De driver beschikt over een standaard (100 kbit/s) I²C-interface voor de besturing. Hij is uiteraard geïmplementeerd als slave/receiver en het adres is gespecificeerd in de I²C-adrestabel. Beide I²C ingangen (SDATA en SCLOCK) hebben 140 kΩ optrekweerstanden en zijn bestand tegen 5 V. Elke uitgang heeft een eigen enable-besturing (via drie 8 bit I²C-registers). Bij het opkomen van de voedingsspanning zijn alle uitgangen vrijgegeven (enabled). Elke uitgang kan in een gesperde LAGE toestand worden gezet door op de juiste plaats een LAAG bit in het besturings-register te schrijven. De registers zijn "write-only" en moeten na elkaar worden aangeroepen (er is geen "random" toegang mogelijk).

De CDC318 heeft 3-state uitgangen voor test-doeleinden, die met een LAAG signaal op de Output Enable ingang in een hoog-impedante toestand kunnen worden gezet. OE heeft een optrekweerstand.

Technische gegevens

- 1-lijn naar 18-lijnen clock-buffer voor synchrone DRAM's
- geringe output-skew voor clock-distributie
- aansturing van maximaal 4 ongebufferde SDRAM modules mogelijk (DIMM's)
- I²C seriële interface voor individuele besturing van elke uitgang
- uitgangen: LVTTL compatibel
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- ESD-beveiligd (2.000 V, MIL-STD-883, methode 3015)
- behuizing: 48-pens Shrink Small Outline (DL)
- fabrikant: Texas Instruments

TERMINAL NAME	TERMINAL NO.	I/O	DESCRIPTION
1Y0–1Y3	4, 5, 8, 9	O	3.3-V SDRAM byte 0 clock outputs
2Y0–2Y3	13, 14, 17, 18	O	3.3-V SDRAM byte 1 clock outputs
3Y0–3Y3	31, 32, 35, 36	O	3.3-V SDRAM byte 2 clock outputs
4Y0–4Y3	40, 41, 44, 45	O	3.3-V SDRAM byte 3 clock outputs
5Y0–5Y1	21, 28	O	3.3-V clock outputs provided for feedback control of external phase-locked loops (PLLs)
A	11	I	Clock input
OE	38	I	Output enable. When asserted, OE puts all outputs in a high-impedance state. A nominal 140-kΩ pullup resistor is internally integrated.
SCLOCK	25	I	I²C serial clock input. A nominal 140-kΩ pullup resistor is internally integrated.
SDATA	24	I/O	Bidirectional I²C serial data input/output. A nominal 140-kΩ pullup resistor is internally integrated.
GND	6, 10, 15, 19, 22, 26, 27, 30, 34, 39, 43		Ground
NC	1, 2, 47, 48		No internal connection. Reserved for future use.
V_{CC}	3, 7, 12, 16, 20, 23, 29, 33, 37, 42, 46		3.3-V power supply

Tabel 9/9.3.2-6: Functies van de aansluitingen.

9.3 Clock-drivers/clock-generatoren

INPUTS		OUTPUTS				
OE	A	1Y0–1Y3	2Y0–2Y3	3Y0–3Y3	4Y0–4Y3	5Y0–5Y1
L	X	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
H	L	L	L	L	L	L
H	H	H†	H†	H†	H†	H†

† The function table assumes that all outputs are enabled via the appropriate I²C configuration register bit. If the output is disabled via the appropriate configuration bit, then the output is driven to a low state, regardless of the state of the A input.

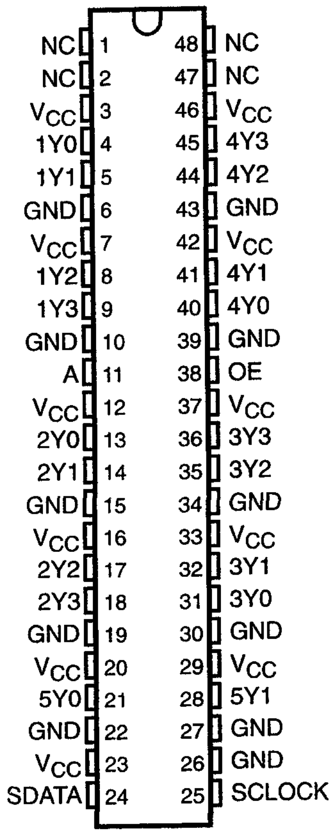
Tabel 9/9.3.2-7: Waarheidstabel van de CDC318.

I²C BYTE 0-BIT DEFINITION†

BIT	DEFINITION	DEFAULT VALUE
7	2Y3 enable (pin 18)	H
6	2Y2 enable (pin 17)	H
5	2Y1 enable (pin 14)	H
4	2Y0 enable (pin 13)	H
3	1Y3 enable (pin 9)	H
2	1Y2 enable (pin 8)	H
1	1Y1 enable (pin 5)	H
0	1Y0 enable (pin 4)	H

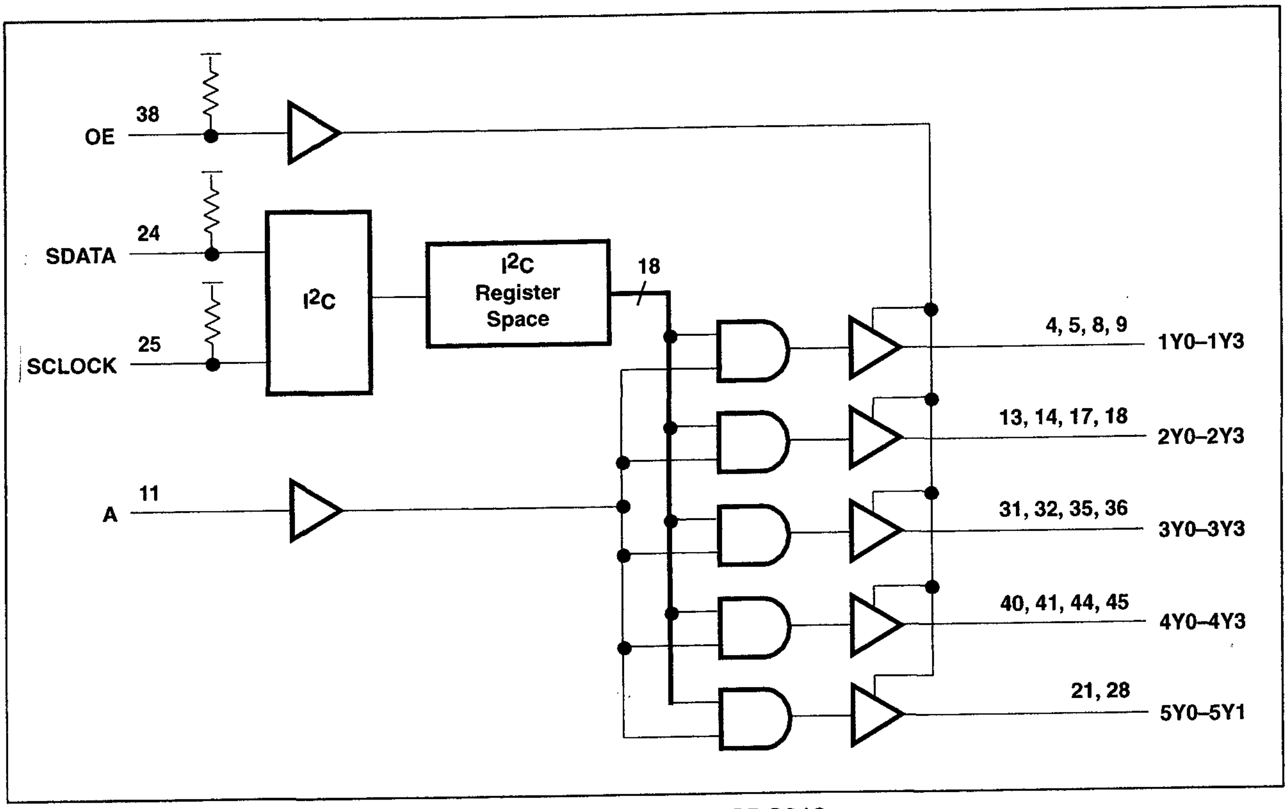
† When the value of the bit is high, the output is enabled. When the value of the bit is low, the output is forced to a low state. The default value of all bits is high.

Tabel 9/9.3.2-8: I²C byte-0 definitie.



Figuur 9/9.3.2-4: Aansluitgegevens van de CDC318.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-5: Logisch schema (positieve logica) van de CDC318.

I^2C BYTE 1-BIT DEFINITION†

BIT	DEFINITION	DEFAULT VALUE
7	4Y3 enable (pin 45)	H
6	4Y2 enable (pin 44)	H
5	4Y1 enable (pin 41)	H
4	4Y0 enable (pin 40)	H
3	3Y3 enable (pin 36)	H
2	3Y2 enable (pin 35)	H
1	3Y1 enable (pin 32)	H
0	3Y0 enable (pin 31)	H

† When the value of the bit is high, the output is enabled. When the value of the bit is low, the output is forced to a low state. The default value of all bits is high.

Tabel 9/9.3.2-9: I^2C byte-1 *definitie.*

I^2C BYTE 2-BIT DEFINITION†

BIT	DEFINITION	DEFAULT VALUE
7	5Y1 enable (pin 28)	H
6	5Y0 enable (pin 21)	H
5	Reserved	H
4	Reserved	H
3	Reserved	H
2	Reserved	H
1	Reserved	H
0	Reserved	H

† When the value of the bit is high, the output is enabled. When the value of the bit is low, the output is forced to a low state. The default value of all bits is high.

Tabel 9/9.3.2-10: I^2C byte-2 definitie.

9.3 Clock-drivers/clock-generatoren

Supply voltage range, V_{CC}	–0.5 V to 4.6 V
Input voltage range, V_I (see Note 1)	–0.5 V to 4.6 V
Input voltage range, V_I (SCLOCK, SDATA) (see Note 1)	–0.5 V to 6.5 V
Output voltage range, V_O (SDATA) (see Note 1)	–0.5 V to 6.5 V
Voltage range applied to any output in the high or power-off state, V_O	–0.5 V to V_{CC} +0.5 V
Current into any output in the low state (except SDATA), I_O	48 mA
Current into SDATA in the low state, I_O	12 mA
Input clamp current, I_{IK} ($V_I < 0$) (SCLOCK)	–50 mA
Output clamp current, I_{OK} ($V_O < 0$) (SDATA)	–50 mA
Package thermal impedance, θ_{JA} (see Notes 2 and 3)	84°C/W
Storage temperature range, T_{stg}	–65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C

Tabel 9/9.3.2-11: Maximaal toelaatbare waarden van de CDC318.

			MIN	TYP	MAX	UNIT
V_{CC}	3.3-V core supply voltage		3.135		3.465	V
V_{IH}	High-level input voltage	A, OE	2		V_{CC}+0.3	V
		SDATA, SCLOCK (see Note 3)	2.2		5.5	V
V_{IL}	Low-level input voltage	A, OE	–0.3		0.8	V
		SDATA, SCLOCK (see Note 3)	0		1.04	V
I_{OH}	High-level output current	Y outputs			1	mA
I_{OL}	Low-level output current	Y outputs			–1	mA
r_i	Input resistance to V_{CC}	SDATA, SCLOCK (see Note 3)		140		kΩ
$f_{(SCL)}$	SCLOCK frequency				100	kHz
$t_{(BUS)}$	Bus free time		4.7			µs
$t_{su(START)}$	START setup time		4.7			µs
$t_{h(START)}$	START hold time		4			µs
$t_{w(SCLL)}$	SCLOCK low pulse duration		4.7			µs
$t_{w(SCLH)}$	SCLOCK high pulse duration		4			µs
$t_{r(SDATA)}$	SDATA input rise time				1000	ns
$t_{f(SDATA)}$	SDATA input fall time				300	ns
$t_{su(SDATA)}$	SDATA setup time		250			ns
$t_{h(SDATA)}$	SDATA hold time		0			ns
$t_{su(STOP)}$	STOP setup time		4			µs
T_A	Operating free-air temperature		0		70	°C

NOTE 4: The CMOS-level inputs fall within these limits: V_{IH} min = 0.7 × V_{CC} and V_{IL} max = 0.3 × V_{CC}.

Tabel 9/9.3.2-12: Aanbevolen bedrijfscondities van de CDC318.

I²C DEVICE ADDRESS

A7	A6	A5	A4	A3	A2	A1	A0 (R/W)
H	H	L	H	L	L	H	—

Figuur 9/9.3.2-6: I²C adres van de CDC318.

9.3 Clock-drivers/clock-generatoren

PARAMETER			TEST CONDITIONS		MIN	TYP	MAX	UNIT
V_{IK}	Input clamp voltage		V_{CC} = 3.135 V,	I_I = −18 mA			−1.2	V
V_{OH}	High-level output voltage	Y outputs	V_{CC} = 3.135 V,	I_{OH} = −1 mA	2.4			V
V_{OL}	Low-level output voltage	Y outputs	V_{CC} = 3.135 V,	I_{OL} = 1 mA			0.4	V
		SDATA	V_{CC} = 3.135 V	I_{OL} = 3 mA			0.4	
				I_{OL} = 6 mA			0.6	
I_{OH}	High-level output current	SDATA	V_{CC} = 3.135 V,	V_O = V_{CC} MAX			20	µA
		Y outputs	V_{CC} = 3.135 V,	V_O = 2 V	−54		−126	mA
			V_{CC} = 3.3 V,	V_O = 2.6 V		−54		
			V_{CC} = 3.465 V,	V_O = 3.135 V	−21		−46	
I_{OL}	Low-level output current	Y outputs	V_{CC} = 3.135 V,	V_O = 1 V	49		118	mA
			V_{CC} = 3.3 V,	V_O = 0.7 V		58		
			V_{CC} = 3.465 V,	V_O = 0.4 V	23		53	
I_{IH}	High-level input current	A	V_{CC} = 3.465 V,	V_I = V_{CC}			5	µA
		OE					20	
		SCLOCK, SDATA					20	
I_{IL}	Low-level input current	A	V_{CC} = 3.465 V,	V_I = GND			−5	µA
		OE			−10		−50	
		SCLOCK, SDATA			−10		−50	
I_{OZ}	High-impedance-state output current		V_{CC} = 3.465 V,	V_O = 3.465 V or 0			±10	µA
I_{off}	Off-state current	SCLOCK, SDATA	V_{CC} = 0,	V_I = 0 V to 5.5 V			50	µA
I_{CC}	Supply current		V_{CC} = 3.465 V,	I_O = 0		0.2	0.5	mA
ΔI_{CC}	Change in supply current		V_{CC} = 3.135 V to 3.465 V, One input at V_{CC} − 0.6 V, All other inputs at V_{CC} or GND				500	µA
	Dyanmic I_{CC} at 100 MHz		V_{CC} = 3.465 V,	C_L = 20 pF,		360		mA
C_I	Input capacitiance		V_I = V_{CC} or GND,	V_{CC} = 3.3 V		4		pF
C_O	Output capacitance		V_O = V_{CC} or GND,	V_{CC} = 3.3 V		6		pF
$C_{I/O}$	SDATA I/O capacitance		$V_{I/O}$ = V_{CC} or GND,	V_{CC} = 3.3 V		7		pF

Tabel 9/9.3.2-13: Elektrische karakteristieken van de CDC318.

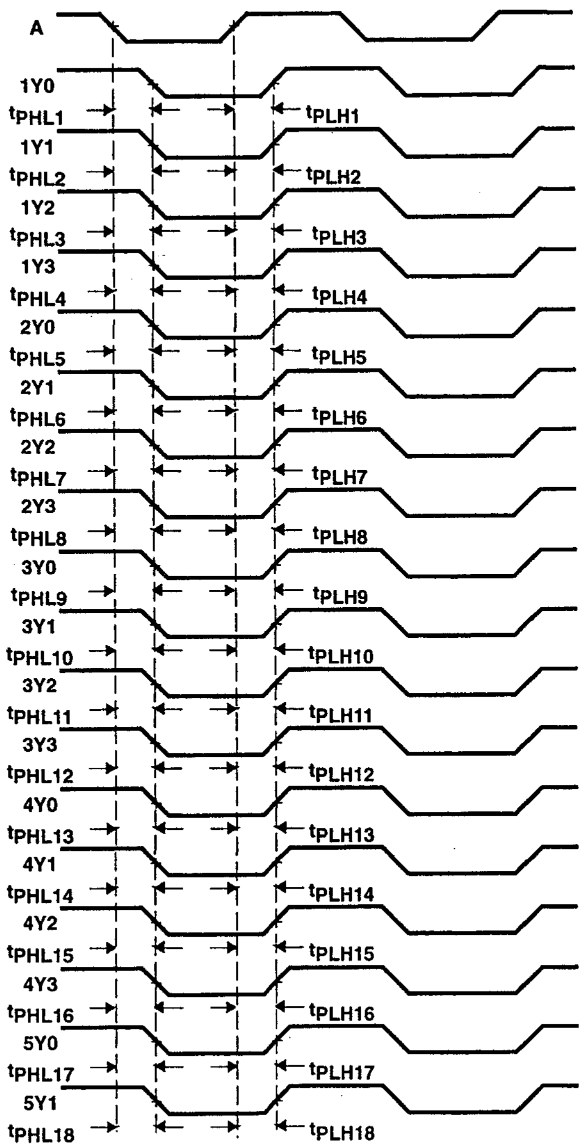
9.3 Clock-drivers/clock-generatoren

PARAMETER			FROM	TO	TEST CONDITIONS	MIN	MAX	UNIT
t_{PLH}	Low-to-high level propagation delay time		A	Y		1.2	4.5	ns
			SCLOCK↓	SDATA valid	V_{CC} = 3.3 V ±0.185 V, See Figure 3		2	µs
t_{PLH}	Low-to-high level propagation delay time		SDATA↑	Y	V_{CC} = 3.3 V ±0.185 V, See Figure 3		150	ns
t_{PHL}	High-to-low level propagation delay time		A	Y		1.2	4.5	ns
			SCLOCK↓	SDATA valid	V_{CC} = 3.3 V ±0.185 V, See Figure 3		2	µs
t_{PHL}	High-to-low level propagation delay time		SDATA↑	Y	V_{CC} = 3.3 V ±0.185 V, See Figure 3		150	ns
t_{PZH}	Enable time to the high level		OE	Y		1	7	ns
t_{PZL}	Enable time to the low level					1	7	
t_{PHZ}	Disable time from the high level		OE	Y		1	7	ns
t_{PLZ}	Disable time from the low level					1	7	
$t_{sk(o)}$	Skew time		A	Y			250	ps
$t_{sk(p)}$	Skew time		A	Y			650	ps
$t_{sk(pr)}$	Skew time		A	Y			1	ns
t_r	Rise time			Y		0.5	2.4	ns
t_r	Rise time (see Note 5 and Figure 3)	SDATA			C_L = 10 pF	6		ns
					C_L = 400 pF		950	
t_f	Fall time			Y		0.5	2.3	ns
t_f	Fall time (see Note 5 and Figure 3)	SDATA			C_L = 10 pF	20		ns
					C_L = 400 pF		250	

NOTE 5: This parameter has a lower limit than BUS specification. This allows use of series resistors for current spike protection.

Tabel 9/9.3.2-14: Schakeltijden van de CDC318.

9.3 Clock-drivers/clock-generatoren



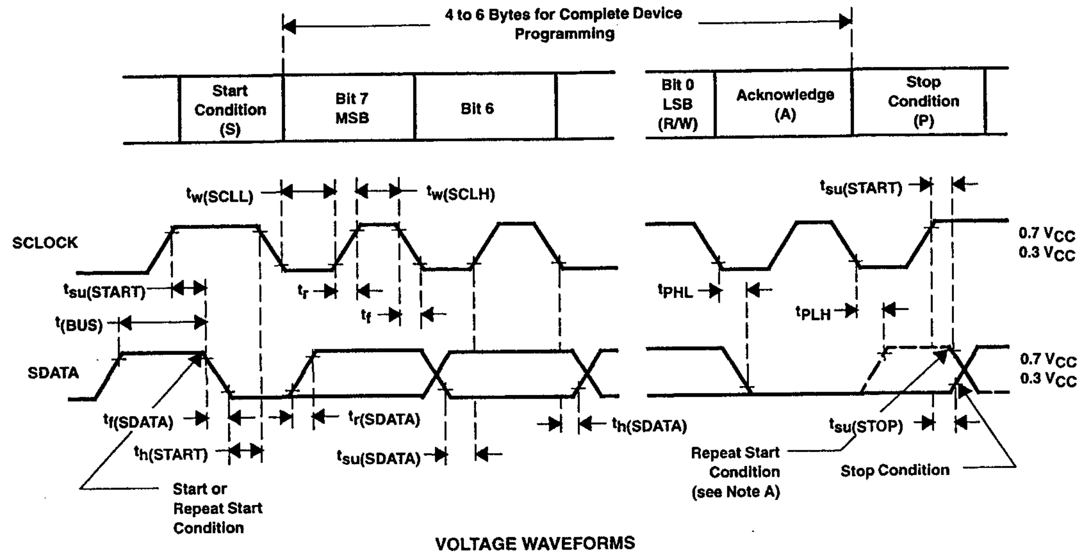
NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest of t_{PLHn} (n = 1:18)
- The difference between the fastest and slowest of t_{PHLn} (n = 1:18)

B. Pulse skew, $t_{sk(p)}$, is calculated as the greater of $|t_{PLHn} - t_{PHLn}|$ (n = 1:18)

C. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
- The difference between the fastest and slowest of t_{PLHn} (n = 1:18) across multiple devices under identical operating conditions
- The difference between the fastest and slowest of t_{PHLn} (n = 1:18) across multiple devices under identical operating conditions

Figuur 9/9.3.2-7: Golfvormen voor de berekening van $t_{sk(o)}$, $t_{sk(p)}$ en $t_{sk(pr)}$.

9.3 Clock-drivers/clock-generatoren



BYTE	DESCRIPTION
1	I²C address
2	Command (dummy value, ignored)
3	Byte count (dummy value, ignored)
4	I²C data byte 0
5	I²C data byte 1
6	I²C data byte 2

NOTES: A. The repeat start condition is not supported.
B. All input pulses are supplied by generators having hte following characteristics: PRR ≤ 100 kHz, Z_O = 50 Ω, t_r ≥ 10 ns, t_f ≥ 10 ns.

Figuur 9/9.3.2-8: Golfvormen en vertragingstijden t_r en t_f.

CDC319

1-lijn naar 10-lijnen clock-driver met I²C interface

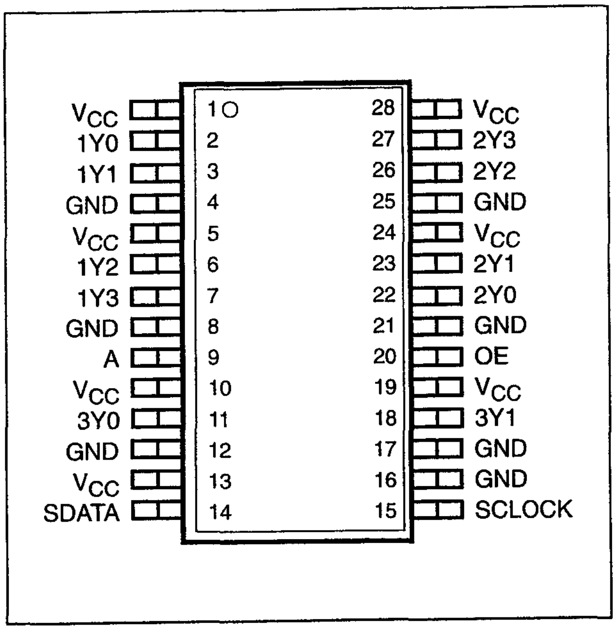
De high-performance clock-buffer CDC319 zet één ingangssignaal (A) om in 10 clock-uitgangssignalen (Y), waarbij de skew minimaal is. De driver heeft een standaard (100 kbit/s) I²C-interface voor de besturing van de uitgangen. De CDC319 is geïmplementeerd als slave/receiver, terwijl het adres is gespecificeerd in de I²C-adrestabel. De 5 V tolerante I²C ingangen (SDATA en SCLOCK) zijn voorzien van 140 kΩ optrekweerstanden.
Alle uitgangen hebben een eigen enable-besturing (via drie 8 bit I²C-registers). Bij het opkomen van de voedingsspanning zijn alle uitgangen ingeschakeld. Elke uitgang kan in een gesperde toestand (LAAG) worden gezet het bijbehorende bit in het besturingsregister LAAG te maken. De registers zijn “write-only” en moeten achter elkaar worden aangeroepen (er is geen “random” toegang mogelijk). De CDC319 heeft 3-state uitgangen voor test- en foutzoek-doeleinden, die met een LAAG signaal op de Output-Enable ingang in een hoog-impedante toestand kunnen worden gezet. OE heeft een optrekweerstand.

Technische gegevens

- 1-lijn naar 10-lijnen clock-buffer voor synchrone DRAM's
- geringe output-skew voor clock-distributie
- aansturing van maximaal 2 ongebufferde SDRAM modules mogelijk (DIMM's)

9.3 Clock-drivers/clock-generatoren

- I^2C seriële interface voor individuele besturing van elke uitgang
- uitgangen: LVTTL compatibel
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- ESD-beveiligd (2.000 V, MIL-STD-883, methode 3015)
- behuizing: 28-pens Shrink Small Outline (DB)
- fabrikant: Texas Instruments

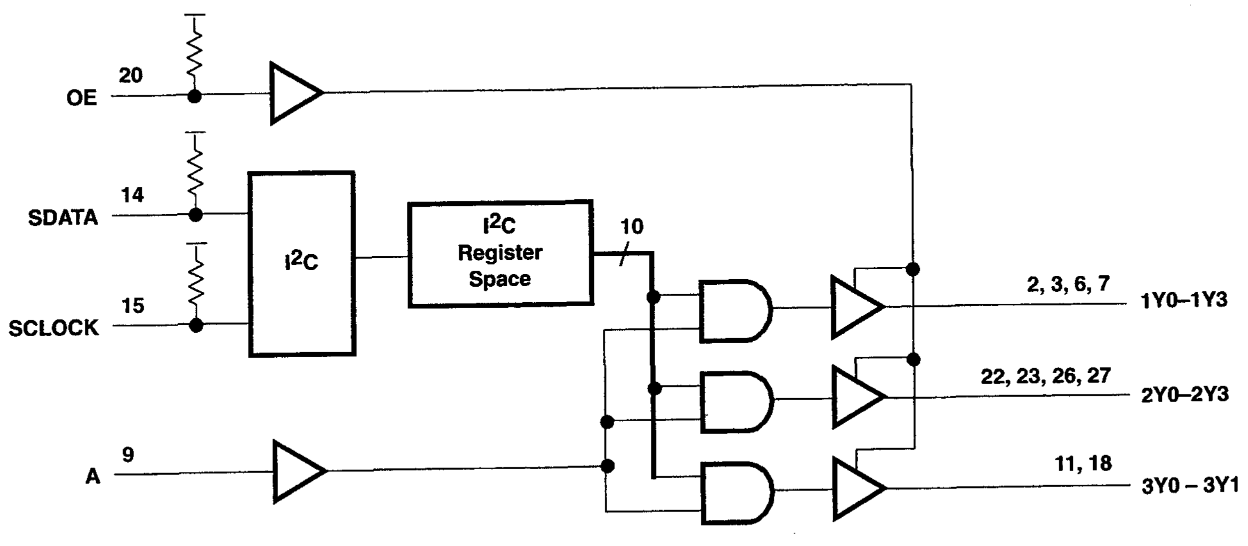


Figuur 9/9.3.2-9: Aansluitgegevens van de CDC319.

TERMINAL NAME	TERMINAL NO.	I/O	DESCRIPTION
1Y0–1Y3	2, 3, 6, 7	O	3.3-V SDRAM byte 0 clock outputs
2Y0–2Y3	22, 23, 26, 27	O	3.3-V SDRAM byte 1 clock outputs
3Y0–3Y1	11, 18	O	3.3-V clock outputs provided for feedback control of external PLLs (phase-locked loops)
A	9	I	Clock input
OE	20	I	Output enable. When asserted, OE puts all outputs in a high-impedance state. A nominal 140-kΩ pullup resistor is internally integrated.
SCLOCK	15	I	I^2C serial clock input. A nominal 140-kΩ pullup resistor is internally integrated.
SDATA	14	I/O	Bidirectional I^2C serial data input/output. A nominal 140-kΩ pullup resistor is internally integrated.
GND	4, 8, 12, 16, 17, 21, 25		Ground
V_{CC}	1, 5, 10, 13, 19, 24, 28		3.3-V power supply

Tabel 9/9.3.2-15: Functies van de aansluitingen.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-10: Logisch schema (positieve logica) van de CDC319.

INPUTS		OUTPUTS		
OE	A	1Y0–1Y3	2Y0–2Y3	3Y0–3Y1
L	X	Hi-Z	Hi-Z	Hi-Z
H	L	L	L	L
H	H	H†	H†	H†

† The function table assumes that all outputs are enabled via the appropriate I²C configuration register bit. If the output is disabled via the appropriate configuration bit, then the output is driven to a low state, regardless of the state of the A input.

Tabel 9/9.3.2-16: Waarheidstabel van de CDC319.

I²C DEVICE ADDRESS

A7	A6	A5	A4	A3	A2	A1	A0 (R/W)
H	H	L	H	L	L	H	—

Figuur 9/9.3.2-11: I²C adres van de CDC319.

I²C BYTE 0-BIT DEFINITION†

BIT	DEFINITION	DEFAULT VALUE
7	Reserved	H
6	Reserved	H
5	Reserved	H
4	Reserved	H
3	1Y3 enable (pin 7)	H
2	1Y2 enable (pin 6)	H
1	1Y1 enable (pin 3)	H
0	1Y0 enable (pin 2)	H

† When the value of the bit is high, the output is enabled. When the value of the bit is low, the output is forced to a low state. The default value of all bits is high.

Tabel 9/9.3.2-17: I²C byte-0 definitie.

9.3 Clock-drivers/clock-generatoren

I^2C BYTE 1-BIT DEFINITION†

BIT	DEFINITION	DEFAULT VALUE
7	2Y3 enable (pin 27)	H
6	2Y2 enable (pin 26)	H
5	2Y1 enable (pin 23)	H
4	2Y0 enable (pin 22)	H
3	Reserved	H
2	Reserved	H
1	Reserved	H
0	Reserved	H

† When the value of the bit is high, the output is enabled. When the value of the bit is low, the output is forced to a low state. The default value of all bits is high.

Tabel 9/9.3.2-18: I^2C byte-1 definitie.

I^2C BYTE 2-BIT DEFINITION†

BIT	DEFINITION	DEFAULT VALUE
7	3Y1 enable (pin 18)	H
6	3Y0 enable (pin 11)	H
5	Reserved	H
4	Reserved	H
3	Reserved	H
2	Reserved	H
1	Reserved	H
0	Reserved	H

† When the value of the bit is high, the output is enabled. When the value of the bit is low, the output is forced to a low state. The default value of all bits is high.

Tabel 9/9.3.2-19: I^2C byte-2 definitie.

Parameter	Value
Supply voltage range, V_{CC}	–0.5 V to 4.6 V
Input voltage range, V_I (see Note 1)	–0.5 V to 4.6 V
Input voltage range, V_I (SCLOCK, SDATA) (see Note 1)	–0.5 V to 6.5 V
Output voltage range, V_O (SDATA) (see Note 1)	–0.5 V to 6.5 V
Voltage range applied to any output in the high-impedance or power-off state, V_O	–0.5 V to V_{CC} +0.5 V
Current into any output in the low state (except SDATA), I_O	48 mA
Current into SDATA in the low state, I_O	12 mA
Input clamp current, I_{IK} ($V_I < 0$) (SCLOCK)	–50 mA
Output clamp current, I_{OK} ($V_O < 0$) (SDATA)	–50 mA
Package thermal impedance, θ_{JA} (see Note 2)	120 °C/W
Storage temperature range, T_{stg}	–65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C

Tabel 9/9.3.2-20: Maximaal toelaatbare waarden van de CDC319.

9.3 Clock-drivers/clock-generatoren

			MIN	TYP	MAX	UNIT
V_{CC}	3.3-V core supply voltage		3.135		3.465	V
V_{IH}	High-level input voltage	A, OE	2		V_{CC}+0.3	V
		SDATA, SCLOCK (see Note 3)	2.2		5.5	V
V_{IL}	Low-level input voltage	A, OE	−0.3		0.8	V
		SDATA, SCLOCK (see Note 3)	0		1.04	V
I_{OH}	High-level output current	Y outputs			−24	mA
I_{OL}	Low-level output current	Y outputs			24	mA
R_I	Input resistance to V_{CC}	SDATA, SCLOCK (see Note 3)		140		kΩ
$f_{(SCL)}$	SCLOCK frequency				100	kHz
$t_{(BUS)}$	Bus free time		4.7			µs
$t_{su(START)}$	START setup time		4.7			µs
$t_{h(START)}$	START hold time		4			µs
$t_{w(SCLL)}$	SCLOCK low pulse duration		4.7			µs
$t_{w(SCLH)}$	SCLOCK high pulse duration		4			µs
$t_{r(SDATA)}$	SDATA input rise time				1000	ns
$t_{f(SDATA)}$	SDATA input fall time				300	ns
$t_{su(SDATA)}$	SDATA setup time		250			ns
$t_{h(SDATA)}$	SDATA hold time		0			ns
$t_{su(STOP)}$	STOP setup time		4			µs
T_A	Operating free-air temperature		0		70	°C

NOTE 3: The CMOS-level inputs fall within these limits: V_{IH} min = 0.7 × V_{CC} and V_{IL} max = 0.3 × V_{CC}.

Tabel 9/9.3.2-21: Aanbevolen bedrijfscondities voor de CDC319.

PARAMETER			TEST CONDITIONS		MIN	TYP	MAX	UNIT
V_{IK}	Input clamp voltage		V_{CC} = 3.135 V,	I_I = −18 mA			−1.2	V
V_{OH}	High-level output voltage	Y outputs	V_{CC} = 3.135 V,	I_{OH} = −1 mA	2.4			V
V_{OL}	Low-level output voltage	Y outputs	V_{CC} = 3.135 V,	I_{OL} = 1 mA			0.4	V
		SDATA	V_{CC} = 3.135 V	I_{OL} = 3 mA	0.1		0.4	
				I_{OL} = 6 mA	0.2		0.6	
I_{OH}	High-level output current	SDATA	V_{CC} = 3.135 V,	V_O = V_{CC} MAX			20	µA
		Y outputs	V_{CC} = 3.135 V,	V_O = 2 V	−54		−126	mA
			V_{CC} = 3.3 V,	V_O = 2.6 V		−60		
			V_{CC} = 3.465 V,	V_O = 3.135 V	−21		−46	
I_{OL}	Low-level output current	Y outputs	V_{CC} = 3.135 V,	V_O = 1 V	49		118	mA
			V_{CC} = 3.3 V,	V_O = 0.7 V		58		
			V_{CC} = 3.465 V,	V_O = 0.4 V	23		53	
I_{IH}	High-level input current	A	V_{CC} = 3.465 V,	V_I = V_{CC}			5	µA
		OE					20	
		SCLOCK, SDATA					20	
I_{IL}	Low-level input current	A	V_{CC} = 3.465 V,	V_I = GND			−5	µA
		OE			−10		−50	
		SCLOCK, SDATA			−10		−50	
I_{OZ}	High-impedance-state output current		V_{CC} = 3.465 V,	V_O = 3.465 V or 0			±10	µA
I_{off}	Off-state current	SCLOCK, SDATA	V_{CC} = 0,	V_I = 0 V to 5.5 V			50	µA
I_{CC}	Supply current		V_{CC} = 3.465 V,	I_O = 0		0.2	0.5	mA
ΔI_{CC}	Change in supply current		V_{CC} = 3.135 V to 3.465 V, One input at V_{CC} − 0.6 V, All other inputs at V_{CC} or GND				500	µA
C_i	Input capacitance		V_I = V_{CC} or GND,	V_{CC} = 3.3 V		4		pF
C_o	Output capacitance		V_O = V_{CC} or GND,	V_{CC} = 3.3 V		6		pF
$C_{I/O}$	SDATA I/O capacitance		$V_{I/O}$ = V_{CC} or GND,	V_{CC} = 3.3 V		7		pF

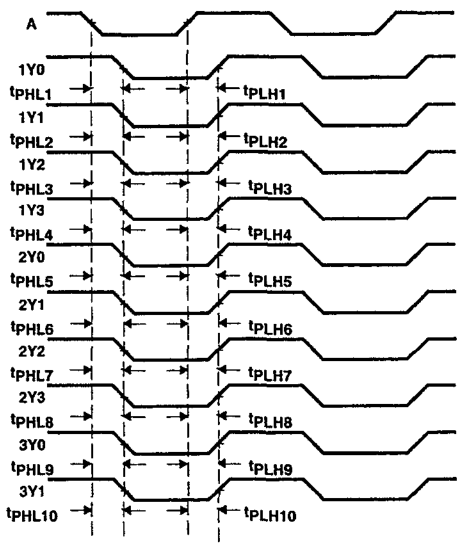
Tabel 9/9.3.2-22: Elektrische eigenschappen van de CDC319.

9.3 Clock-drivers/clock-generatoren

PARAMETER			FROM	TO	TEST CONDITIONS	MIN	MAX	UNIT
t_{PLH}	Low-to-high level propagation delay time		A	Y		1.2	3.6	ns
			SCLOCK↓	SDATA valid	V_{CC} = 3.3 V ±0.185 V, See Figure 3		2	µs
t_{PLH}	Low-to-high level propagation delay time		SDATA↑	Y	V_{CC} = 3.3 V ±0.185 V, See Figure 3		150	ns
t_{PHL}	High-to-low level propagation delay time		A	Y		1.2	3.6	ns
			SCLOCK↓	SDATA valid	V_{CC} = 3.3 V ±0.185 V, See Figure 3		2	µs
t_{PHL}	High-to-low level propagation delay time		SDATA↑	Y	V_{CC} = 3.3 V ±0.185 V, See Figure 3		150	ns
t_{PZH}	Enable time to the high level		OE	Y		1	4.7	ns
t_{PZL}	Enable time to the low level					1	4.7	
t_{PHZ}	Disable time from the high level		OE	Y		1	4.7	ns
t_{PLZ}	Disable time from the low level					1	4.7	
$t_{sk(o)}$	Skew time		A	Y			250	ps
$t_{sk(p)}$	Skew time		A	Y			500	ps
$t_{sk(pr)}$	Skew time		A	Y			1	ns
t_r	Rise time			Y		0.5	1.3	ns
t_r	Rise time (see Note 4 and Figure 3)	SDATA			C_L = 10 pF	6		ns
					C_L = 400 pF		250	
t_f	Fall time			Y		0.5	1.3	ns
t_f	Fall time (see Note 4 and Figure 3)	SDATA			C_L = 10 pF	20		ns
					C_L = 400 pF		250	

NOTE 4: This parameter has a lower limit than BUS specification. This allows use of series resistors for current spike protection.

Tabel 9/9.3.2-23: Schakeltijden van de CDC319.



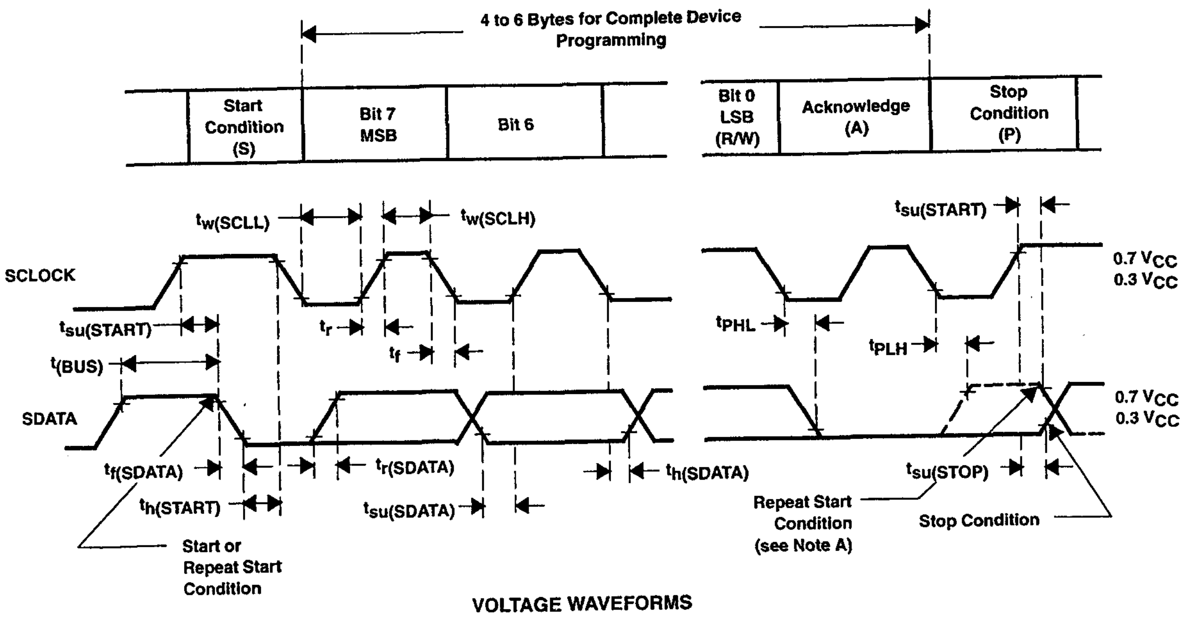
NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest of t_{PLHn} (n = 1:10)
- The difference between the fastest and slowest of t_{PHLn} (n = 1:10)

B. Pulse skew, $t_{sk(p)}$, is calculated as the greater of $|t_{PLHn} - t_{PHLn}|$ (n = 1:10).

C. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
- The difference between the fastest and slowest of t_{PLHn} (n = 1:10) across multiple devices under identical operating conditions
- The difference between the fastest and slowest of t_{PHLn} (n = 1:10) across multiple devices under identical operating conditions

Figuur 9/9.3.2-12: Golfvormen voor de berekening van $t_{sk(o)}$, $t_{sk(p)}$ en $t_{sk(pr)}$.

9.3 Clock-drivers/clock-generatoren



VOLTAGE WAVEFORMS

BYTE	DESCRIPTION
1	I^{2}C address
2	Command (dummy value, ignored)
3	Byte count (dummy value, ignored)
4	I^{2}C data byte 0
5	I^{2}C data byte 1
6	I^{2}C data byte 2

NOTES: A. The repeat start condition is not supported.
B. All input pulses are supplied by generators having the following characteristics: PRR ≤ 100 kHz, Z_O = 50 Ω, $t_r \geq 10$ ns, $t_f \geq 10$ ns.

Figuur 9/9.3.2-13: Golfvormen en vertragingstijden t_r en t_f.

CDC328A

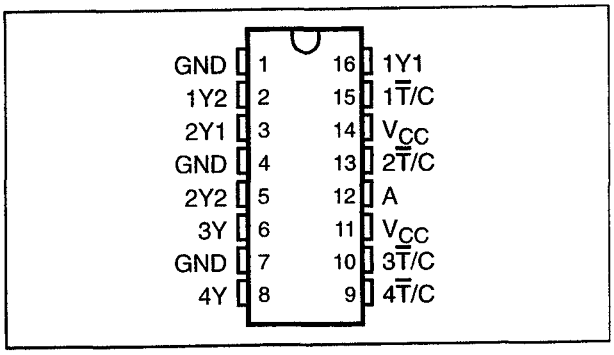
1-lijn naar 6-lijnen clock-driver met selecteerbare polariteit

De CDC328A bevat een clock-driver die één ingangssignaal (A) omzet in 6 clock-uitgangen (Y) met een minimale skew. Door middel van de signalen voor polariteitsbesturing (T̄/C) zijn verschillende combinaties van "ware" en complementaire uitgangssignalen mogelijk.

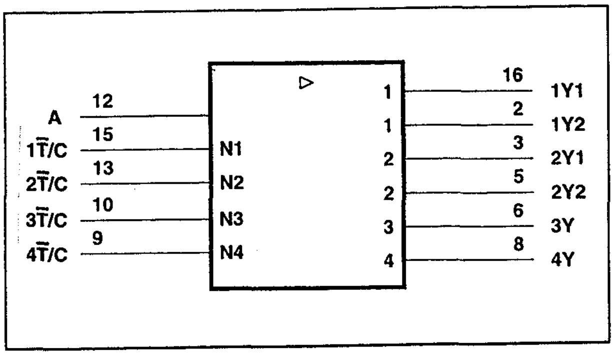
Technische gegevens

- 1-lijn naar 6-lijnen clock-driver
- geringe output-skew voor clock-distributie
- polariteit van de uitgangssignalen naar keuze
- uitgangen: TTL-compatibel
- voedingsspanning: 5 V
- gedistribueerde V_{CC} en GND-pennen
- grote uitgangsstromen: -48 mA en +48 mA
- geringe dissipatie door BiCMOS-ontwerp
- behuizing: 16-pens Small Outline (D) of Shrink Small Outline (DB)
- fabrikant: Texas Instruments

9.3 Clock-drivers/clock-generatoren



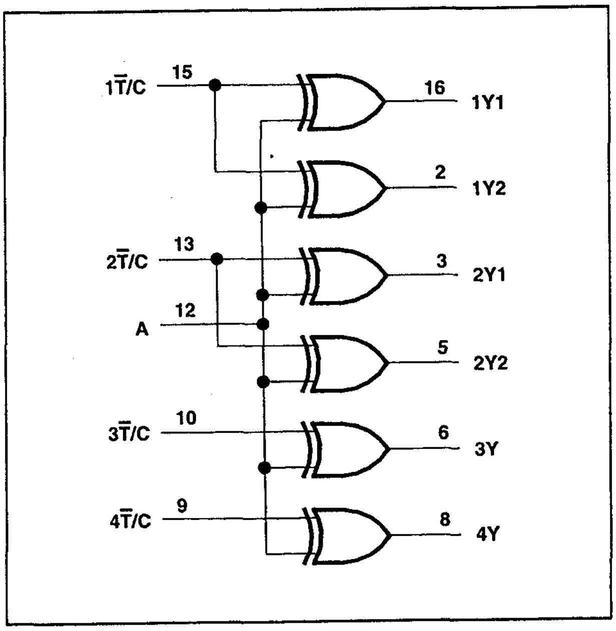
Figuur 9/9.3.2-14: Aansluitgegevens van de CDC328A.



Figuur 9/9.3.2-15: Logisch symbool van de CDC328A.

INPUTS		OUTPUT
T̄/C	A	Y
L	L	L
L	H	H
H	L	H
H	H	L

Tabel 9/9.3.2-24: Waarheidstabel van de CDC328A.



Figuur 9/9.3.2-16: Logisch schema (positieve logica) van de CDC328A.

Supply voltage range, V_{CC} .... −0.5 V to 7 V
Input voltage range, V_I (see Note 1) .... −0.5 V to 7 V
Voltage range applied to any output in the high state
or power-off state, V_O (see Note 1) .... −0.5 V to V_{CC} + 0.5 V
Current into any output in the low state, I_O .... 96 mA
Input clamp current, I_{IK} ($V_I < 0$) .... −18 mA
Output clamp current, I_{OK} ($V_O < 0$) .... −50 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2): D package .... 0.77 W
DB package .... 0.6 W
Storage temperature range, T_{stg} .... −65°C to 150°C

Tabel 9/9.3.2-25: Maximaal toegelaten waarden van de CDC328A.

9.3 Clock-drivers/clock-generatoren

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.75	5	5.25	V
V_{IH}	High-level input voltage	2			V
V_{IL}	Low-level input voltage			0.8	V
V_I	Input voltage	0		V_{CC}	V
I_{OH}	High-level output current			−48	mA
I_{OL}	Low-level output current			48	mA
$\Delta t/\Delta v$	Input transition rise or fall rate			5	ns/V
f_{clock}	Input clock frequency			100	MHz
T_A	Operating free-air temperature	−40		85	°C

NOTE 3: Unused inputs must be held high or low

Tabel 9/9.3.2-26: Aanbevolen bedrijfscondities voor de CDC328A.

PARAMETER	TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IK}	V_{CC} = 4.75 V,	I_I = −18 mA				−1.2	V
V_{OH}	V_{CC} = 4.75 V,	I_{OH} = −48 mA		2			V
V_{OL}	V_{CC} = 4.75 V,	I_{OL} = 48 mA				0.5	V
I_I	V_{CC} = 5.25 V,	V_I = V_{CC} or GND				±1	µA
I_O‡	V_{CC} = 5.25 V,	V_O = 2.5 V		−15		−100	mA
I_{CC}	V_{CC} = 5.25 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high			10	mA
			Outputs low			40	
C_i	V_I = 2.5 V or 0.5 V				3		pF

† All typical values are at V_{CC} = 5 V, T_A = 25°C

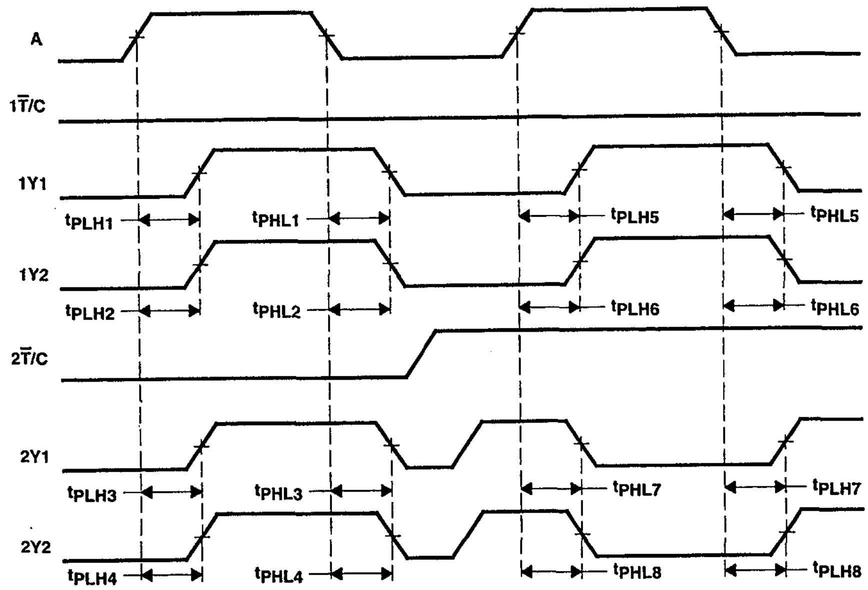
‡ Not more than one output should be tested at a time, and the duration of the test should not exceed one second.

Tabel 9/9.3.2-27: Elektrische karakteristieken van de CDC328A.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
t_{PLH}	A	Any Y	1.7	5	ns
t_{PHL}			1.5	5	
t_{PLH}	$\overline{T}$/C	Any Y	1.5	5	ns
t_{PHL}			1.4	5	
$t_{sk(o)}$	A	Any Y (same phase)		0.5	ns
		Any Y (any phase)		1	
$t_{sk(p)}$	A	Any Y		1	ns
t_r		Any Y		1.5	ns
t_f		Any Y		1.5	ns

Tabel 9/9.3.2-28: Schakeltijden van de CDC328A.

9.3 Clock-drivers/clock-generatoren



NOTES:

A. Output skew, $t_{sk(o)}$, from A to any Y (same phase), can be measured only between outputs for which the respective polarity-control inputs (T̄/C) are at the same logic level. It is calculated as the greater of:
   - The difference between the fastest and slowest of t_{PLH} from A↑ to any Y (e.g., t_{PLHn}, n = 1 to 4; or t_{PLHn}, n = 5 to 6)
   - The difference between the fastest and slowest of t_{PHL} from A↓ to any Y (e.g., t_{PHLn}, n = 1 to 4; or t_{PHLn}, n = 5 to 6)
   - The difference between the fastest and slowest of t_{PLH} from A↓ to any Y (e.g., t_{PLHn}, n = 7 to 8)
   - The difference between the fastest and slowest of t_{PHL} from A↑ to any Y (e.g., t_{PHLn}, n = 7 to 8)

B. Output skew, $t_{sk(o)}$, from A to any Y (any phase), can be measured between outputs for which the respective polarity-control inputs (T̄/C) are at the same or different logic levels. It is calculated as the greater of:
   - The difference between the fastest and slowest of t_{PLH} from A↑ to any Y or t_{PHL} from A↑ to any Y (e.g., t_{PLHn}, n = 1 to 4; or t_{PLHn}, n = 5 to 6, and t_{PHLn}, n = 7 to 8)
   - The difference between the fastest and slowest of t_{PHL} from A↓ to any Y or t_{PLH} from A↓ to any Y (e.g., t_{PHLn}, n = 1 to 4; or t_{PHLn}, n = 5 to 6, and t_{PLHn}, n = 7 to 8)

C. Pulse skew, $t_{sk(p)}$, is calculated as the greater of $|t_{PLHn} - t_{PHLn}|$ (n = 1, 2, 3, 4, 5, 6 ,7, 8).

Figuur 9/9.3.2-17: Golfvormen voor de berekening van $t_{sk(o)}$ en $t_{sk(p)}$.

CDC329A

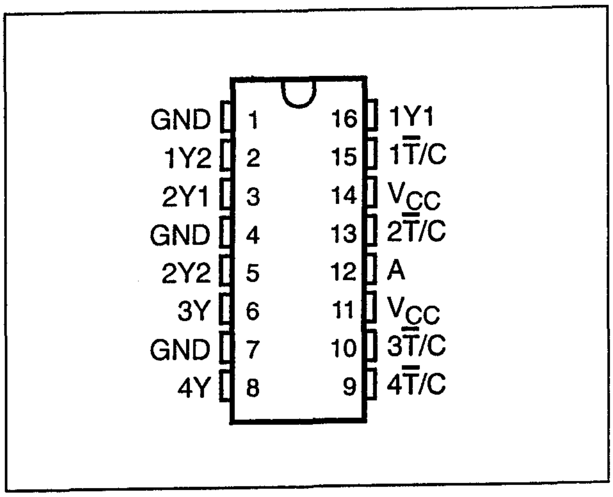
1-lijn naar 6-lijnen
clock-driver met selecteerbare polariteit

De CDC329A is net als de CDC328A een clock-driver die één ingangssignaal (A) omzet in 6 clock-uitgangen (Y) met een minimale skew. De CDC329A heeft echter CMOS-compatibele uitgangen. Door middel van de T̄/C-signalen zijn verschillende combinaties van "ware" en complementaire uitgangsclocksignalen mogelijk.

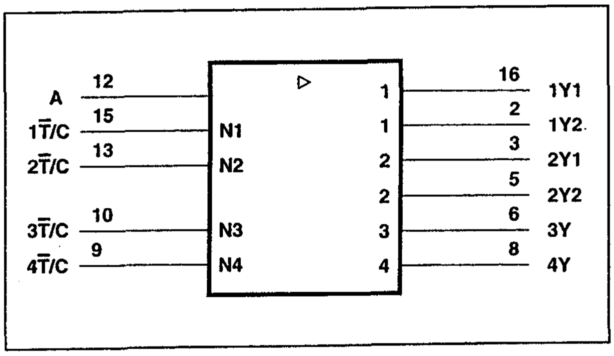
Technische gegevens

- 1-lijn naar 6-lijnen clock-driver
- geringe output-skew voor clock-distributie
- polariteit van de uitgangssignalen naar keuze
- ingangen: TTL-compatibel
- uitgangen: CMOS-compatibel
- voedingsspanning: 5 V
- gedistribueerde V_{CC} en GND-pennen
- grote uitgangsstromen: -32 mA en +32 mA
- geringe dissipatie door BiCMOS-ontwerp
- behuizing: 16-pens Small Outline (D) of Shrink Small Outline (DB)
- fabrikant: Texas Instruments

9.3 Clock-drivers/clock-generatoren



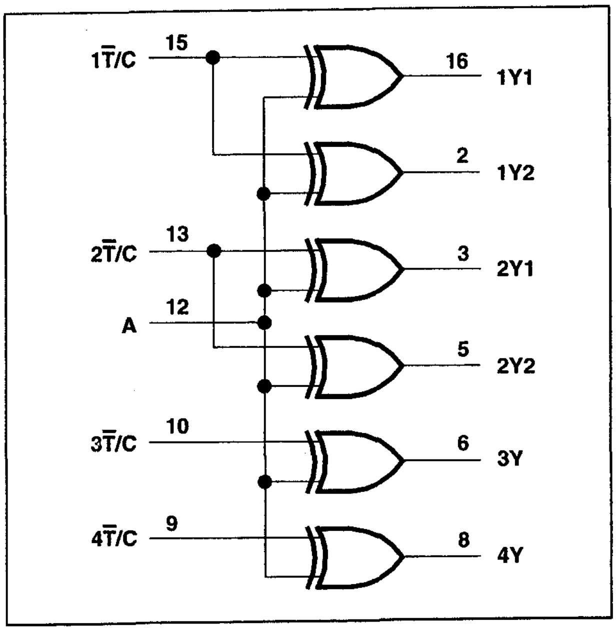
Figuur 9/9.3.2-18: Aansluitgegevens van de CDC329A.



Figuur 9/9.3.2-19: Logisch symbool van de CDC329A.

INPUTS		OUTPUT
T̄/C	A	Y
L	L	L
L	H	H
H	L	H
H	H	L

Tabel 9/9.3.2-29: Waarheidstabel van de CDC329A.



Figuur 9/9.3.2-20: Logisch schema (positieve logica) van de CDC329A.

9.3 Clock-drivers/clock-generatoren

Supply voltage range, V_{CC} .... −0.5 V to 7 V
Input voltage range, V_I (see Note 1) .... −0.5 V to 7 V
Voltage range applied to any output in the high state or power-off state,
V_O (see Note 1) .... −0.5 V to V_{CC} + 0.5 V
Current into any output in the low state, I_O .... 64 mA
Input clamp current, I_{IK} ($V_I < 0$) .... −18 mA
Output clamp current, I_{OK} ($V_O < 0$) .... −50 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2): D package .... 0.77 W
DB package .... 0.6 W
Storage temperature range, T_{stg} .... −65°C to 150°C

Tabel 9/9.3.2-30: Maximaal toegelaten waarden van de CDC329A.

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.75	5	5.25	V
V_{IH}	High-level input voltage	2			V
V_{IL}	Low-level input voltage			0.8	V
V_I	Input voltage	0		V_{CC}	V
I_{OH}	High-level output current			−32	mA
I_{OL}	Low-level output current			32	mA
$\Delta t/\Delta v$	Input transition rise or fall rate			5	ns/V
f_{clock}	Input clock frequency			80	MHz
T_A	Operating free-air temperature	−40		85	°C

NOTE 3: Unused inputs must be held high or low

Tabel 9/9.3.2-31: Aanbevolen bedrijfscondities van de CDC329A.

PARAMETER	TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IK}	V_{CC} = 4.75 V,	I_I = −18 mA				−1.2	V
V_{OH}	V_{CC} = 4.75 V,	I_{OH} = − 32 mA		3.85			V
V_{OL}	V_{CC} = 4.75 V,	I_{OL} = 32 mA				0.55	V
I_I	V_{CC} = 5.25 V,	V_I = V_{CC} or GND				±1	µA
I_{CC}	V_{CC} = 5.25 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high			10	mA
			Outputs low			40	
C_i	V_I = 2.5 V or 0.5 V				3		pF

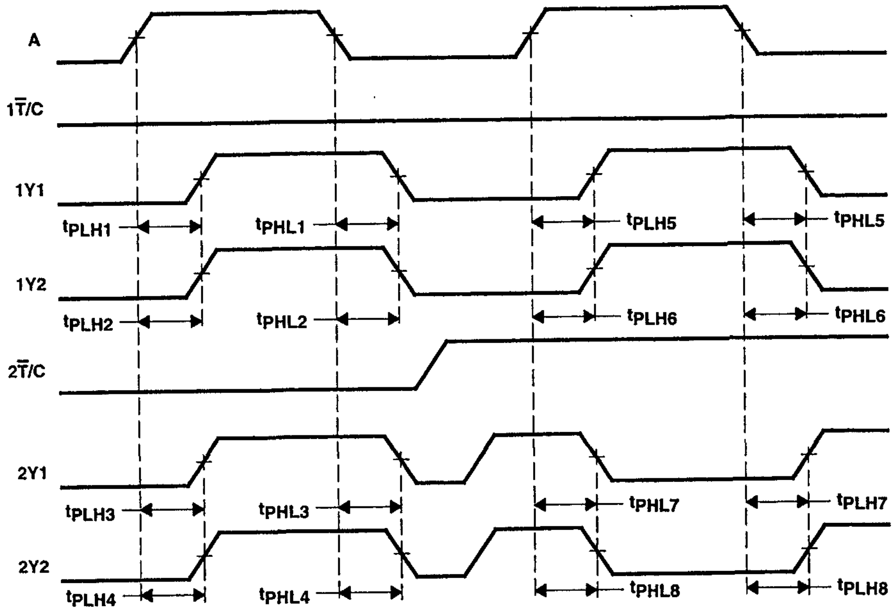
† All typical values are at V_{CC} = 5 V, T_A = 25°C

Tabel 9/9.3.2-32: Elektrische karakteristieken van de CDC329A.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP	MAX	UNIT
t_{PLH}	A	Any Y	2		5.9	ns
t_{PHL}			1.7		5.9	
t_{PLH}	$\overline{T}$/C	Any Y	1.5		5	ns
t_{PHL}			1.5		5	
$t_{sk(o)}$	A	Any Y (same phase)			0.6	ns
		Any Y (any phase)			1.5	
t_r				1.3		ns
t_f				0.85		ns

Tabel 9/9.3.2-33: Schakeltijden van de CDC329A.

9.3 Clock-drivers/clock-generatoren



NOTES: A. Output skew, $t_{sk(o)}$, from A to any Y (same phase), can be measured only between outputs for which the respective polarity-control inputs ($\overline{T}$/C) are at the same logic level. It is calculated as the greater of:
- The difference between the fastest and slowest of t_{PHL} from A↓ to any Y (e.g., t_{PHLn}, n = 1 to 4; or t_{PHLn}, n = 5 to 6)
- The difference between the fastest and slowest of t_{PHL} from A↓ to any Y (e.g., t_{PHLn}, n = 1 to 4; or t_{PHLn}, n = 5 to 6)
- The difference between the fastest and slowest of t_{PLH} from A↓ to any Y (e.g., t_{PLHn}, n = 7 to 8)
- The difference between the fastest and slowest of t_{PHL} from A↑ to any Y (e.g., t_{PHLn}, n = 7 to 8)

B. Output skew, $t_{sk(o)}$, from A to any Y (any phase), can be measured between outputs for which the respective polarity-control inputs ($\overline{T}$/C) are at the same or different logic levels. It is calculated as the greater of:
- The difference between the fastest and slowest of t_{PLH} from A↑ to any Y or t_{PHL} from A↑ to any Y (e.g., t_{PLHn}, n = 1 to 4; or t_{PLHn}, n = 5 to 6, and t_{PHLn}, n = 7 to 8)
- The difference between the fastest and slowest of t_{PHL} from A↓ to any Y or t_{PLH} from A↓ to any Y (e.g., t_{PHLn}, n = 1 to 4; or t_{PHLn}, n = 5 to 6, and t_{PLHn}, n = 7 to 8)

Figuur 9/9.3.2-21: Golfvormen voor de berekening van $t_{sk(o)}$ en $t_{sk(p)}$.

CDC337

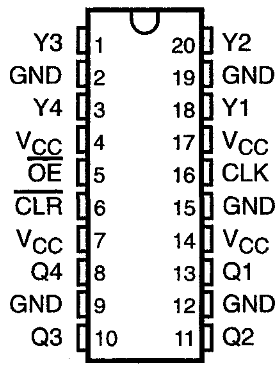
1-lijn naar 8-lijnen (4 x f en 4 x 1/2 f) clock-driver met 3-state uitgangen

De CDC337 is een high-performance clock-driver met een kleine skew. Deze driver is speciaal bestemd voor toepassingen die gesynchroniseerde signalen nodig hebben op zowel de hele als de halve clock-frequentie. De vier Y-uitgangen schakelen om op dezelfde frequentie als de clock-ingang (CLK), terwijl de vier Q-uitgangen op de helft van deze frequentie schakelen.
Als de Output Enable-ingang ($\overline{OE}$) LAAG is en de clear-ingang ($\overline{CLR}$) HOOG, volgen de Y-uitgangen de CLK en toggelen de Q-uitgangen op de LAAG-naar-HOOG overgangen van CLK. Door $\overline{CLR}$ LAAG te maken worden de Q-uitgangen gereset naar een LAAG niveau. Als $\overline{OE}$ HOOG is, zijn de uitgangen hoog-impedant.

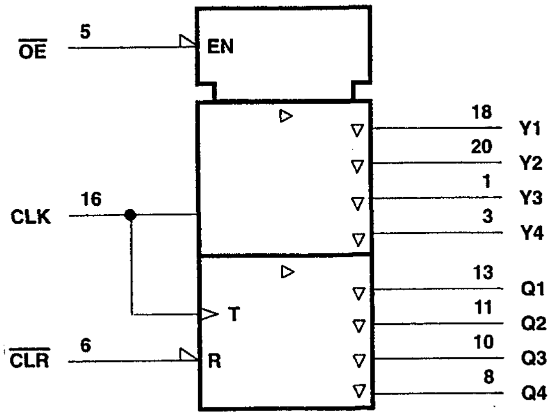
Technische gegevens

- 1-lijn naar 8-lijnen clock-driver (4 met dezelfde en 4 met de halve frequentie)
- geringe output-skew voor clock-distributie en clock-opwekking
- ingangen: TTL-compatibel
- uitgangen: CMOS-compatibel
- voedingsspanning: 5 V
- gedistribueerde V_{cc} en GND-pennen
- grote uitgangsstromen: -48 mA en +48 mA
- geringe dissipatie door BiCMOS-ontwerp
- behuizing: 20-pens Small Outline (DW) of Shrink Small Outline (DB)
- fabrikant: Texas Instruments

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-22: Aansluitgegevens van de CDC337.

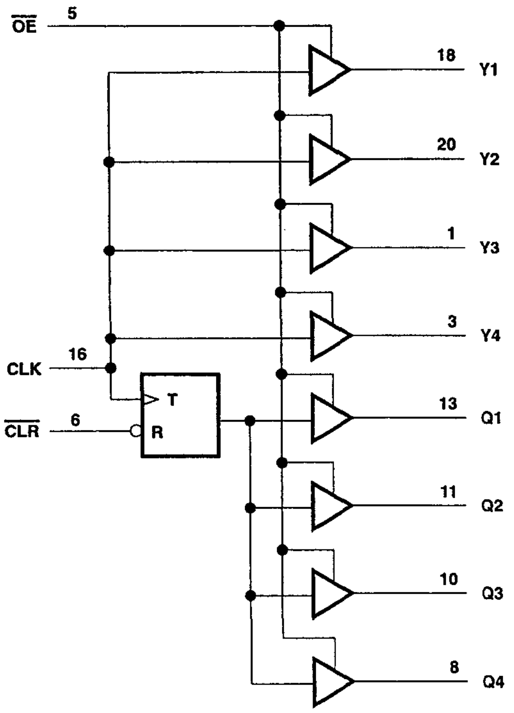


Figuur 9/9.3.2-23: Logisch symbool van de CDC337.

INPUTS			OUTPUTS	
$\overline{OE}$	$\overline{CLR}$	CLK	Y1–Y4	Q1–Q4
H	X	X	Z	Z
L	L	L	L	L
L	L	H	H	L
L	H	L	L	Q_0†
L	H	↑	H	$\overline{Q}_0$†

† The level of the Q outputs before the indicated steady-state input conditions were established

Tabel 9/9.3.2-34: Waarheidstabel van de CDC337.



Figuur 9/9.3.2-24: Logisch schema (positieve logica) van de CDC337.

9.3 Clock-drivers/clock-generatoren

Supply voltage range, V_{CC}	−0.5 V to 7 V
Input voltage range, V_I (see Note 1)	−0.5 V to 7 V
Voltage range applied to any output in the high state or power-off state, V_O (see Note 1)	−0.5 V to V_{CC} + 0.5 V
Current into any output in the low state, I_O	96 mA
Input clamp current, I_{IK} ($V_I < 0$)	−18 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2): DB package	0.6 W
DW package	1.6 W
Storage temperature range, T_{stg}	−65°C to 150°C

Tabel 9/9.3.2-35: Maximaal toegelaten waarden van de CDC337.

		MIN	MAX	UNIT
V_{CC}	Supply voltage	4.75	5.25	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	V_{CC}	V
I_{OH}	High-level output current		−48	mA
I_{OL}	Low-level output current		48	mA
f_{clock}	Input clock frequency		80	MHz
T_A	Operating free-air temperature	−40	85	°C

NOTE 3: Unused pins (input or I/O) must be held high or low

Tabel 9/9.3.2-36: Aanbevolen bedrijfscondities van de CDC337.

			MIN	MAX	UNIT
f_{clock}	Clock frequency			80	MHz
t_w	Pulse duration	$\overline{CLR}$ low	4		ns
		CLK low	4		
		CLK high	4		
t_{su}	Setup time, $\overline{CLR}$ inactive before CLK↑		2		ns
	Clock duty cycle		40%	60%	

Tabel 9/9.3.2-38: Benodigde timing voor de CDC337.

PARAMETER	TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IK}	V_{CC} = 4.75 V,	I_I = −18 mA				−1.2	V
V_{OH}	V_{CC} = 4.75 V,	I_{OH} = − 32 mA		3.75			V
V_{OL}	V_{CC} = 4.75 V,	I_{OL} = 32 mA				0.55	V
I_{IH}	V_{CC} = 5.25 V,	V_I = 2.7 V				50	µA
I_{IL}	V_{CC} = 5.25 V,	V_I = 0.5 V				−50	µA
I_{OZ}	V_{CC} = 5.25 V,	V_O = V_{CC} or GND				±50	µA
I_{CC}	V_{CC} = 5.25 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high			70	mA
			Outputs low			85	
			Outputs disabled			70	
C_i	V_I = 2.5 V or 0.5 V				3		pF
C_o	V_O = VCC or GND				10		pF

† All typical values are at V_{CC} = 5 V, T_A = 25°C.

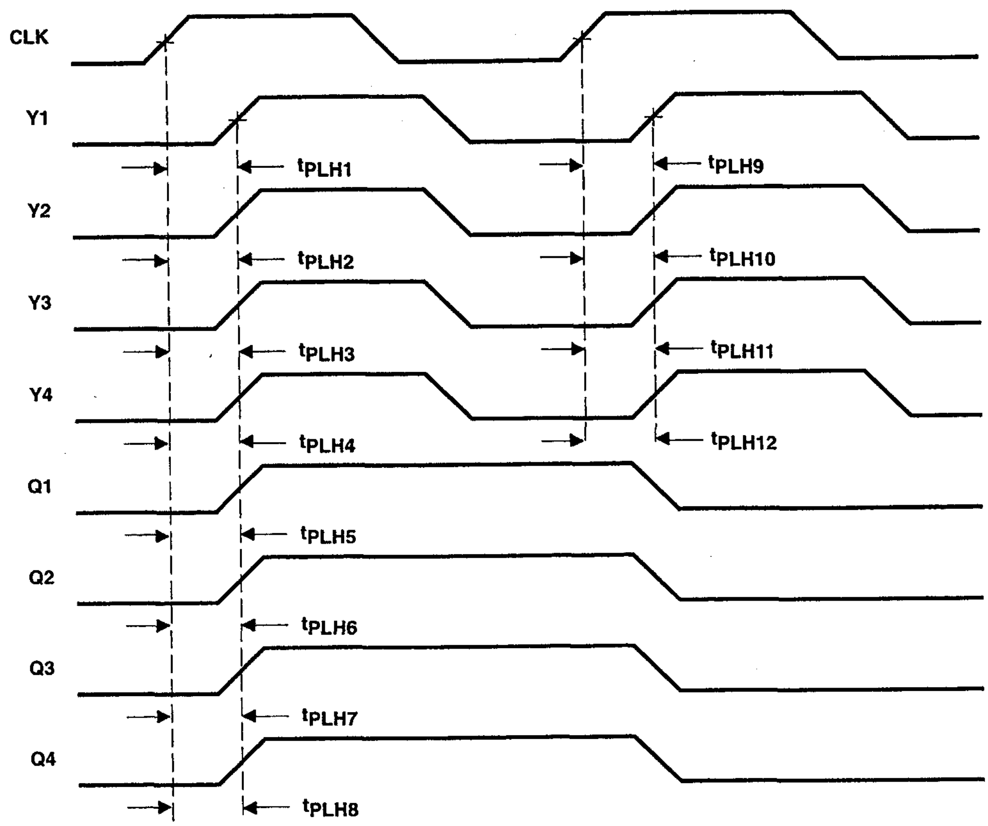
Tabel 9/9.3.2-37: Elektrische karakteristieken van de CDC337.

9.3 Clock-drivers/clock-generatoren

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}			80			MHz
t_{PLH}	CLK	Any Y or Q	4		9	ns
t_{PHL}			4		9	
t_{PHL}	$\overline{CLR}$	Any Q	4		10	ns
t_{PZH}	$\overline{OE}$	Any Y or Q	3		7	ns
t_{PZL}			3		7	
t_{PHZ}	$\overline{OE}$	Any Y or Q	2		7	ns
t_{PLZ}			2		7	
$t_{sk(o)}$	CLK↑	Y↑			0.75	ns
		Q↑			0.9	
		Y↑ and Q↑			0.9	
t_r				0.9		ns
t_f				0.7		ns

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
NOTE 4: All specifications are valid only for all outputs switching.

Tabel 9/9.3.2-39: Schakeltijden van de CDC337.



NOTES: A. Output skew, $t_{sk(o)}$, from CLK↑ to Y↑, is calculated as the greater of the difference between the fastest and slowest of t_{PLHn} (n = 1, 2, 3, 4) or t_{PLHn} (n = 9, 10, 11, 12).
B. Output skew, $t_{sk(o)}$, from CLK↑ to Q↑, is calculated as the greater of the difference between the fastest and slowest of t_{PLHn} (n = 5, 6, 7, 8).
C. Output skew, $t_{sk(o)}$, from CLK↑ to Y↑ and Q↑, is calculated as the greater of the difference between the fastest and slowest of t_{PLHn} (n = 1, 2, . . . , 8).

Figuur 9/9.3.2-25: Golfvormen voor de berekening van $t_{sk(o)}$.

9.3 Clock-drivers/clock-generatoren

CDC339

1-lijn naar 8-lijnen (4 x f en 4 x 1/2 f) clock-driver met 3-state uitgangen

De CDC339 is, net als de CDC337, een high-performance clock-driver met een zeer kleine skew. Deze driver heeft echter TTL-compatibele in- en uitgangen. Ook de CDC339 levert gesynchroniseerde signalen op zowel de hele als de halve clock-frequentie. De vier Y-uitgangen schakelen om op dezelfde frequentie als de clock-ingang (CLK), terwijl de vier Q-uitgangen op de helft van deze frequentie schakelen. Als de Output Enable-ingang ($\overline{OE}$) LAAG is en de clear-ingang ($\overline{CLR}$) HOOG, volgen de Y-uitgangen de CLK en toggelen de Q-uitgangen op de LAAG-naar-HOOG overgangen van CLK. Als $\overline{CLR}$ LAAG gaat, worden de Q-uitgangen gereset naar een LAAG niveau. Als $\overline{OE}$ HOOG is, zijn de uitgangen hoog-impedant.

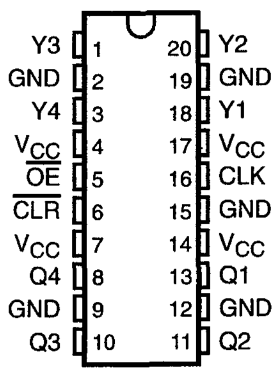
Technische gegevens

- 1-lijn naar 8-lijnen clock-driver (4 met dezelfde en 4 met de halve frequentie)
- geringe output-skew voor clock-distributie en clock-opwekking
- TTL-compatibele in- en uitgangen
- voedingsspanning: 5 V
- gedistribueerde V_{CC} en GND-pennen
- grote uitgangsstromen: -48 mA en +48 mA
- geringe dissipatie door BiCMOS-ontwerp
- behuizing: 20-pens Small Outline (DW) of Shrink Small Outline (DB)
- fabrikant: Texas Instruments

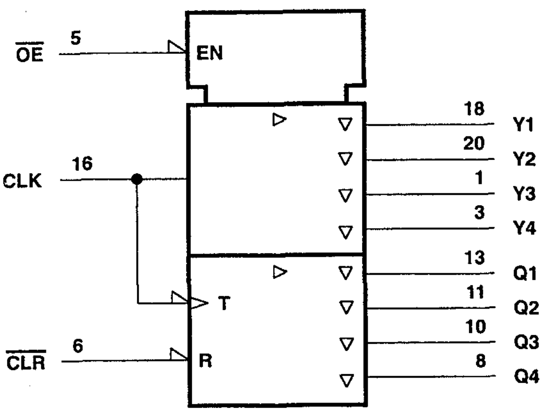
INPUTS			OUTPUTS	
$\overline{OE}$	$\overline{CLR}$	CLK	Y1–Y4	Q1–Q4
H	X	X	Z	Z
L	L	L	L	L
L	L	H	H	L
L	H	L	L	Q_0†
L	H	↑	H	$\overline{Q}_0$†

† The level of the Q outputs before the indicated steady-state input conditions were established.

Tabel 9/9.3.2-40: Waarheidstabel van de CDC339.



Figuur 9/9.3.2-26: Aansluitgegevens van de CDC339.



Figuur 9/9.3.2-27: Logisch symbool van de CDC339.

9.3 Clock-drivers/clock-generatoren

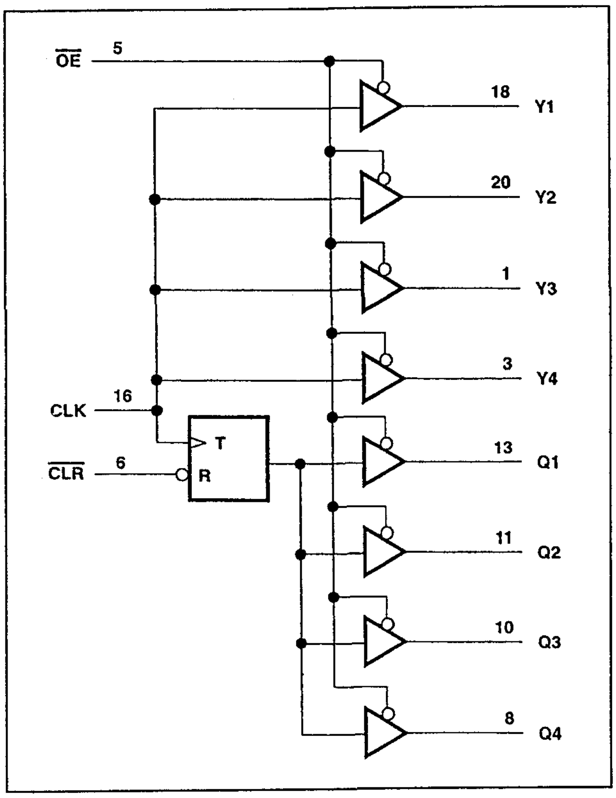
Supply voltage range, V_{CC}	−0.5 V to 7 V
Input voltage range, V_I (see Note 1)	−0.5 V to 7 V
Voltage range applied to any output in the disabled or power-off state, V_O	−0.5 V to 5.5 V
Current into any output in the low state, I_O	96 mA
Input clamp current, I_{IK} ($V_I < 0$)	−18 mA
Output clamp current, I_{OK} ($V_O < 0$)	−50 mA
Maximum power dissipation at $T_A = 55°C$ (in still air) (see Note 2): DB package	0.6 W
DW package	1.6 W
Storage temperature range, T_{stg}	−65°C to 150°C

Tabel 9/9.3.2-41: Maximaal toegelaten waarden van de CDC339.

		MIN	MAX	UNIT
V_{CC}	Supply voltage	4.75	5.25	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	V_{CC}	V
I_{OH}	High-level output current		−48	mA
I_{OL}	Low-level output current		48	mA
f_{clock}	Input clock frequency		80	MHz
T_A	Operating free-air temperature	−40	85	°C

NOTE 3: Unused pins (input or I/O) must be held high or low.

Tabel 9/9.3.2-42: Aanbevolen bedrijfscondities van de CDC339.



Figuur 9/9.3.2-28: Logisch schema (positieve logica) van de CDC339.

9.3 Clock-drivers/clock-generatoren

PARAMETER	TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IK}	V_{CC} = 4.75 V,	I_I = −18 mA				−1.2	V
V_{OH}	V_{CC} = 4.75 V,	I_{OH} = − 48 mA		2			V
V_{OL}	V_{CC} = 4.75 V,	I_{OL} = 48 mA				0.5	V
I_{IH}	V_{CC} = 5.25 V,	V_I = 2.7 V				50	µA
I_{IL}	V_{CC} = 5.25 V,	V_I = 0.5 V				−50	µA
I_{OZ}	V_{CC} = 5.25 V,	V_O = 2.7 V or 0.5 V				±50	µA
I_O‡	V_{CC} = 5.25 V,	V_O = 2.5 V		−50		−180	mA
I_{CC}	V_{CC} = 5.25 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high			70	mA
			Outputs low			85	
			Outputs disabled			70	
C_i	V_I = 2.5 V or 0.5 V				3		pF
C_o	V_O = 2.5 V or 0.5 V				8		pF

† All typical values are at V_{CC} = 5 V, T_A = 25°C.
‡ Not more than one output should be tested at a time, and the duration of the test should not exceed one second.

Tabel 9/9.3.2-43: Elektrische karakteristieken van de CDC339.

			MIN	MAX	UNIT
f_{clock}	Clock frequency			80	MHz
t_w	Pulse duration	$\overline{CLR}$ low	4		ns
		CLK low	4		
		CLK high	4		
t_{su}	Setup time	$\overline{CLR}$ inactive before CLK↑	2		ns
	Clock duty cycle		40%	60%	

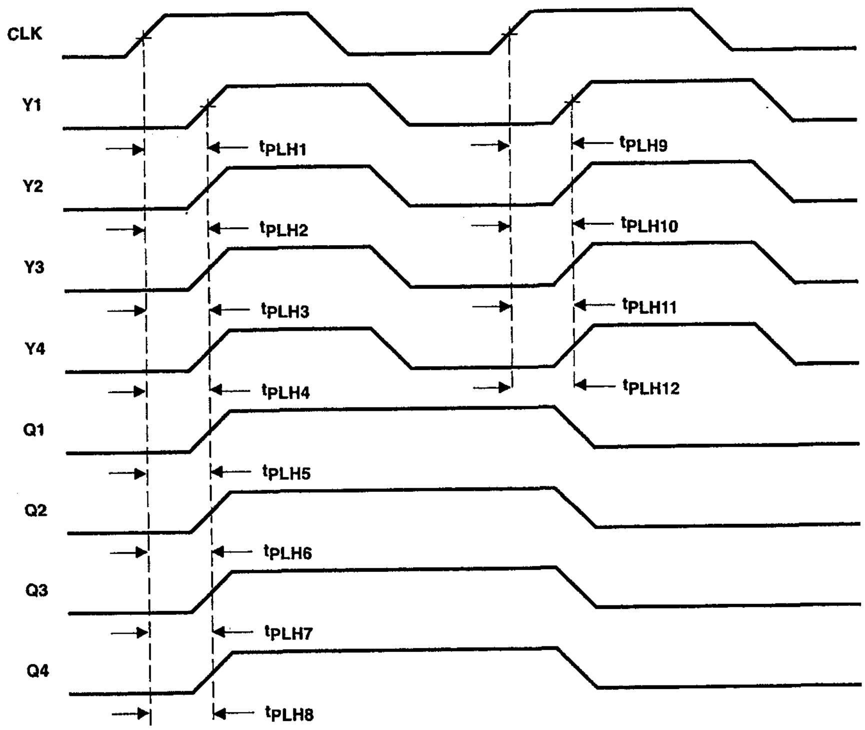
Tabel 9/9.3.2-44: Benodigde timing voor een goede werking van de CDC339.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP†	MAX	UNIT
f_{max}			80			MHz
t_{PLH}	CLK	Any Y or Q	3		9	ns
t_{PHL}			3		9	
t_{PHL}	$\overline{CLR}$	Any Q	4		9	ns
t_{PZH}	$\overline{OE}$	Any Y or Q	2		7	ns
t_{PZL}			3		7	
t_{PHZ}	$\overline{OE}$	Any Y or Q	2		7	ns
t_{PLZ}			2		7	
$t_{sk(o)}$	CLK↑	Y↑			0.75	ns
		Q↑			0.9	
		Y↑ and Q↑			0.9	
t_r				0.9		ns
t_f				0.7		ns

† All typical values are at V_{CC} = 5 V, T_A = 25°C.

Tabel 9/9.3.2-45: Schakeltijden van de CDC339.

9.3 Clock-drivers/clock-generatoren



NOTES: A. Output skew, $t_{sk(o)}$, from CLK↑ to Y↑, is calculated as the greater of the difference between the fastest and slowest of t_{PLHn} (n = 1, 2, 3, 4) or t_{PLHn} (n = 9, 10, 11, 12).
B. Output skew, $t_{sk(o)}$, from CLK↑ to Q↑, is calculated as the greater of the difference between the fastest and slowest of t_{PLHn} (n = 5, 6, 7, 8).
C. Output skew, $t_{sk(o)}$, from CLK↑ to Y↑ and Q↑, is calculated as the greater of the difference between the fastest and slowest of t_{PLHn} (n = 1, 2, . . . , 8).

Figuur 9/9.3.2-29: Golfvormen voor de berekening van $t_{sk(o)}$.

CDC340

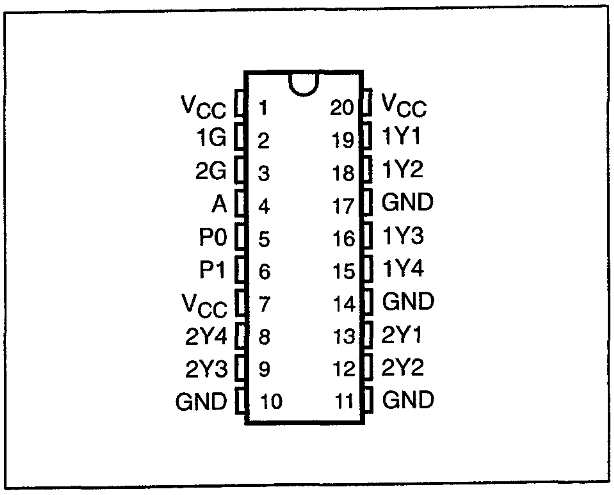
1-lijn naar 8-lijnen clock-driver

De CDC340 is een high-performance clock-driver die één (A) ingangssignaal verdeelt over acht (Y) uitgangen, waarbij een zeer kleine skew optreedt. Door middel van de besturingspennen (1G en 2G) kunnen de uitgangen HOOG worden gemaakt, onafhankelijk van de toestand op de A-ingang. De vertragingstijden zijn in de fabriek afgeregeld met behulp van de pennen P0 en P1. Deze pennen zijn niet bestemd voor gebruik en moeten aan GND worden gelegd.

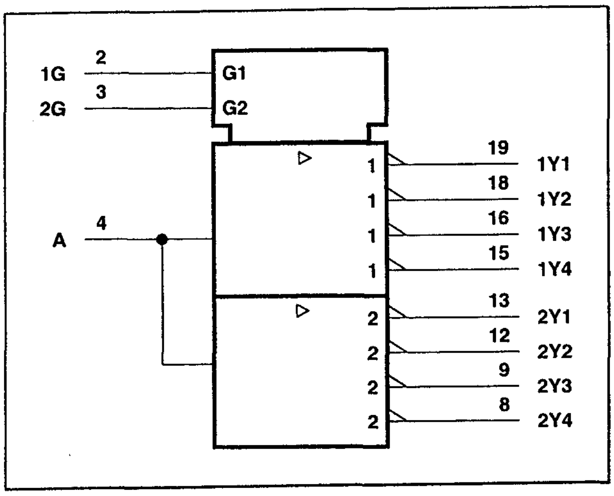
Technische gegevens

- 1-lijn naar 8-lijnen clock-driver
- geringe output-skew voor clock-distributie en clock-opwekking
- TTL-compatibele in- en uitgangen
- voedingsspanning: 5 V
- gedistribueerde V_{CC} en GND-pennen
- grote uitgangsstromen: -48 mA en +48 mA
- geringe dissipatie door BiCMOS-ontwerp
- behuizing: 20-pens Small Outline (DW)
- fabrikant: Texas Instruments

9.3 Clock-drivers/clock-generatoren



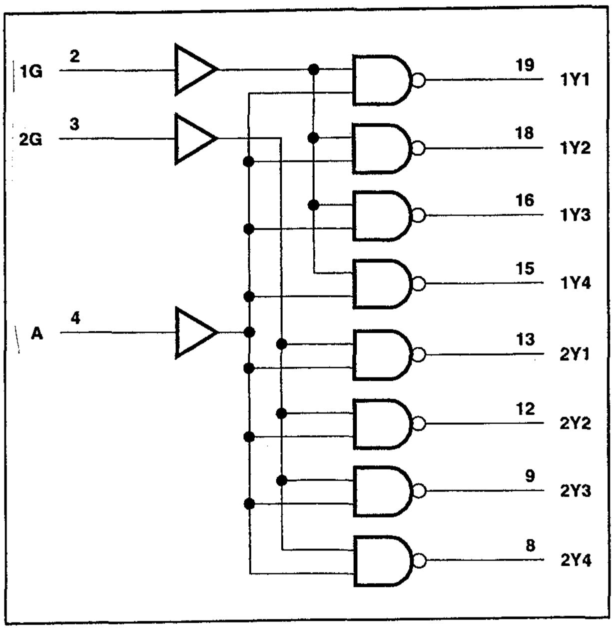
Figuur 9/9.3.2-30: Aansluitgegevens van de CDC340.



Figuur 9/9.3.2-31: Logisch symbool van de CDC340.

INPUTS			OUTPUTS	
1G	2G	A	1Y1–1Y4	2Y1–2Y4
X	X	L	H	H
L	L	H	H	H
L	H	H	H	L
H	L	H	L	H
H	H	H	L	L

Tabel 9/9.3.2-46: Waarheidstabel van de CDC340.



Figuur 9/9.3.2-32: Logisch schema (positieve logica) van de CDC340.

9.3 Clock-drivers/clock-generatoren

Supply voltage range, V_{CC}	−0.5 V to 7 V
Input voltage range, V_I (see Note 1)	−0.5 V to 7 V
Voltage range applied to any output in the high state or power-off state, V_O (see Note 1)	−0.5 V to V_{CC} + 0.5 V
Current into any output in the low state, I_O	96 mA
Input clamp current, I_{IK} (V_I < 0)	−18 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2): DW package	1.6 W
Storage temperature range, T_{stg}	−65°C to 150°C

Tabel 9/9.3.2-47: Maximaal toegelaten waarden van de CDC340.

			MIN	MAX	UNIT
V_{CC}	Supply voltage		4.75	5.25	V
V_{IH}	High-level input voltage		2		V
V_{IL}	Low-level input voltage			0.8	V
V_I	Input voltage		0	V_{CC}	V
I_{OH}	High-level output current			−48	mA
I_{OL}	Low-level output current			48	mA
f_{clock}	Input clock frequency	One output back loaded		80	MHz
		Both output banks loaded		40	
T_A	Operating free-air temperature		0	70	°C

NOTE 3: Unused inputs must be held high or low to prevent them from floating.

Tabel 9/9.3.2-48: Aanbevolen bedrijfscondities van de CDC340.

PARAMETER	TEST CONDITIONS			T_A = 25°C			MIN	MAX	UNIT
				MIN	TYP‡	MAX			
V_{IK}	V_{CC} = 4.75 V,	I_I = −18 mA				−1.2		−1.2	V
V_{OH}	V_{CC} = 4.75 V,	I_{OH} = − 3 mA		2.5			2.5		V
	V_{CC} = 5 V,	I_{OH} = − 3 mA		3			3		
	V_{CC} = 4.75 V,	I_{OH} = − 48 mA		2			2		
V_{OL}	V_{CC} = 4.75 V,	I_{OL} = 48 mA						0.5	V
I_I	V_{CC} = 5.25 V,	V_I = V_{CC} or GND				±1		±1	µA
I_O§	V_{CC} = 5.25 V,	V_O = 2.5 V		−50	−100	−200	−50	−200	mA
I_{CC}	V_{CC} = 5.25 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high		2			3.5	mA
			Outputs low		24			33	
C_i	V_I = 2.5 V or 0.5 V				3				pF

‡ All typical values are at V_{CC} = 5 V.
§ No more than one output should be tested at a time, and the duration of the test should not exceed one second.

Tabel 9/9.3.2-49: Elektrische karakteristieken van de CDC340.

9.3 Clock-drivers/clock-generatoren

PARAMETER		FROM (INPUT)	TO (OUTPUT)	V_{CC} = 5 V, T_A = 25°C			V_{CC} = 4.75 V to 5.25 V, T_A = 0°C to 70°C		UNIT
				MIN	TYP	MAX	MIN	MAX	
t_{PLH}	Propagation delay time, low-to-high level	A	Y	3.4		4.5	3	4.8	ns
t_{PHL}	Propagation delay time, high-to-low level			3.2		4.3	2.8	4.7	
t_{PLH}	Propagation delay time, low-to-high level	G	Y	2		3.8	2	4	ns
t_{PHL}	Propagation delay time, high-to-low level			2		3.8	2	4	
$t_{sk(o)}$	Skew time, output	A	Y		0.3	0.5		0.6	ns
$t_{sk(p)}$	Skew time, pulse				0.6	0.8		0.9	
$t_{sk(pr)}$	Skew time, process					1.1		1.1	
t_r	Rise time	A	Y					1.5	ns
t_f	Fall time	A	Y					1.5	ns

Tabel 9/9.3.2-50: Schakeltijden van de CDC340.

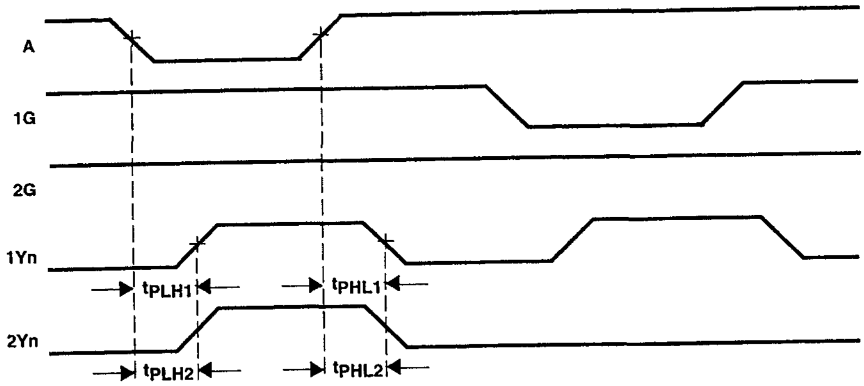
PARAMETER		Δ change
$\Delta t_{PLH(TA)}$ †	Temperature drift of t_{PLH} from 0°C to 70°C	−53 ps/10°C
$\Delta t_{PHL(TA)}$ †	Temperature drift of t_{PHL} from 0°C to 70°C	−58 ps/10°C
$\Delta t_{PLH(VCC)}$ ‡	V_{CC} drift of t_{PLH} from 4.75 V to 5.25 V	43 ps/100 mV
$\Delta t_{PHL(VCC)}$ ‡	V_{CC} drift of t_{PHL} from 4.75 V to 5.25 V	−33 ps/100 mV

† Virtually independent of V_{CC}

‡ Virtually independent of temperature

NOTE 4: The data extracted is from a wide range of characterization material.

Tabel 9/9.3.2-51: Temperatuur- en V_{CC}-afhankelijkheid van de vertragingstijden van de CDC340.



NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest of t_{PLHn} (n = 1, 2)
- The difference between the fastest and slowest of t_{PHLn} (n = 1, 2)

B. Pulse skew, $t_{sk(p)}$, is calculated as the greater of $| t_{PLHn} - t_{PHLn} |$ (n = 1, 2).

C. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
- The difference between the fastest and slowest of t_{PLHn} (n = 1, 2) across multiple devices under identical operating conditions
- The difference between the fastest and slowest of t_{PHLn} (n = 1, 2) across multiple devices under identical operating conditions

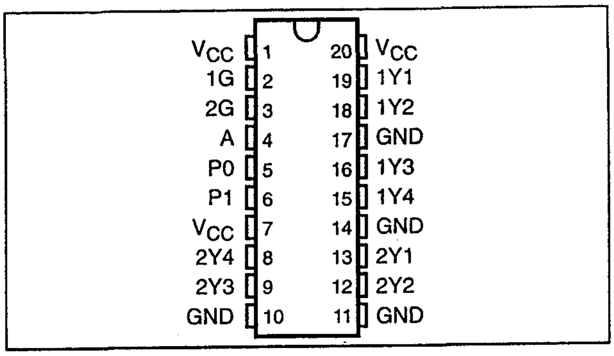
Figuur 9/9.3.2-33: Golfvormen voor de berekening van $t_{sk(o)}$, $t_{sk(p)}$ en $t_{sk(pr)}$.

9.3 Clock-drivers/clock-generatoren

CDC341

1-lijn naar 8-lijnen clock-driver

De CDC341 is een high-performance clock-driver die één (A) ingangssignaal verdeelt over acht (Y) uitgangen, wederom met een zeer kleine skew. Met de besturingspennen (1G en 2G) kunnen de uitgangen LAAG worden gemaakt, onafhankelijk van de toestand op de A-ingang. De vertragingstijden worden in de fabriek afgeregeld met behulp van de P0 en P1 pennen. Deze zijn niet bestemd voor gebruik en moeten aan GND worden gelegd.



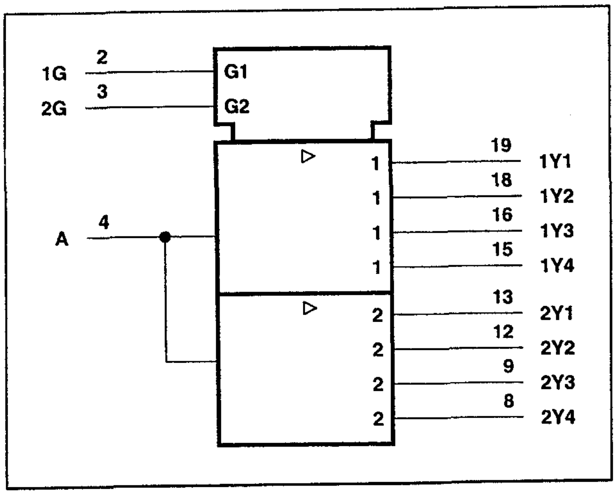
Figuur 9/9.3.2-34: Aansluitgegevens van de CDC341.

INPUTS			OUTPUTS	
1G	2G	A	1Y1−1Y4	2Y1−2Y4
X	X	L	L	L
L	L	H	L	L
L	H	H	L	H
H	L	H	H	L
H	H	H	H	H

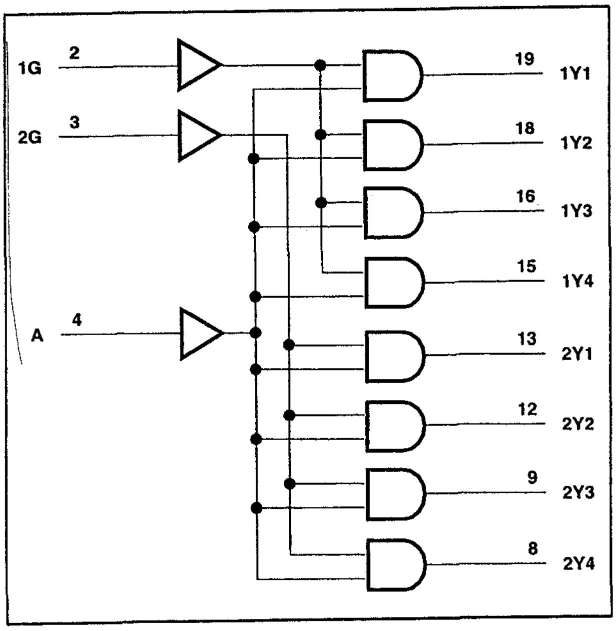
Tabel 9/9.3.2-52: Waarheidstabel van de CDC341.

Technische gegevens

- 1-lijn naar 8-lijnen clock-driver
- geringe output-skew voor clock-distributie en clock-opwekking
- TTL-compatibele in- en uitgangen
- voedingsspanning: 5 V
- gedistribueerde V_{CC} en GND-pennen
- grote uitgangsstromen: -48 mA en +48 mA
- geringe dissipatie door BiCMOS-ontwerp
- behuizing: 20-pens Small Outline (DW)
- fabrikant: Texas Instruments



Figuur 9/9.3.2-35: Logisch symbool van de CDC341.



Figuur 9/9.3.2-36: Logisch schema (positieve logica) van de CDC341.

9.3 Clock-drivers/clock-generatoren

Supply voltage range, V_{CC} .... −0.5 V to 7 V
Input voltage range, V_I (see Note 1) .... −0.5 V to 7 V
Voltage range applied to any output in the high state or power-off state,
V_O (see Note 1) .... −0.5 V to V_{CC} + 0.5 V
Current into any output in the low state, I_O .... 96 mA
Input clamp current, I_{IK} (V_I < 0) .... −18 mA
Package thermal impedance, θ_{JA} (see Note 2): DW package .... 97°C/W
Storage temperature range, T_{stg} .... −65°C to 150°C

Tabel 9/9.3.2-53: Maximaal toegelaten waarden van de CDC341.

			MIN	MAX	UNIT
V_{CC}	Supply voltage		4.75	5.25	V
V_{IH}	High-level input voltage		2		V
V_{IL}	Low-level input voltage			0.8	V
V_I	Input voltage		0	V_{CC}	V
I_{OH}	High-level output current			−48	mA
I_{OL}	Low-level output current			48	mA
f_{clock}	Input clock frequency	One output bank loaded		80	MHz
		Both output banks loaded		40	
T_A	Operating free-air temperature		0	70	°C

NOTE 3: Unused pins (input or I/O) must be held high or low

Tabel 9/9.3.2-54: Aanbevolen bedrijfscondities van de CDC341.

PARAMETER	TEST CONDITIONS			T_A = 25°C MIN	TYP†	MAX	MIN	MAX	UNIT
V_{IK}	V_{CC} = 4.75 V,	I_I = −18 mA				−1.2		−1.2	V
V_{OH}	V_{CC} = 4.75 V,	I_{OH} = − 3 mA		2.5			2.5		V
	V_{CC} = 5 V,	I_{OH} = − 3 mA		3			3		
	V_{CC} = 4.75 V,	I_{OH} = − 48 mA		2			2		
V_{OL}	V_{CC} = 4.75 V,	I_{OL} = 48 mA						0.5	V
I_I	V_{CC} = 5.25 V,	V_I = V_{CC} or GND				±1		±1	µA
I_O‡	V_{CC} = 5.25 V,	V_O = 2.5 V		−50	−100	−200	−50	−200	mA
I_{CC}	V_{CC} = 5.25 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high		2			3.5	mA
			Outputs low		24			33	
C_i	V_I = 2.5 V or 0.5 V				3				pF

† All typical values are at V_{CC} = 5 V.
‡ Not more than one output should be tested at a time, and the duration of the test should not exceed one second.

Tabel 9/9.3.2-55: Elektrische karakteristieken van de CDC341.

9.3 Clock-drivers/clock-generatoren

PARAMETER		FROM (INPUT)	TO (OUTPUT)	V_{CC} = 5 V, T_A = 25°C			V_{CC} = 4.75 V to 5.25 V, T_A = 0°C to 70°C		UNIT
				MIN	TYP	MAX	MIN	MAX	
t_{PLH}	Propagation delay time, low-to-high level	A	Y	3.5		4.5	3.1	4.9	ns
t_{PHL}	Propagation delay time, high-to-low level			3.5		4.3	3.1	4.9	
t_{PLH}	Propagation delay time, low-to-high level	G	Y	2		3.8	2	4	ns
t_{PHL}	Propagation delay time, high-to-low level			2		3.8	2	4	
$t_{sk(o)}$	Skew time, output	A	Y		0.3	0.5		0.6	ns
$t_{sk(p)}$	Skew time, pulse				0.6	0.8		0.9	
$t_{sk(pr)}$	Skew time, process					1		1	
t_r	Rise time	A	Y					1.5	ns
t_f	Fall time	A	Y					1.5	ns

Tabel 9/9.3.2-56: Schakeltijden van de CDC341.

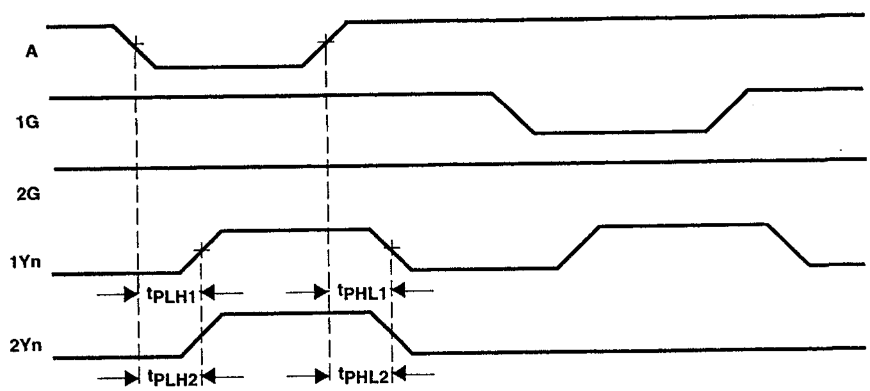
PARAMETER		Δ change
$\Delta t_{PLH(TA)}$§	Temperature drift of t_{PLH} from 0°C to 70°C	−41 ps/10°C
$\Delta t_{PHL(TA)}$§	Temperature drift of t_{PHL} from 0°C to 70°C	−52 ps/10°C
$\Delta t_{PLH(VCC)}$¶	V_{CC} drift of t_{PLH} from 4.75 V to 5.25 V	28 ps/100 mV
$\Delta t_{PHL(VCC)}$¶	V_{CC} drift of t_{PHL} from 4.75 V to 5.25 V	20 ps/100 mV

§ Virtually independent of V_{CC}

¶ Virtually independent of temperature

NOTE 4: The data extracted is from a wide range of characterization material.

Tabel 9/9.3.2-57: Temperatuur- en V_{cc}-afhankelijkheid van de vertragingstijden van de CDC341.



NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest of t_{PLHn} (n = 1, 2)
- The difference between the fastest and slowest of t_{PHLn} (n = 1, 2)

B. Pulse skew, $t_{sk(p)}$, is calculated as the greater of $| t_{PLHn} - t_{PHLn} |$ (n = 1, 2).

C. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
- The difference between the fastest and slowest of t_{PLHn} (n = 1, 2) across multiple devices under identical operating conditions
- The difference between the fastest and slowest of t_{PHLn} (n = 1, 2) across multiple devices under identical operating conditions

Figuur 9/9.3.2-37: Golfvormen voor de berekening van $t_{sk(o)}$, $t_{sk(p)}$ en $t_{sk(pr)}$.

9.3 Clock-drivers/clock-generatoren

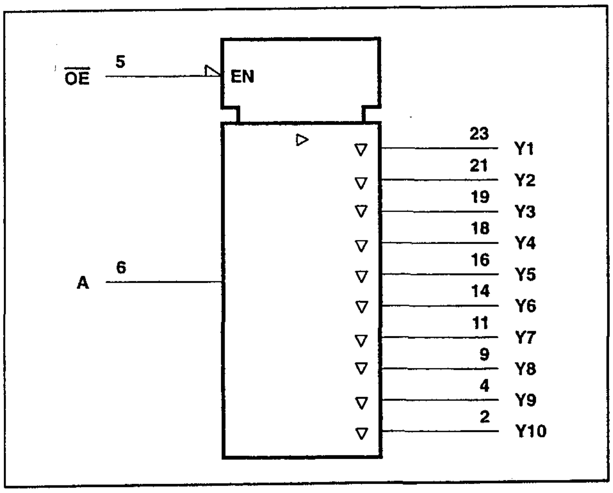
CDC351

1-lijn naar 10-lijnen clock-driver met 3-state uitgangen

De CDC351 is een high-performance clock-driver die één (A) ingangssignaal verdeelt over tien (Y) 3-state uitgangen. Met het Output Enable-signaal ($\overline{OE}$) kunnen de uitgangen in een hoog-impedante toestand worden gezet. De vertragingstijden worden in de fabriek afgeregeld met behulp van de P0 en P1 pennen. Hierdoor is de skew minimaal. Deze pennen zijn echter niet bestemd voor de gebruiker en moeten aan GND worden gelegd.

Technische gegevens

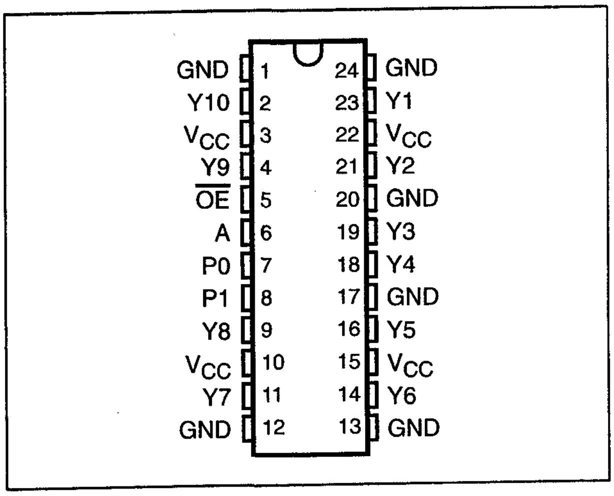
- 1-lijn naar 10-lijnen clock-driver
- geringe output-skew voor clock-distributie en clock-opwekking
- LVTTL-compatibele in- en uitgangen
- geschikt voor 5V in- en uitgangssignalen bij V_{CC} = 3,3 V
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- grote uitgangsstromen: -32 mA en +32 mA
- geringe dissipatie door BiCMOS-ontwerp
- behuizing: 24-pens Small Outline (DW) of Shrink Small Outline (DB)
- fabrikant: Texas Instruments



Figuur 9/9.3.2-39: Logisch symbool van de CDC351.

INPUTS		OUTPUTS
A	$\overline{OE}$	Yn
L	H	Z
H	H	Z
L	L	L
H	L	H

Figuur 9/9.3.2-40: Waarheidstabel van de CDC351.



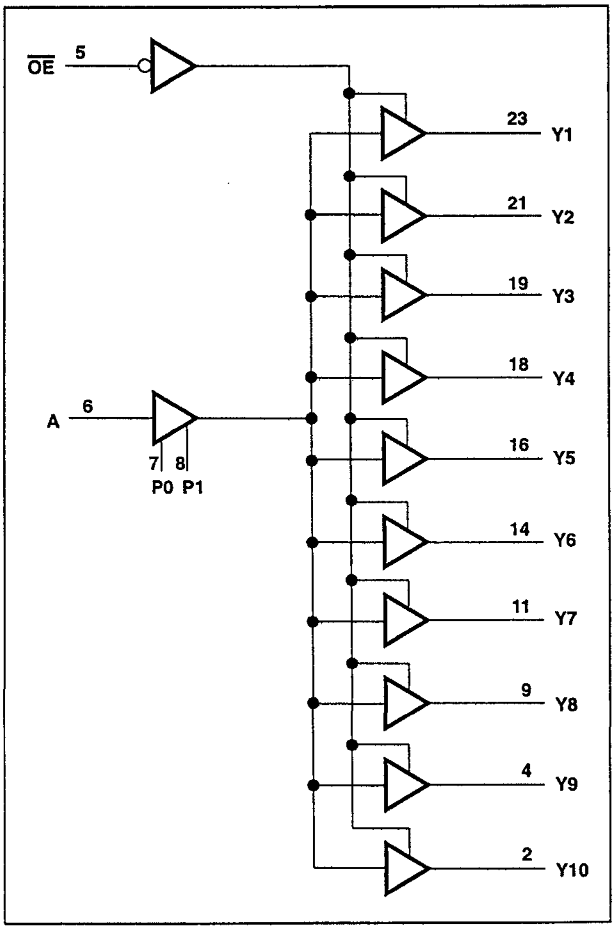
Figuur 9/9.3.2-38: Aansluitgegevens van de CDC351.

(wordt vervolgd)

9.3 Clock-drivers/clock-generatoren

Supply voltage range, V_{CC}	−0.5 V to 4.6 V
Input voltage range, V_I (see Note 1)	−0.5 V to 7 V
Voltage range applied to any output in the high state or power-off state, V_O (see Note 1)	−0.5 V to 3.6 V
Current into any output in the low state, I_O	64 mA
Input clamp current, I_{IK} ($V_I < 0$)	−18 mA
Output clamp current, I_{OK} ($V_I < 0$)	−50 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2): DB package	0.65 W
DW package	1.7 W
Storage temperature range, T_{stg}	−65 to 150°C

Tabel 9/9.3.2-58: Maximaal toegelaten waarden van de CDC351.



Figuur 9/9.3.2-41: Logisch schema (positieve logica) van de CDC351.

		MIN	MAX	UNIT
V_{CC}	Supply voltage	3	3.6	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	5.5	V
I_{OH}	High-level output current		−32	mA
I_{OL}	Low-level output current		32	mA
f_{clock}	Input clock frequency		100	MHz
T_A	Operating free-air temperature	0	70	°C

NOTE 3: Unused pins (input or I/O) must be held high or low.

Tabel 9/9.3.2-59: Aanbevolen bedrijfscondities van de CDC351.

9.3 Clock-drivers/clock-generatoren

PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
V_{IK}	V_{CC} = 3 V,	I_I = –18 mA				–1.2	V
V_{OH}	V_{CC} = 3 V,	I_{OH} = – 32 mA		2			V
V_{OL}	V_{CC} = 3 V,	I_{OL} = 32 mA				0.5	V
I_I	V_{CC} = 3.6 V,	V_I = V_{CC} or GND				±1	µA
I_O‡	V_{CC} = 3.6 V,	V_O = 2.5 V		–15		–150	mA
I_{OZ}	V_{CC} = 3.6 V,	V_O = 3 V or 0				±10	µA
I_{CC}	V_{CC} = 3.6 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high			0.3	mA
			Outputs low			25	
			Outputs disabled			0.3	
C_i	V_I = V_{CC} or GND,	V_{CC} = 3.3 V,	f = 10 MHz		4		pF
C_o	V_O = V_{CC} or GND,	V_{CC} = 3.3 V,	f = 10 MHz		6		pF

‡ Not more than one output should be tested at a time, and the duration of the test should not exceed one second.

Tabel 9/9.3.2-60: Elektrische eigenschappen van de CDC351.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC} = 3.3 V, T_A = 25°C			V_{CC} = 3 V to 3.6 V, T_A = 0°C to 70°C		UNIT
			MIN	TYP	MAX	MIN	MAX	
t_{PLH}	A	Y	3.2	3.7	4.2			ns
t_{PHL}			3	3.5	4			
t_{PZH}	$\overline{OE}$	Y	1.8	3.8	5.5	1.3	5.9	ns
t_{PZL}			1.8	3.8	5.5	1.3	5.9	
t_{PHZ}	$\overline{OE}$	Y	1.8	3.9	5.9	1.7	6.3	ns
t_{PLZ}			1.8	4.2	5.9	1.7	6.4	
$t_{sk(o)}$	A	Y		0.3	0.5		0.5	ns
$t_{sk(p)}$	A	Y		0.2	0.8		0.8	ns
$t_{sk(pr)}$	A	Y			1		1	ns
t_r	A	Y					1.5	ns
t_f	A	Y					1.5	ns

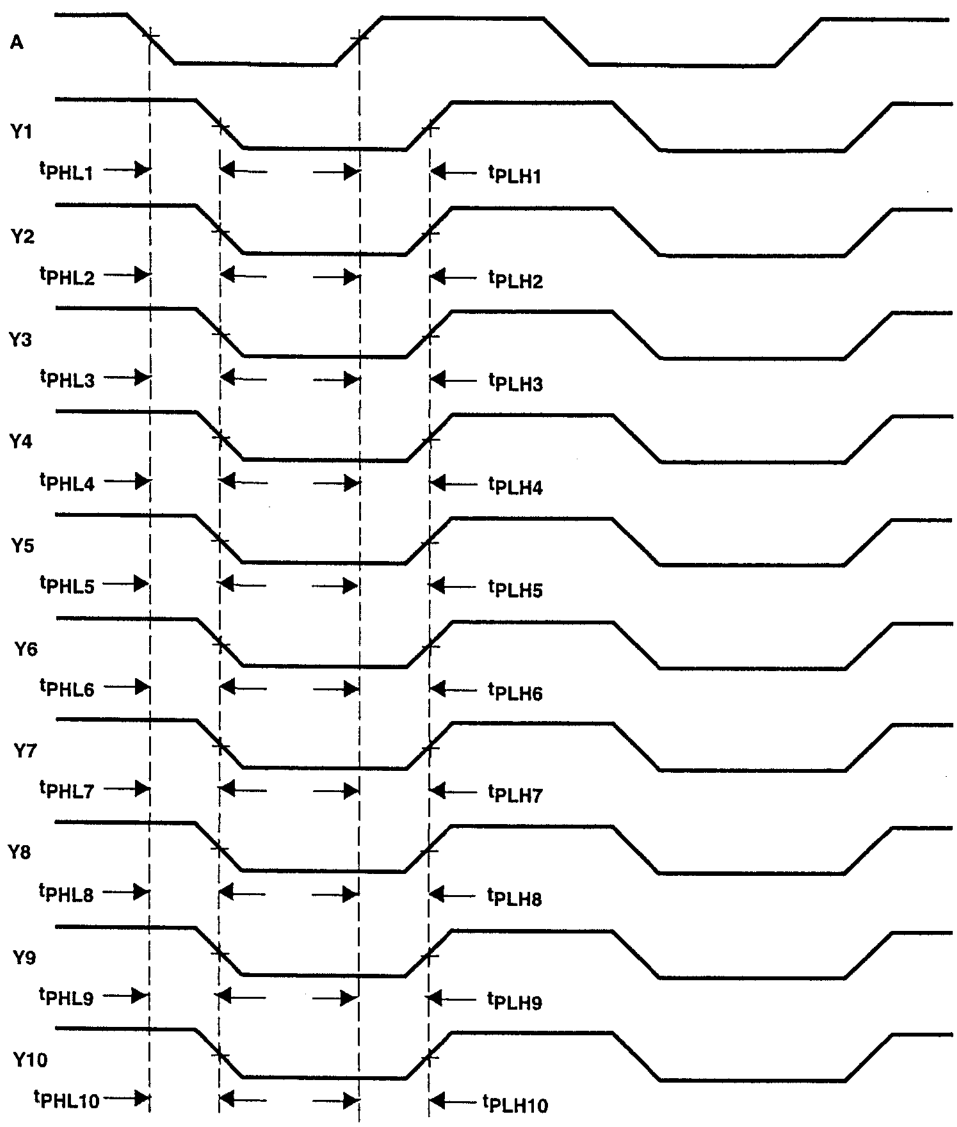
Tabel 9/9.3.2-61: Schakeltijden van de CDC351.

PARAMETER		FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
$\propto t_{PLH}(T)$	Average temperature coefficient of low to high propagation delay	A	Y		65†	ps/10°C
$\propto t_{PHL}(T)$	Average temperature coefficient of high to low propagation delay	A	Y		45†	ps/10°C
$\propto t_{PLH}(V_{CC})$	Average V_{CC} coefficient of low to high propagation delay	A	Y		–140‡	ps/ 100 mV
$\propto t_{PHL}(V_{CC})$	Average V_{CC} coefficient of high to low propagation delay	A	Y		–120‡	ps/ 100 mV

† $\propto t_{PLH}(T)$ and $\propto t_{PHL}(T)$ are virtually independent of V_{CC}.
‡ $\propto t_{PLH}(V_{CC})$ and $\propto t_{PHL}(V_{CC})$ are virtually independent of temperature.
NOTE 4: These data were extracted from characterization material and are not tested at the factory.

Tabel 9/9.3.2-62: Temperatuur- en V_{CC}-afhankelijkheid van de vertragingstijden van de CDC351.

9.3 Clock-drivers/clock-generatoren



NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest of t_{PLHn} (n = 1, 2, 3, 4, 5, 6, 7, 8, 9, 10)
- The difference between the fastest and slowest of t_{PHLn} (n = 1, 2, 3, 4, 5, 6, 7, 8, 9, 10)

B. Pulse skew, $t_{sk(p)}$, is calculated as the greater of $| t_{PLHn} - t_{PHLn} |$ (n = 1, 2, 3, 4, 5, 6, 7, 8, 9, 10).

C. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
- The difference between the fastest and slowest of t_{PLHn} (n = 1, 2, 3, 4, 5, 6, 7, 8, 9, 10) across multiple devices under identical operating conditions
- The difference between the fastest and slowest of t_{PHLn} (n = 1, 2, 3, 4, 5, 6, 7, 8, 9, 10) across multiple devices under identical operating conditions

Figuur 9/9.3.2-42: Golfvormen voor de berekening van $t_{sk(o)}$, $t_{sk(p)}$ en $t_{sk(pr)}$.

9.3 Clock-drivers/clock-generatoren

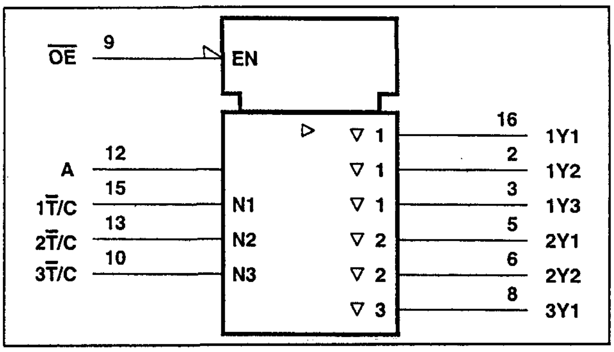
CDC391

1-lijn naar 6-lijnen clock-driver met selecteerbare polariteit en 3-state uitgangen

De CDC391 is een clock-driver die één (A) ingangssignaal verdeelt over zes (Y) 3-state uitgangen. De hierbij optredende skew is minimaal. Met behulp van de polariteitsbesturingsingangen (T̄/C) zijn verschillende combinaties van ware en complementaire clocksignalen mogelijk. Met het Output Enable-signaal (ŌĒ) kunnen de uitgangen zo nodig hoog-impedant worden gemaakt.

Technische gegevens

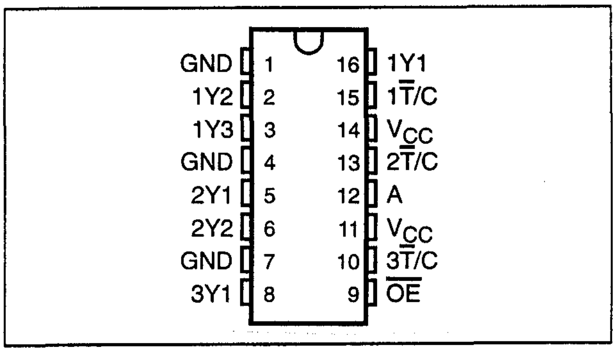
- 1-lijn naar 6-lijnen clock-driver
- kleine output-skew voor clock-distributie en clock-opwekking
- TTL-compatibele in- en uitgangen
- voedingsspanning: 5 V
- gedistribueerde V_{CC} en GND-pennen
- grote uitgangsstromen: -48 mA en +48 mA
- geringe dissipatie door BiCMOS-ontwerp
- behuizing: 16-pens Small Outline (D)
- fabrikant: Texas Instruments



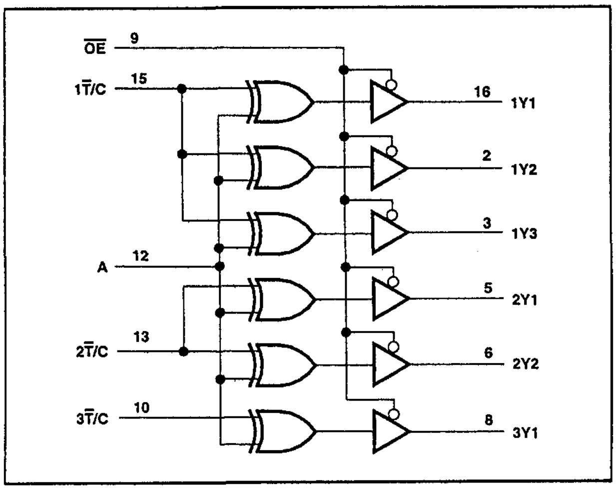
Figuur 9/9.3.2-44: Logisch symbool van de CDC391.

INPUTS			OUTPUT
ŌĒ	T̄/C	A	Y
H	X	X	Z
L	L	L	L
L	L	H	H
L	H	L	H
L	H	H	L

Tabel 9/9.3.2-63: Waarheidstabel van de CDC391.



Figuur 9/9.3.2-43: Aansluitgegevens van de CDC391.



Figuur 9/9.3.2-45: Logisch schema (positieve logica) van de CDC391.

9.3 Clock-drivers/clock-generatoren

Supply voltage range, V_{CC}	−0.5 V to 7 V
Input voltage range, V_I (see Note 1)	−0.5 V to 7 V
Voltage range applied to any output in the high state or power-off state, V_O	−0.5 V to V_{CC} + 0.5 V
Current into any output in the low state, I_O	96 mA
Input clamp current, I_{IK} ($V_I < 0$)	−18 mA
Output clamp current, I_{OK} ($V_O < 0$)	−50 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2)	0.77 W
Storage temperature range, T_{stg}	−65°C to 150°C

Tabel 9/9.3.2-64: Maximaal toegelaten waarden van de CDC391.

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.75	5	5.25	V
V_{IH}	High-level input voltage	2			V
V_{IL}	Low-level input voltage			0.8	V
V_I	Input voltage	0		V_{CC}	V
I_{OH}	High-level output current			−48	mA
I_{OL}	Low-level output current			48	mA
$\Delta t/\Delta v$	Input transition rise or fall rate			5	ns/V
f_{clock}	Input clock frequency			100	MHz
T_A	Operating free-air temperature	−40		85	°C

NOTE 3: Unused inputs must be held high or low

Tabel 9/9.3.2-65: Aanbevolen bedrijfscondities van de CDC391.

PARAMETER	TEST CONDITIONS			MIN	TYP‡	MAX	UNIT
V_{IK}	V_{CC} = 4.75 V,	I_I = −18 mA				−1.2	V
V_{OH}	V_{CC} = 4.75 V,	I_{OH} = − 48 mA		2			V
V_{OL}	V_{CC} = 4.75 V,	I_{OL} = 48 mA				0.5	V
I_I	V_{CC} = 5.25 V,	V_I = V_{CC} or GND				±1	µA
I_{OZ}	V_{CC} = 5.25 V,	V_O = V_{CC} or GND				±50	µA
I_O§	V_{CC} = 5.25 V,	V_O = 2.5 V		−15		−100	mA
I_{CC}	V_{CC} = 5.25 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high			10	mA
			Outputs low			40	
			Outputs disabled			10	
C_i	V_I = 2.5 V or 0.5 V				3		pF
C_o	V_O = 2.5 V or 0.5 V				5		pF

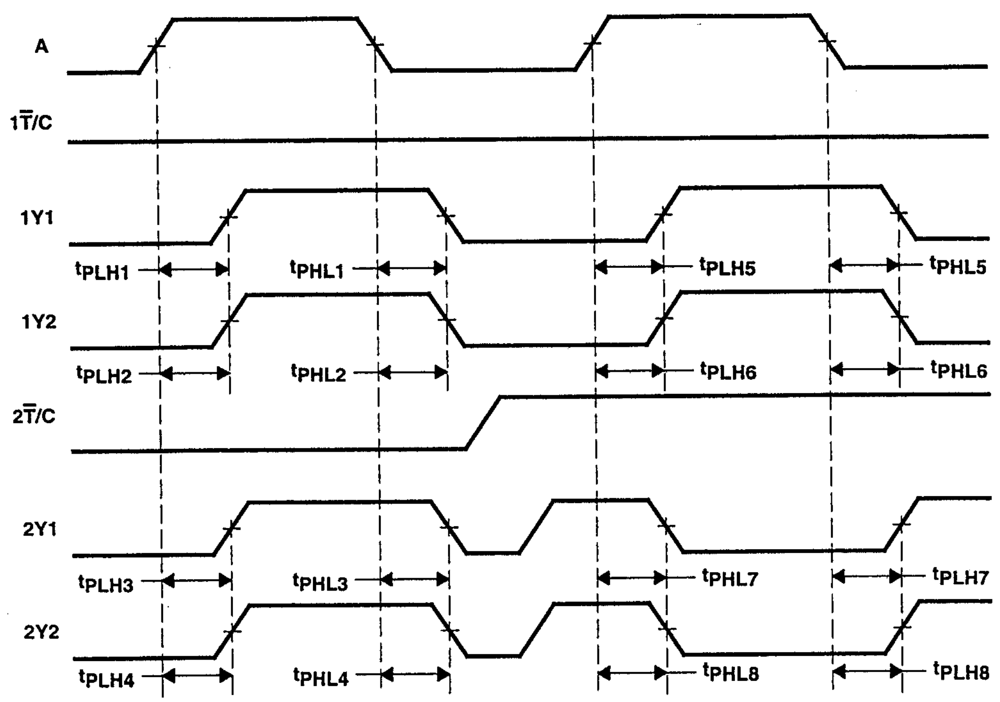
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be tested at a time, and the duration of the test should not exceed one second.

Tabel 9/9.3.2-66: Elektrische eigenschappen van de CDC391.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
t_{PLH}	A	Any Y	1.5	5	ns
t_{PHL}			1.5	5	
t_{PLH}	$\overline{T}$/C	Any Y	1.5	5	ns
t_{PHL}			1.5	5	
t_{PZH}	$\overline{OE}$	Any Y	1.5	5	ns
t_{PZL}			3	7	
t_{PHZ}	$\overline{OE}$	Any Y		5	ns
t_{PLZ}				5	
$t_{sk(o)}$	A	Any Y (same phase)		0.5	ns
		Any Y (any phase)		1	
$t_{sk(p)}$	A	Any Y		1	ns
t_r				1.5	ns
t_f				1.5	ns

Tabel 9/9.3.2-67: Schakeltijden van de CDC391.

9.3 Clock-drivers/clock-generatoren



NOTES: A. Output skew, $t_{sk(o)}$, from A to any Y (same phase), can be measured only between outputs for which the respective polarity-control inputs (T̄/C) are at the same logic level. It is calculated as the greater of:
- The difference between the fastest and slowest of t_{PLH} from A↑ to any Y (e.g., t_{PLHn}, n = 1 to 4; or t_{PLHn}, n = 5 to 6)
- The difference between the fastest and slowest of t_{PHL} from A↓ to any Y (e.g., t_{PHLn}, n = 1 to 4; or t_{PHLn}, n = 5 to 6)
- The difference between the fastest and slowest of t_{PLH} from A↓ to any Y (e.g., t_{PLHn}, n = 7 to 8)
- The difference between the fastest and slowest of t_{PHL} from A↑ to any Y (e.g., t_{PHLn}, n = 7 to 8)

B. Output skew, $t_{sk(o)}$, from A to any Y (any phase), can be measured between outputs for which the respective polarity-control inputs (T̄/C) are at the same or different logic levels. It is calculated as the greater of:
- The difference between the fastest and slowest of t_{PLH} from A↑ to any Y or t_{PHL} from A↑ to any Y (e.g., t_{PLHn}, n = 1 to 4; or t_{PLHn}, n = 5 to 6, and t_{PHLn}, n = 7 to 8)
- The difference between the fastest and slowest of t_{PHL} from A↓ to any Y or t_{PLH} from A↓ to any Y (e.g., t_{PHLn}, n = 1 to 4; or t_{PHLn}, n = 5 to 6, and t_{PLHn}, n = 7 to 8)

Figuur 9/9.3.2-46: Golfvormen voor de berekening van $t_{sk(o)}$.

CDC392

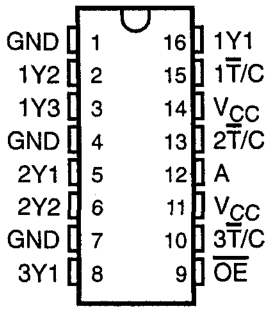
1-lijn naar 6-lijnen clock-driver met selecteerbare polariteit en 3-state uitgangen

De CDC392 is, net als de CDC391, een clock-driver die één (A) ingangssignaal verdeelt over zes (Y) 3-state uitgangen. De uitgangen kunnen hoog-impedant worden gemaakt met het Output Enable-signaal (O̅E̅). De skew is hierbij minimaal. Met de besturingsingangen voor polariteit (T̄/C) kunnen verschillende combinaties van ware en complementaire clocksignalen worden ingesteld.

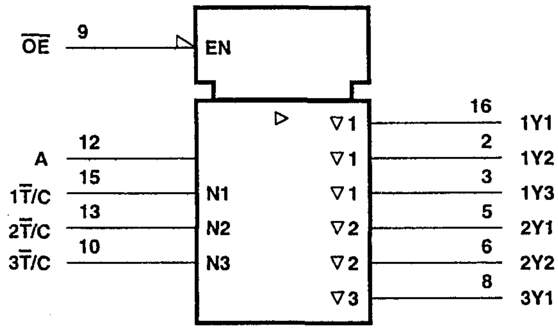
Technische gegevens

- 1-lijn naar 6-lijnen clock-driver
- kleine output-skew voor clock-distributie en clock-opwekking
- TTL-compatibele in- en CMOS-compatibele uitgangen
- voedingsspanning: 5 V
- gedistribueerde V_{CC} en GND-pennen
- grote uitgangsstromen: -32 mA en +32 mA
- geringe dissipatie door BiCMOS-ontwerp
- behuizing: 16-pens Small Outline (D)
- fabrikant: Texas Instruments

9.3 Clock-drivers/clock-generatoren



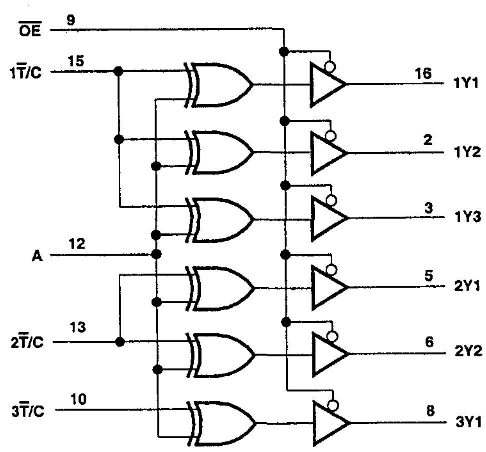
Figuur 9/9.3.2-47: Aansluitgegevens van de CDC392.



Figuur 9/9.3.2-48: Logisch symbool van de CDC392.

INPUTS			OUTPUT
$\overline{OE}$	T̄/C	A	Y
H	X	X	Z
L	L	L	L
L	L	H	H
L	H	L	H
L	H	H	L

Tabel 9/9.3.2-68: Waarheidstabel van de CDC392.



Figuur 9/9.3.2-49: Logisch schema (positieve logica) van de CDC392.

Supply voltage range, V_{CC}	−0.5 V to 7 V
Input voltage range, V_I (see Note 1)	−0.5 V to 7 V
Voltage range applied to any output in the high state or power-off state, V_O	−0.5 V to V_{CC} + 0.5 V
Current into any output in the low state, I_O	64 mA
Input clamp current, I_{IK} ($V_I < 0$)	−18 mA
Output clamp current, I_{OK} ($V_O < 0$)	−50 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2)	0.77 W
Storage temperature range, T_{stg}	−65°C to 150°C

Tabel 9/9.3.2-69: Maximaal toegelaten waarden van de CDC392.

9.3 Clock-drivers/clock-generatoren

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.75	5	5.25	V
V_{IH}	High-level input voltage	2			V
V_{IL}	Low-level input voltage			0.8	V
V_I	Input voltage	0		V_{CC}	V
I_{OH}	High-level output current			−32	mA
I_{OL}	Low-level output current			32	mA
$\Delta t/\Delta v$	Input transition rise or fall rate			5	ns/V
f_{clock}	Input clock frequency			90	MHz
T_A	Operating free-air temperature	−40		85	°C

NOTE 3: Unused inputs must be held high or low

Tabel 9/9.3.2-70: Aanbevolen bedrijfscondities van de CDC392.

PARAMETER	TEST CONDITIONS			MIN	TYP†	MAX	UNIT
V_{IK}	V_{CC} = 4.75 V,	I_I = −18 mA				−1.2	V
V_{OH}	V_{CC} = 4.75 V,	I_{OH} = − 32 mA		3.85			V
V_{OL}	V_{CC} = 4.75 V,	I_{OL} = 32 mA				0.55	V
I_I	V_{CC} = 5.25 V,	V_I = V_{CC} or GND				±1	µA
I_{OZ}	V_{CC} = 5.25 V,	V_O = V_{CC} or GND				±50	µA
I_{CC}	V_{CC} = 5.25 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high			10	mA
			Outputs low			40	
			Outputs disabled			10	
C_i	V_I = 2.5 V or 0.5 V				3		pF
C_o	V_O = V_{CC} or GND				7		pF

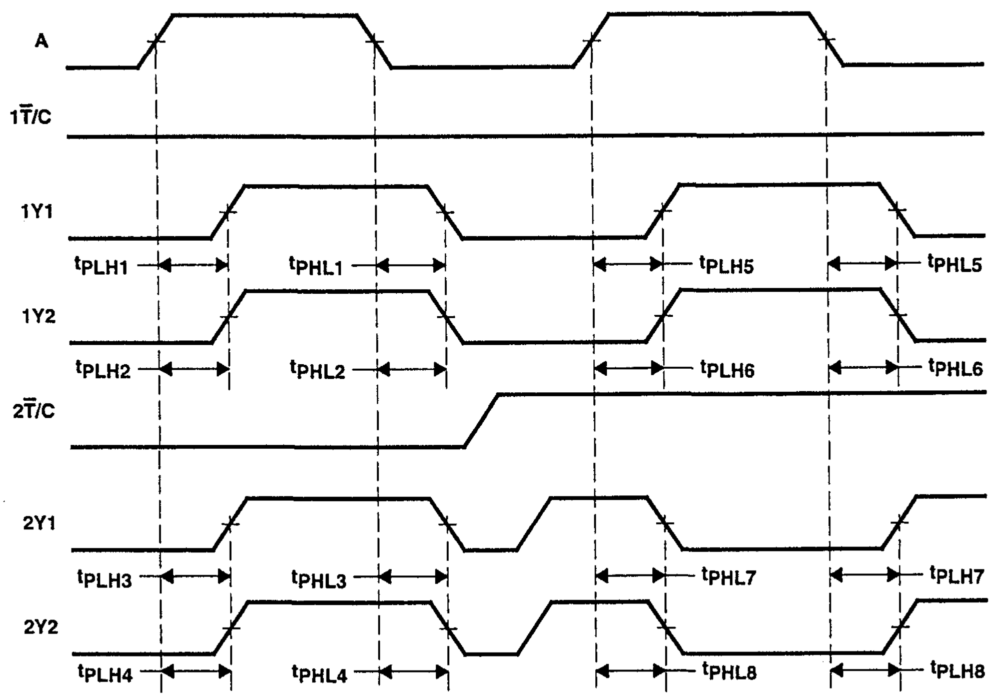
† All typical values are at V_{CC} = 5 V, T_A = 25°C

Tabel 9/9.3.2-71: Elektrische eigenschappen van de CDC392.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	TYP	MAX	UNIT
t_{PLH}	A	Any Y	2		6.5	ns
t_{PHL}			1.5		5	
t_{PLH}	$\overline{T}$/C	Any Y	1.5		5	ns
t_{PHL}			1.5		5	
t_{PZH}	$\overline{OE}$	Any Y	1.5		6	ns
t_{PZL}			3		8	
t_{PHZ}	$\overline{OE}$	Any Y	1.5		5	ns
t_{PLZ}			1.5		5	
$t_{sk(o)}$	A	Any Y (same phase)			0.6	ns
		Any Y (any phase)			2.2	
t_r				1.4		ns
t_f				0.83		ns

Tabel 9/9.3.2-72: Schakeltijden van de CDC392.

9.3 Clock-drivers/clock-generatoren



NOTES: A. Output skew, $t_{sk(o)}$, from A to any Y (same phase), can be measured only between outputs for which the respective polarity-control inputs (T̄/C) are at the same logic level. It is calculated as the greater of:

- The difference between the fastest and slowest of t_{PLH} from A↑ to any Y (e.g., t_{PLHn}, n = 1 to 4; or t_{PLHn}, n = 5 to 6)
- The difference between the fastest and slowest of t_{PHL} from A↓ to any Y (e.g., t_{PHLn}, n = 1 to 4; or t_{PHLn}, n = 5 to 6)
- The difference between the fastest and slowest of t_{PLH} from A↓ to any Y (e.g., t_{PLHn}, n = 7 to 8)
- The difference between the fastest and slowest of t_{PHL} from A↑ to any Y (e.g., t_{PHLn}, n = 7 to 8)

B. Output skew, $t_{sk(o)}$, from A to any Y (any phase), can be measured between outputs for which the respective polarity-control inputs (T̄/C) are at the same or different logic levels. It is calculated as the greater of:

- The difference between the fastest and slowest of t_{PLH} from A↑ to any Y or t_{PHL} from A↑ to any Y (e.g., t_{PLHn}, n = 1 to 4; or t_{PLHn}, n = 5 to 6, and t_{PHLn}, n = 7 to 8)
- The difference between the fastest and slowest of t_{PHL} from A↓ to any Y or t_{PLH} from A↓ to any Y (e.g., t_{PHLn}, n = 1 to 4; or t_{PHLn}, n = 5 to 6, and t_{PLHn}, n = 7 to 8)

Figuur 9/9.3.2-50: Golfvormen voor de berekening van $t_{sk(o)}$.

CDC509

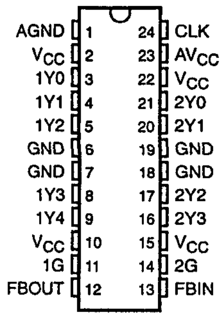
phase-lock loop 9-lijns clock-driver

De CDC509 is een high-performance phase-lock loop (PLL) clock-driver met kleine skew en weinig jitter. Voor de precieze uitlijning (zowel in frequentie als in fase) van de feedback-uitgang (FBOUT) op het clock-ingangssignaal wordt een PLL toegepast. De CDC509 is speciaal ontworpen voor gebruik met synchrone DRAM's. Hij kan maximaal 5 clock-belastingen per uitgang aansturen en werkt op 3,3 V. Door het gebruik van één bank met 5 uitgangen en één bank met 4 uitgangen ontstaan negen "low-skew", "low-jitter" kopieën van CLK. De duty-cycles van de uitgangssignalen bedragen 50 %, onafhankelijk van de duty-cycle van CLK. Elke bank met uitgangen kan apart worden gesperd of vrijgegeven door middel van de besturingssignalen 1G en 2G. Als de G-ingangen HOOG zijn, schakelen de uitgangen met dezelfde frequentie en fase als CLK. Zijn de G-ingangen LAAG, dan zijn de uitgangen gesperd en bevinden zij zich in de logisch-LAGE toestand. In tegenstelling tot andere componenten die PLL's bevatten, heeft de

CDC509 geen externe RC-netwerken nodig. Het loop-filter voor de PLL bevindt zich op de chip. Omdat de CDC509 op een PLL is gebaseerd, is er enige tijd nodig om stabilisatie van de fase-lock van het feedback signaal op het referentiesignaal te verkrijgen. Deze stabilisatietijd is nodig na het opkomen van de voedingsspanning en het aanbrengen van een signaal met een vaste frequentie en fase op de CLK-pen en na eventuele veranderingen van deze signalen. De PLL kan voor testdoeleinden worden omzeild door AV_{CC} aan GND te leggen.

Technische gegevens

- phase-lock loop clock-driver voor synchrone DRAM's
- 1-lijn naar 1 bank van 5 en 1 bank van 4 lijnen
- aparte Output Enable voor elke bank
- geen extern RC-netwerk nodig
- externe feedback-pen (FBIN) voor synchronisatie van de uitgangen op de clock-ingang
- LVTTL-compatibele in- en uitgangen
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- behuizing: 24-pens Thin Shrink Small Outline (PW)
- fabrikant: Texas Instruments

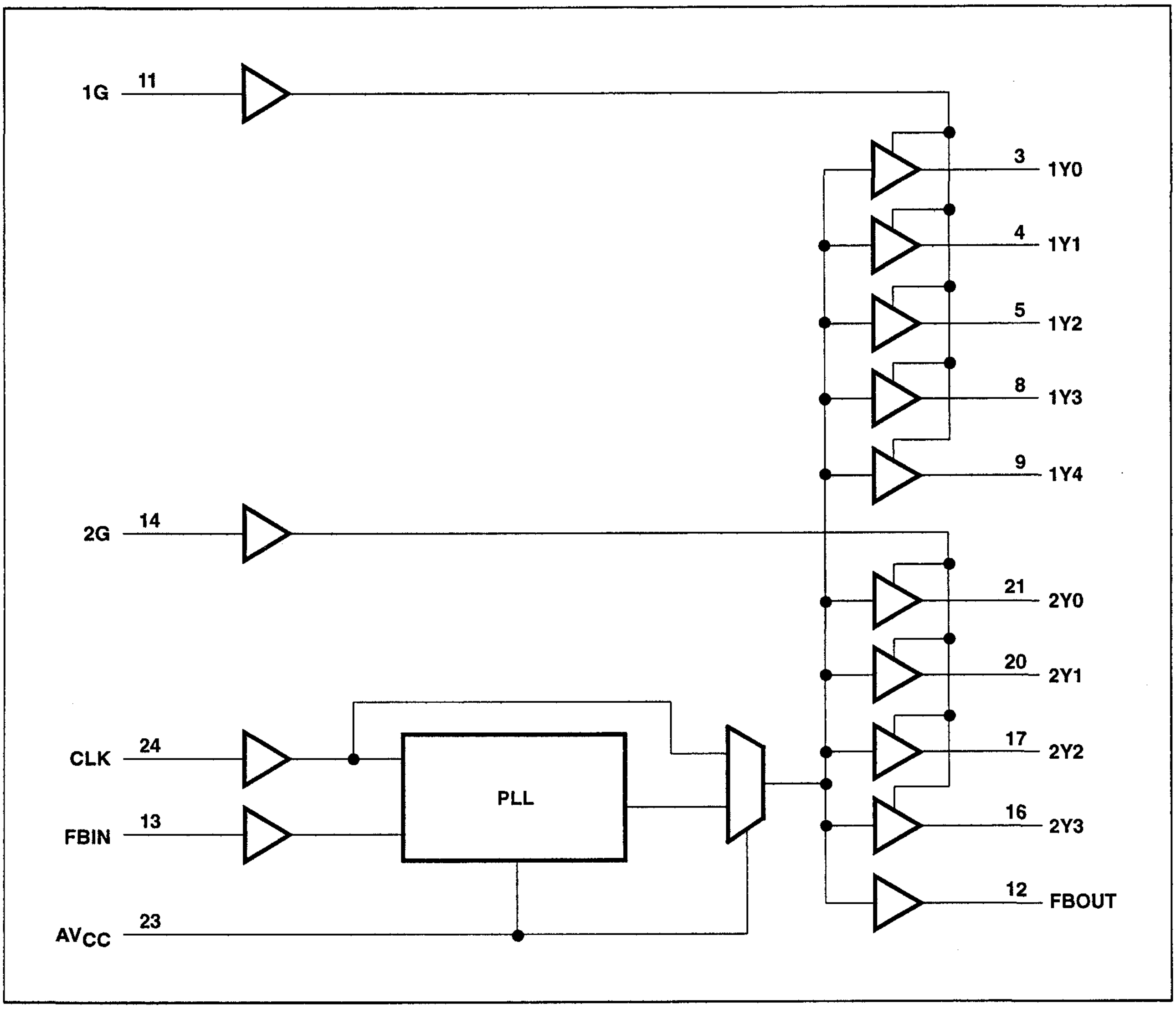


Figuur 9/9.3.2-51: Aansluitgegevens van de CDC509.

TERMINAL NAME	TERMINAL NO.	TYPE	DESCRIPTION
CLK	24	I	Clock input. CLK provides the clock signal to be distributed by the CDC509 clock driver. CLK is used to provide the reference signal to the integrated PLL that generates the clock output signals. CLK must have a fixed frequency and fixed phase for the PLL to obtain phase lock. Once the circuit is powered up and a valid CLK signal is applied, a stabilization time is required for the PLL to phase lock the feedback signal to its reference signal.
FBIN	13	I	Feedback input. FBIN provides the feedback signal to the internal PLL. FBIN must be hard-wired to FBOUT to complete the PLL. The integrated PLL synchronizes CLK and FBIN so that there is nominally zero phase error between CLK and FBIN.
1G	11	I	Output bank enable. 1G is the output enable for outputs 1Y(0:4). When 1G is low, outputs 1Y(0:4) are disabled to a logic-low state. When 1G is high, all outputs 1Y(0:4) are enabled and switch at the same frequency as CLK.
2G	14	I	Output bank enable. 2G is the output enable for outputs 2Y(0:3). When 2G is low, outputs 2Y(0:3) are disabled to a logic low state. When 2G is high, all outputs 2Y(0:3) are enabled and switch at the same frequency as CLK.
FBOUT	12	O	Feedback output. FBOUT is dedicated for external feedback. It switches at the same frequency as CLK. When externally wired to FBIN, FBOUT completes the feedback loop of the PLL.
1Y(0:4)	3, 4, 5, 8, 9	O	Clock outputs. These outputs provide low-skew copies of CLK. Output bank 1Y(0:4) is enabled via the 1G input. These outputs can be disabled to a logic-low state by deasserting the 1G control input.
2Y(0:3)	16, 17, 20 21	O	Clock outputs. These outputs provide low-skew copies of CLK. Output bank 2Y(0:3) is enabled via the 2G input. These outputs can be disabled to a logic-low state by deasserting the 2G control input.
AV_{CC}	23	Power	Analog power supply. AV_{CC} provides the power reference for the analog circuitry. In addition, AV_{CC} can be used to bypass the PLL for test purposes. When AV_{CC} is strapped to ground, PLL is bypassed and CLK is buffered directly to the device outputs.
AGND	1	Ground	Analog ground. AGND provides the ground reference for the analog circuitry.
V_{CC}	2, 10, 15, 22	Power	Power supply
GND	6, 7, 18, 19	Ground	Ground

Tabel 9/9.3.2-73: Functies van de signalen.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-52: Logisch schema (positieve logica) van de CDC509.

INPUTS			OUTPUTS		
1G	2G	CLK	1Y (0:4)	2Y (0:3)	FBOUT
X	X	L	L	L	L
L	L	H	L	L	H
L	H	H	L	H	H
H	L	H	H	L	H
H	H	H	H	H	H

Tabel 9/9.3.2-74: Waarheidstabel van de CDC509.

Supply voltage range, V_{CC} .... –0.5 V to 4.6 V
Input voltage range, V_I (see Note 1) .... –0.5 V to 6.5 V
Voltage range applied to any output in the high
or low state, V_O (see Notes 1 and 2) .... -0.5 V to V_{CC} + 0.5 V
Input clamp current, I_{IK} ($V_I < 0$) .... –50 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) .... ±50 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC}) .... ±50 mA
Continuous current through each V_{CC} or GND .... ±100 mA
Maximum power dissipation at T_A = 55°C (in still air) .... 0.7 W
Storage temperature range, T_{stg} .... –65°C to 150°C

Tabel 9/9.3.2-75: Maximaal toegelaten waarden van de CDC509.

9.3 Clock-drivers/clock-generatoren

		MIN	MAX	UNIT
V_{CC}	Supply voltage	3	3.6	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	V_{CC}	V
I_{OH}	High-level output current		−20	mA
I_{OL}	Low-level output current		20	mA
T_A	Operating free-air temperature	0	70	°C

NOTE 4: Unused inputs must be held high or low

Tabel 9/9.3.2-76: Aanbevolen bedrijfscondities van de CDC509.

		MIN	MAX	UNIT
f_{clock}	Clock frequency	25	125	MHz
	Input clock duty cycle	40%	60%	
	Stabilization time§		1	ms

Tabel 9/9.3.2-78: Benodigde timing voor de CDC509.

PARAMETER	TEST CONDITIONS		V_{CC}	MIN	TYP†	MAX	UNIT
V_{IK}	I_I = −18 mA		3 V			−1.2	V
V_{OH}	I_{OH} = −100 µA		MIN to MAX	V_{CC}−0.2			V
	I_{OH} = −20 mA		3 V	2.4			
V_{OL}	I_{OL} = 100 µA		MIN to MAX			0.2	V
	I_{OL} = 20 mA		3 V			0.55	
I_I	V_I = V_{CC} or GND		3.6 V			±5	µA
I_{CC}‡	V_I = V_{CC} or GND,	I_O = 0, Outptus high or low	3.6 V			10	µA
ΔI_{CC}	One input at V_{CC} − 0.6 V,	Other inputs at V_{CC} or GND	3.3 V to 3.6 V			500	µA
C_i	V_I = V_{CC} or GND		3.3 V		4		pF
C_o	V_O = V_{CC} or GND		3.3 V		6		pF

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ For I_{CC} of AV_{CC}, see Figure 5.

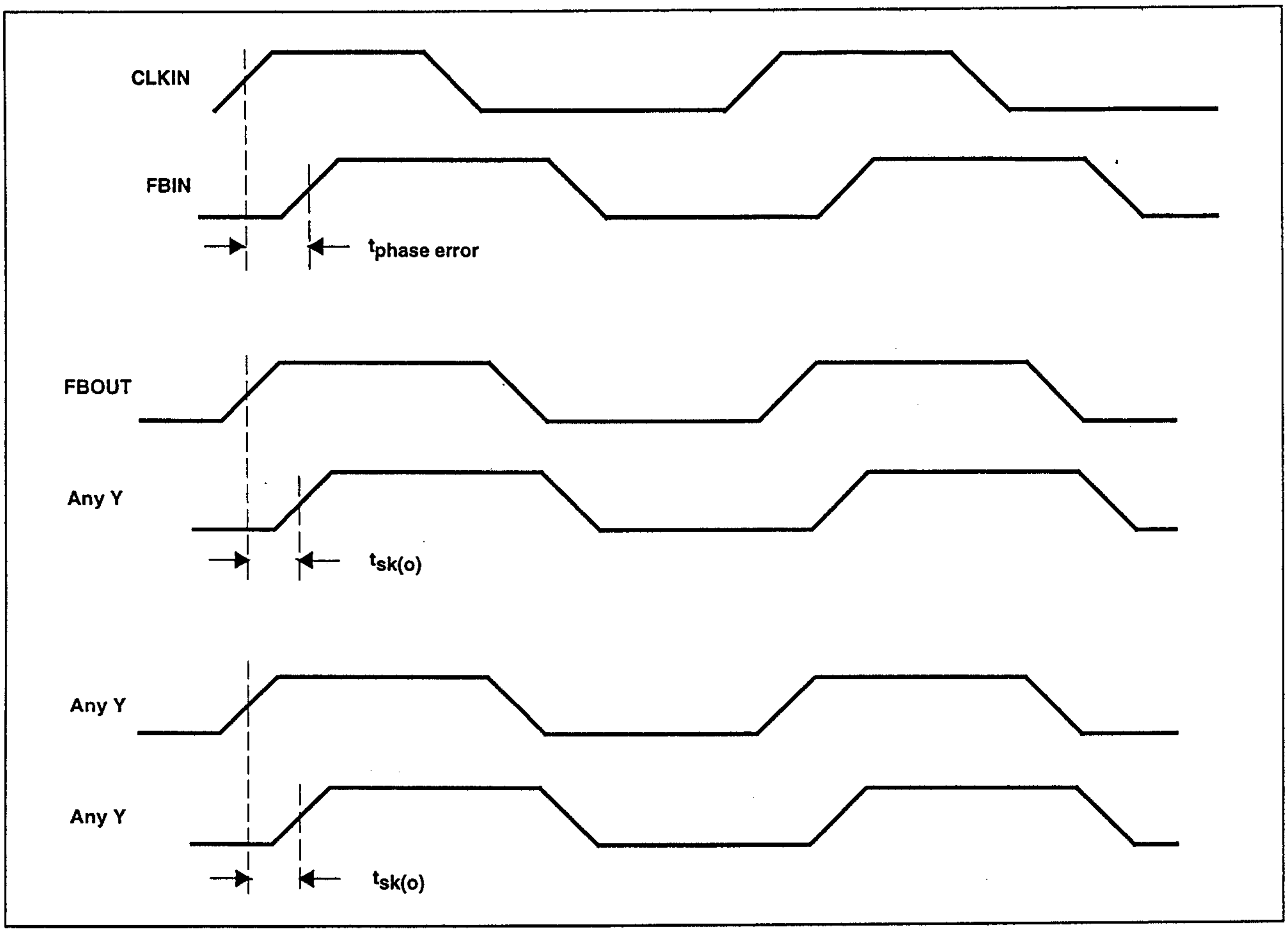
Tabel 9/9.3.2-77: Elektrische eigenschappen van de CDC509.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC} = 3.3 V ± 0.165 V			V_{CC} = 3.3 V ± 0.3 V			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
$t_{phase\ error}$, reference (see Figure 3)	66 MHz < CLKIN↑ < 100 MHz	FBIN↑					100...480		ps
$t_{phase\ error}$ – jitter, (see Note 6)	CLKIN↑ = 100 MHz	FBIN↑	220		480		340		ps
$t_{sk(o)}$‡	Any Y or FBOUT	Any Y or FBOUT						200	ps
$Jitter_{(pk-pk)}$	F(clkin > 66 MHz)	Any Y or FBOUT				−100		100	ps
Duty cycle, reference (see Figure 4)	F(clkin ≤ 66 MHz)	Any Y or FBOUT				45%		55%	
	F(clkin > 66 MHz)	Any Y or FBOUT				43%		57%	
t_r		Any Y or FBOUT		1.1	1.5	0.7		1.6	ns
t_f		Any Y or FBOUT		0.8	1.3	0.5		1.5	ns

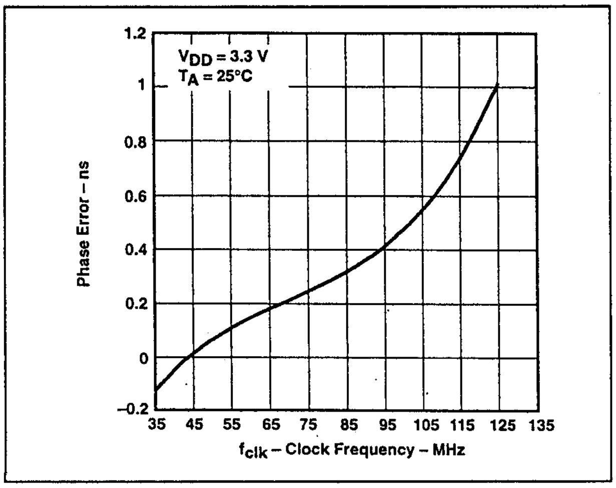
† This parameters are not production tested.
‡ The $t_{sk(o)}$ specification is only valid for equal loading of all outputs.
NOTES: 5. The specifications for parameters in this table are applicable only after any appropriate stabilization time has elapsed.
6. Phase error does not include jitter. The total phase error is 120 ps to 580 ps for the 5% V_{CC} range.

Tabel 9/9.3.2-79: Schakeltijden van de CDC509.

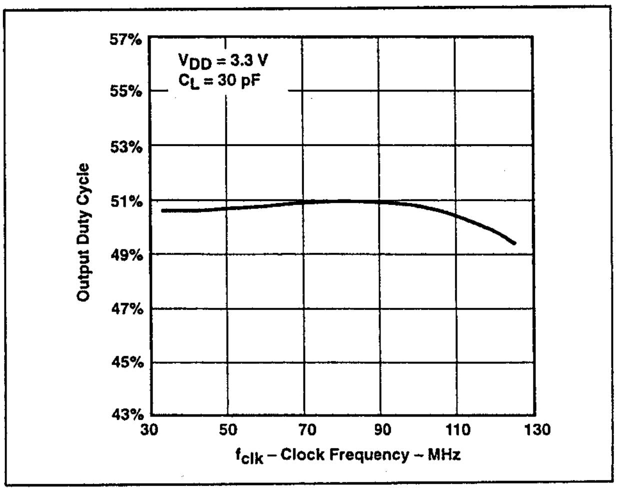
9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-53: Golfvormen voor de berekening van fasefout en skew.



Figuur 9/9.3.2-54: Fasefout als functie van de frequentie.



Figuur 9/9.3.2-55: Duty-cylce van het uitgangssignaal als functie van de frequentie.

9.3 Clock-drivers/clock-generatoren

CDC516

phase-lock loop 16-lijns clock-driver

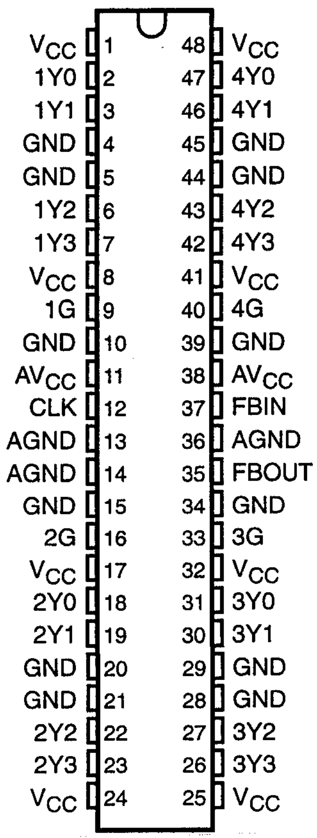
Ook de CDC516 is een high-performance phase-lock loop (PLL) clock-driver met kleine skew en zeer weinig jitter. Om de feedback-uitgang (FBOUT) precies (zowel in frequentie als in fase) op het clock-ingangssignaal uit te lijnen wordt een PLL gebruikt. De CDC516 is speciaal bedoeld voor toepassing met synchrone DRAM's en werkt op 3,3 V.

Elke uitgang kan met maximaal 5 clock-belastingen worden belast. Er zijn vier banken met elk vier uitgangen, zodat er in totaal 16 low-skew, low-jitter kopieën van de ingangsclock zijn. De duty-cycles van de uitgangssignalen bedragen 50 %, onafhankelijk van de duty-cycle van CLK. Elke uitgangsbank kan apart worden gesperd of vrijgegeven door middel van de besturingssignalen 1G, 2G, 3G en 4G. Als de G-ingangen HOOG zijn, schakelen de uitgangen met dezelfde frequentie en fase als CLK. Zijn de G-ingangen LAAG, dan zijn de uitgangen gesperd en bevinden zij zich in een logische LAAG toestand.

In tegenstelling tot andere componenten die PLL's bevatten, heeft de CDC516 geen externe RC-netwerken nodig. Het loop-filter voor de PLL bevindt zich op de chip. Omdat de CDC516 op een PLL is gebaseerd, is voor de stabilisatie van de fase-lock van het feedback signaal op het referentiesignaal enige tijd nodig. Deze tijd moet in acht worden genomen na het opkomen van de voedingsspanning en het aanbrengen van een signaal met een vaste frequentie en fase op de CLK-pen (en na eventuele veranderingen van deze signalen). De PLL kan voor testdoeleinden worden omzeild door AV_{CC} aan GND te leggen.

Technische gegevens

- phase-lock loop clock-driver voor synchrone DRAM's
- 1-lijn naar 4 banken van 4 lijnen
- aparte Output Enable voor elke bank
- geen extern RC-netwerk nodig
- externe feedback-pen (FBIN) voor synchronisatie van de uitgangen op de clock-ingang
- LVTTL-compatibele in- en uitgangen
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- behuizing: 48-pens Thin Shrink Small Outline (DGG)
- fabrikant: Texas Instruments



Figuur 9/9.3.2-56: Aansluitgegevens van de CDC516.

9.3 Clock-drivers/clock-generatoren

INPUTS					OUTPUTS				
1G	2G	3G	4G	CLK	1Y (0:3)	2Y (0:3)	3Y (0:3)	4Y (0:3)	FBOUT
X	X	X	X	L	L	L	L	L	L
L	L	L	L	H	L	L	L	L	H
L	L	L	H	H	L	L	L	H	H
L	L	H	L	H	L	L	H	L	H
L	L	H	H	H	L	L	H	H	H
L	H	L	L	H	L	H	L	L	H
L	H	L	H	H	L	H	L	H	H
L	H	H	L	H	L	H	H	L	H
L	H	H	H	H	L	H	H	H	H
H	L	L	L	H	H	L	L	L	H
H	L	L	H	H	H	L	L	H	H
H	L	H	L	H	H	L	H	L	H
H	L	H	H	H	H	L	H	H	H
H	H	L	L	H	H	H	L	L	H
H	H	L	H	H	H	H	L	H	H
H	H	H	L	H	H	H	H	L	H
H	H	H	H	H	H	H	H	H	H

Figuur 9/9.3.2-57: Waarheidstabel van de CDC516.

CDC536

phase-lock loop 6-lijns clock-driver

De CDC536 is een high-performance phase-lock loop (PLL) clock-driver met kleine skew en weinig jitter. Voor de precieze uitlijning (van frequentie en fase) van de clock-uitgangen op het clock-ingangssignaal (CLKIN) wordt een PLL toegepast. De CDC536 is speciaal ontwikkeld voor gebruik met synchrone DRAM's en populaire microprocessoren bij snelheden van 50 MHz tot 100 MHz of lager (tot 25 MHz), waarbij de uitgangen zijn geconfigureerd op de halve frequentie. De CDC536 werkt op 3,3 V en kan een 50 Ω transmissielijn aansturen.

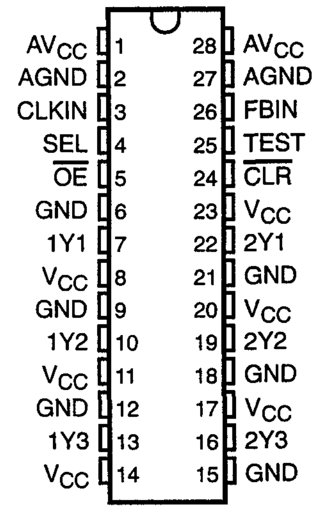
De feedback-ingang (FBIN) wordt gebruikt om de uitgangs-clocksignalen in fase en frequentie op de ingangsclock te synchroniseren. Daarom moet één van de zes uitgangs-clocks op FBIN worden aangesloten. De hiervoor gebruikte uitgang wordt op dezelfde frequentie als CLKIN gesynchroniseerd.

De Y-uitgangen kunnen worden geconfigureerd om in fase en op dezelfde frequentie als CLKIN te schakelen. Met de select-ingang (SEL) kunnen drie Y-uitgangen worden ingesteld om op de helft of het dubbele van de CLKIN-frequentie te schakelen. Dit is afhankelijk van de uitgangspen die op FBIN is aangesloten (zie de tabellen 9/9.3.2-81 en -82). De uitgangssignalen hebben duty-cycles van 50 %, onafhankelijk van de duty-cycle van CLK. De toestand van de uitgangen wordt geregeld met Output-Enable ($\overline{OE}$: is $\overline{OE}$ HOOG, dan zijn de uitgangen hoogimpedant; is $\overline{OE}$ LAAG, dan zijn de uitgangen aktief. $\overline{CLR}$ wordt op de negatieve flank getriggerd en kan worden gebruikt om de uitgangen die op de halve frequentie werken te resetten. TEST wordt in de fabriek gebruikt om de CDC536 te testen (waarbij de PLL wordt omzeild). TEST dient dan ook aan GND te worden gelegd. In tegenstelling tot andere componenten die PLL's bevatten, heeft de CDC536 geen externe RC-componenten nodig. Het loop-filter voor de PLL bevindt zich op de chip. Omdat de CDC536 op een PLL is gebaseerd, heeft de stabilisatie van de fase-lock van het feedback signaal op het referentiesignaal enige tijd nodig. Deze tijd moet worden gewacht na het opkomen van de voedingsspanning en het aanbrengen van een signaal met een vaste frequentie en fase op de CLKIN-pen (en na eventuele veranderingen van deze signalen).

Technische gegevens

- phase-lock loop clock-driver voor synchrone DRAM's en high-speed microprocessor
- 1-lijn naar 6-lijnen clock-driver
- select-ingang voor instelling van 3 uitgangen op halve of dubbele frequentie
- geen extern RC-netwerk nodig
- externe feedback-pen (FBIN) voor synchronisatie van de uitgangen op de clock-ingang
- TTL-compatibele ingangen
- LVTTL-compatibele uitgangen
- uitgangen geschikt voor 50 Ω transmissielijnen
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- geringe dissipatie door BiCMOS-ontwerp
- behuizing: 28-pens Shrink Small Outline (DB of DL)
- fabrikant: Texas Instruments

9.3 Clock-drivers/clock-generatoren

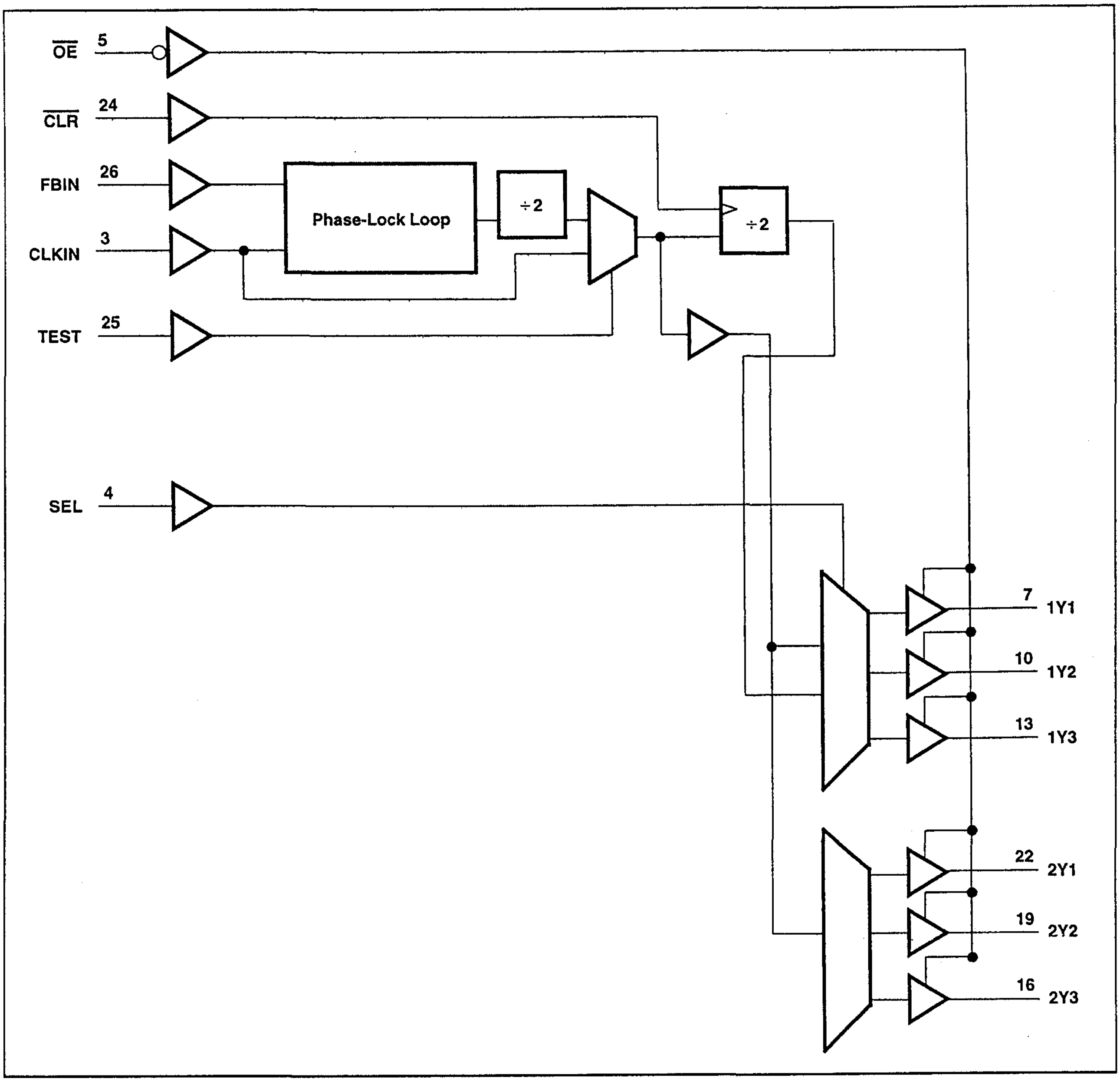


Figuur 9/9.3.2-58: Aansluitgegevens van de CDC536.

TERMINAL NAME	TERMINAL NO.	I/O	DESCRIPTION
CLKIN	3	I	Clock input. CLKIN provides the clock signal to be distributed by the CDC536 clock-driver circuit. CLKIN is used to provide the reference signal to the integrated phase-lock loop that generates the clock output signals. CLKIN must have a fixed frequency and fixed phase in order for the phase-lock loop to obtain phase lock. Once the circuit is powered up and a valid CLKIN signal is applied, a stabilization time is required for the phase-lock loop to phase lock the feedback signal to its reference signal.
$\overline{CLR}$	24	I	Clear. $\overline{CLR}$ is used to reset the VCO/4 reference frequency. $\overline{CLR}$ is negative-edge triggered and should be strapped to V_{CC} or GND for normal operation.
FBIN	26	I	Feedback input. FBIN provides the feedback signal to the internal PLL. FBIN must be hard wired to one of the six clock outputs to provide frequency and phase lock. The internal PLL adjusts the output clocks to obtain zero phase delay between the FBIN and differential CLKIN inputs.
$\overline{OE}$	5	I	Output enable. $\overline{OE}$ is the output enable for all outputs. When $\overline{OE}$ is low, all outputs are enabled. When $\overline{OE}$ is high, all outputs are in the high-impedance state. Since the feedback signal for the phase-lock loop is taken directly from an output, placing the outputs in the high-impedance state interrupts the feedback loop; therefore, when a high-to-low transition occurs at $\overline{OE}$, enabling the output buffers, a stabilization time is required before the phase-lock loop obtains phase lock.
SEL	4	I	Output configuration select. SEL selects the output configuration for each output bank (e.g. 1×, 1/2×, or 2×). (see Tables 1 and 2).
TEST	25	I	TEST is used to bypass the phase-lock loop circuitry for factory testing of the device. When TEST is low, all outputs operate using the PLL circuitry. When TEST is high, the outputs are placed in a test mode that bypasses the PLL circuitry. TEST should be grounded for normal operation.
1Y1−1Y3	7, 10, 13	O	These outputs are configured by SEL to transmit one-half or one-fourth the frequency of the VCO. The relationship between the CLKIN frequency and the output frequency is dependent on SEL. The duty cycle of the Y output signals is nominally 50%, independent of the duty cycle of the CLKIN signal. Since the phase of the output signals configured as half-frequency outputs cannot be determined at power up, $\overline{CLR}$ is provided to allow the outputs of multiple CDC536 circuits operating at half-frequency to be reset to the same phase.
2Y1−2Y3	22, 19, 16	O	These outputs transmit one-half the frequency of the VCO. The relationship between the CLKIN frequency and the output frequency is dependent on the frequency of the output being fed back to FBIN. The duty cycle of the Y output signals is nominally 50% independent of the duty cycle of the CLKIN signal.

Tabel 9/9.3.2-80: Functies van de signalen.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-59: Logisch schema (positieve logica) van de CDC536.

Uitgangsconfiguraties

De spannings gestuurde oscillator (VCO) in de CDC536 heeft een frequentiebereik van 100 MHz tot 200 MHz (het dubbele van het frequentiebereik van de uitgangen). De uitgang van de VCO wordt door twee en door vier gedeeld om referentie-frequenties op de helft en een kwart van de VCO-frequentie te verkrijgen met 50 % duty-cycle. De SEL0 en SEL1 ingangen bepalen welk van de twee signalen in elke uitgangsbank wordt gebufferd.

Eén uitgang moet extern aan FBIN worden gelegd om de PLL te completeren. De VCO werkt zo dat de frequentie van deze uitgang overeenkomt met het CLKIN-signaal. Voor het geval dat een VCO/2-uitgang met FBIN is verbonden, moet de VCO op tweemaal de

CLKIN-frequentie werken, waardoor de uitgangen dezelfde of de halve CLKIN-frequentie hebben.
Wordt een VCO/4-uitgang aan FBIN gelegd, dan hebben de uitgangen dezelfde of de dubbele CLKIN-frequentie.

Output Configuration A

INPUTS	OUTPUTS	
SEL	1/2× FREQUENCY	1× FREQUENCY
L	None	All
H	1Yn	2Yn

NOTE: n = 1, 2, 3

Tabel 9/9.3.2-81: Uitgangs-configuratie A.

Uitgangs-configuratie A

Uitgangs-configuratie A is geldig als een 1x-frequentie uitgang in tabel 9/9.3.2-81 met FBIN is verbonden. Het ingangs-frequentiebereik loopt dan van 50 MHz tot 100 MHz. Uitgangen die als 1/2x zijn geconfigureerd, werken op de helft van de CLKIN-frequentie, terwijl uitgangen die als 1x zijn geconfigureerd op de hele CLKIN-frequentie werken.

Uitgangs-configuratie B

Uitgangs-configuratie B is geldig als een 1x-frequentie uitgang in tabel 9/9.3.2-82 met FBIN is verbonden. Het ingangs-frequentiebereik van CLKIN loopt dan van 25 MHz tot 50 MHz. Uitgangen die als 1x zijn geconfigureerd, werken op de hele CLKIN-frequentie, terwijl uitgangen die als 2x zijn geconfigureerd op de dubbele CLKIN-frequentie werken.

Output Configuration B

INPUTS	OUTPUTS	
SEL	1× FREQUENCY	2× FREQUENCY
L	All	None
H	1Yn	2Yn

NOTE: n = 1, 2, 3

Tabel 9/9.3.2-82: Uitgangs-configuratie B.

		MIN	MAX	UNIT
V_{CC}	Supply voltage	3	3.6	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	5.5	V
I_{OH}	High-level output current		−32	mA
I_{OL}	Low-level output current		32	mA
T_A	Operating free-air temperature	0	70	°C

NOTE 3: Unused inputs must be held high or low.

Tabel 9/9.3.2-84: Aanbevolen bedrijfscondities van de CDC536.

Supply voltage range, V_{CC}	−0.5 V to 4.6 V
Input voltage range, V_I (see Note 1)	−0.5 V to 7 V
Voltage range applied to any output in the high state or power-off state, V_O (see Note 1)	−0.5 V to 5.5 V
Current into any output in the low state, I_O	64 mA
Input clamp current, I_{IK} ($V_I < 0$)	−20 mA
Output clamp current, I_{OK} ($V_O < 0$)	−50 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2): DB package	0.68 W
DL package	0.7 W
Operating free-air temperature range, T_A	0°C to 70°C
Storage temperature range, T_{stg}	−65°C to 150°C

Tabel 9/9.3.2-83: Maximaal toegelaten waarden van de CDC536.

9.3 Clock-drivers/clock-generatoren

PARAMETER	TEST CONDITIONS			T_A = 25°C MIN	MAX	UNIT
V_{IK}	V_{CC} = 3 V,	I_I = −18 mA			−1.2	V
V_{OH}	V_{CC} = MIN to MAX‡,	I_{OH} = −100 µA		V_{CC}−0.2		V
	V_{CC} = 3 V,	I_{OH} = −32 mA		2		
V_{OL}	V_{CC} = 3 V,	I_{OL} = 100 µA			0.2	V
	V_{CC} = 3 V,	I_{OL} = 32 mA			0.5	
I_I	V_{CC} = 0 or MAX‡,	V_I = 3.6 V			±10	µA
	V_{CC} = 3.6 V,	V_I = V_{CC} or GND			±1	
I_{OZH}	V_{CC} = 3.6 V,	V_O = 3 V			10	µA
I_{OZL}	V_{CC} = 3.6 V,	V_O = 0			−10	µA
I_{CC}	V_{CC} = 3.6 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high		2	mA
			Outputs low		2	
			Outputs disabled		2	
C_i	V_I = V_{CC} or GND				6	pF
C_o	V_O = V_{CC} or GND				9	pF

‡ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

Tabel 9/9.3.2-85: Elektrische eigenschappen van de CDC536.

			MIN	MAX	UNIT
f_{clock}	Clock frequency	When VCO is operating at four times the CLKIN frequency	25	50	MHz
		When VCO is operating at double the CLKIN frequency	50	100	
	Input clock duty cycle		40%	60%	
	Stabilization time†	After SEL		50	µs
		After $\overline{OE}$↓		50	
		After power up		50	
		After CLKIN		50	

† Time required for the integrated PLL circuit to obtain phase lock of its feedback signal to its reference signal. In order for phase lock to be obtained, a fixed-frequency, fixed-phase reference signal must be present at CLKIN. Until phase lock is obtained, the specifications for propagation delay and skew parameters given in the switching characteristics table are not applicable.

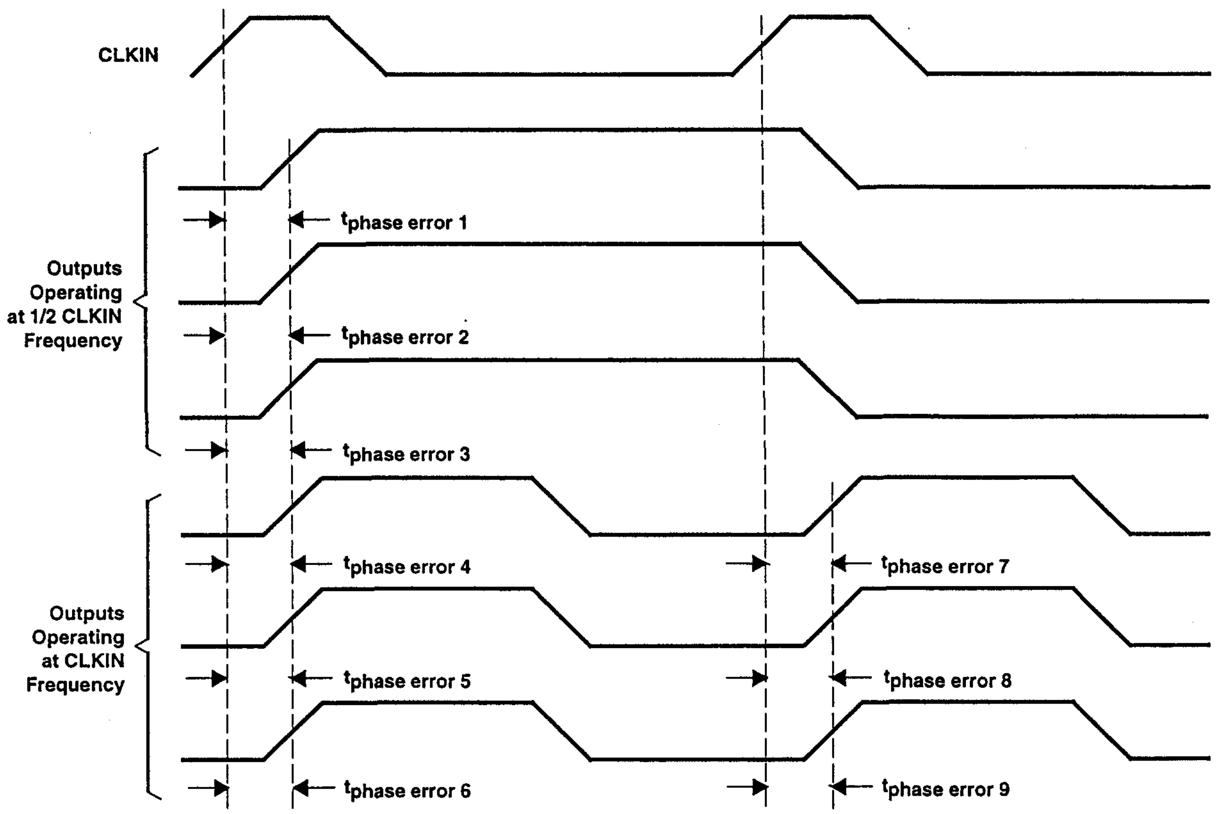
Tabel 9/9.3.2-86: Benodigde timing voor de CDC536.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
f_{max}			100		MHz
Duty cycle		Y	45%	55%	
$t_{phase\ error}$‡	CLKIN↑	Y	−500	+500	ps
$Jitter_{(pk-pk)}$	CLKIN↑	Y		200	ps
$t_{sk(o)}$‡				0.5	ns
$t_{sk(pr)}$				1	ns
t_r				1.4	ns
t_f				1.4	ns

‡ The propagation delay, $t_{phase\ error}$, is dependent on the feedback path from any output to FBIN. The $t_{phase\ error}$, $t_{sk(o)}$, and $t_{sk(pk)}$ specifications are only valid for equal loading of all outputs.
NOTE 4: The specifications for parameters in this table are applicable only after any appropriate stabilization time has elapsed.

Tabel 9/9.3.2-87: Schakeltijden van de CDC536.

9.3 Clock-drivers/clock-generatoren



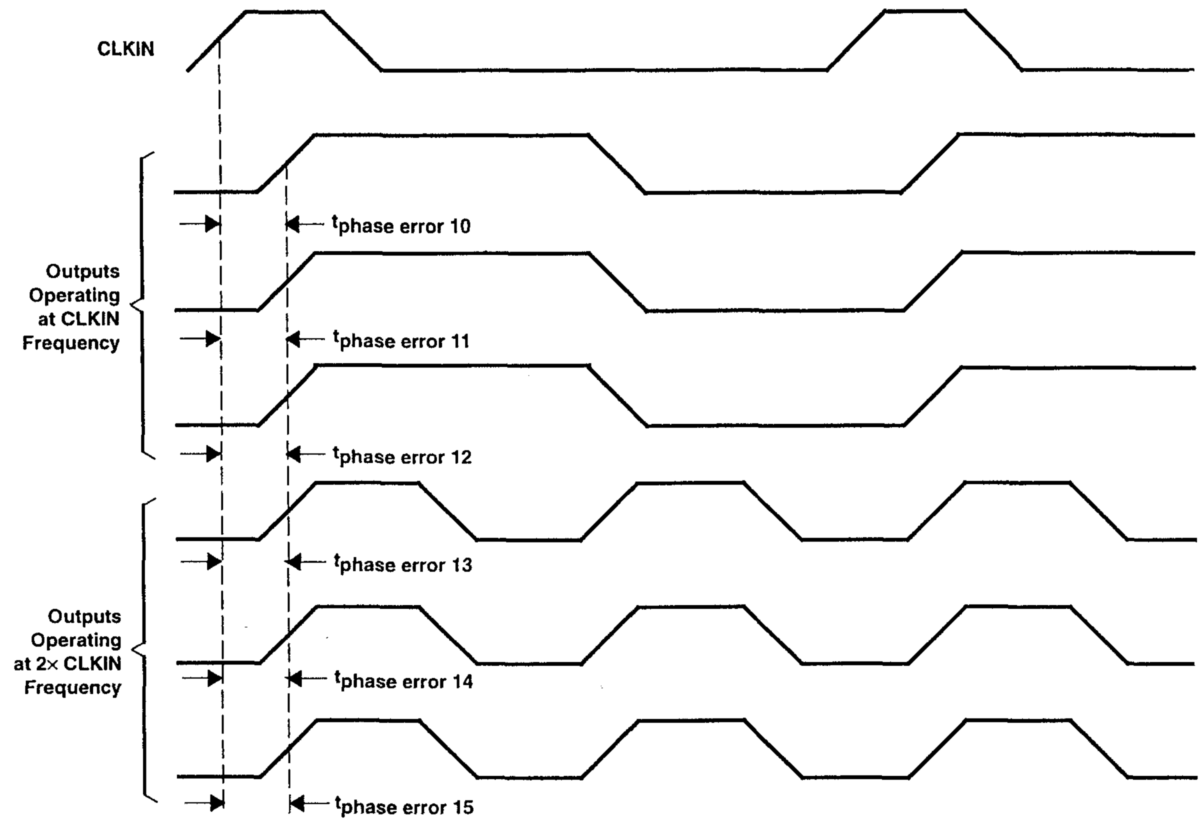
NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 1, 2, . . . 6)
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 7, 8, 9)

B. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 1, 2, . . . 6) across multiple devices under identical operating conditions.
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 7, 8, 9) across multiple devices under identical operating conditions.

Figuur 9/9.3.2-60: Golfvormen voor de berekening van skew en fasefout.

(wordt vervolgd)

9.3 Clock-drivers/clock-generatoren



NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 10, 11, . . . 15)

B. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 10, 11, . . . 15) across multiple devices under identical operating conditions.

Figuur 9/9.3.2-61: Golfvormen voor de berekening van $t_{sk(o)}$ en $t_{sk(pr)}$.

CDC582

phase-lock loop 12 lijns clock-driver met differentiële LVPECL clock-ingangen

De CDC582 is een high-performance phase-lock loop (PLL) clock-driver met zeer kleine skew en jitter. De clock-uitgangen worden uitgelijnd (in frequentie en fase) op de differentiële LVPECL-compatibele clock-ingangssignalen (CLKIN en $\overline{\text{CLKIN}}$). De CDC582 is speciaal ontwikkeld voor gebruik bij snelheden van 50 MHz tot 100 MHz. Bij lagere frequenties (tot 25 MHz), zijn de uitgangen geconfigureerd op de halve frequentie. De CDC582 werkt op 3,3 V.

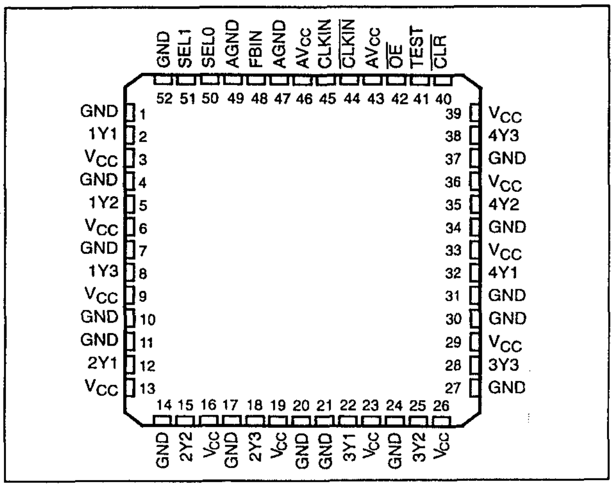
De feedback-ingang (FBIN) wordt gebruikt om de uitgangs-clocksignalen in fase en frequentie op de ingangsclock te synchroniseren. Daartoe moet één van de 12 uitgangsclocks op FBIN worden aangesloten, die daardoor synchroon loopt met CLKIN en $\overline{\text{CLKIN}}$.

De Y-uitgangen kunnen worden geconfigureerd om in fase en op dezelfde frequentie als de differentiële clock-ingangen te schakelen. Met de select-ingangen (SEL1 en

SEL0) kunnen negen Y-uitgangen, in banken van drie, worden ingesteld om op de helft of het dubbele van de CLKIN-frequentie te schakelen. Dit is afhankelijk van de uitgangspen die op FBIN is aangesloten (zie de tabellen 9/9.3.2-89 en -90). Alle uitgangssignalen hebben duty-cycles van 50 %, onafhankelijk van de duty-cycle van de ingangs-clocks. De toestand van de uitgangen wordt geregeld met Output-Enable ($\overline{OE}$. Als $\overline{OE}$ HOOG is dan zijn de uitgangen LAAG. Is $\overline{OE}$ LAAG, dan zijn de uitgangen actief. $\overline{CLR}$ wordt op de negatieve flank getriggerd en kan worden gebruikt om de uitgangen die op de halve frequentie werken te resetten. TEST moet aan GND te worden gelegd. In tegenstelling tot andere componenten die PLL's bevatten, heeft de CDC582 geen externe RC-componenten nodig. Het loop-filter voor de PLL bevindt zich op de chip. De op een PLL gebaseerde CDC582 heeft voor de stabilisatie van de fase-lock van het feedback signaal op het referentiesignaal enige tijd nodig. Deze tijd moet in acht worden genomen na het opkomen van de voedingsspanning en na het aanbrengen van een signaal met een vaste frequentie en fase op de CLKIN- en $\overline{CLKIN}$-pennen. Door veranderingen van SEL1 en SEL0, het vrijgeven van de PLL na TEST en na het vrijgeven van alle uitgangen met $\overline{OE}$ treden zulke veranderingen ook op.

Technische gegevens

- phase-lock loop clock-driver met zeer geringe output-skew voor clock-distributie en clock-opwekking
- 1-lijn (differentiële LVPECL clock-ingangen) naar 12-lijnen clock-driver
- 2 select-ingangen voor instelling van 9 uitgangen op halve of dubbele frequentie
- geen extern RC-netwerk nodig
- externe feedback-pen (FBIN) voor synchronisatie van de uitgangen op de clock-ingang
- overige in- en uitgangen LVTTL-compatibel
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- geringe dissipatie door BiCMOS-ontwerp
- behuizing:
  52-pens thin quad flatpack (PAH)
- fabrikant: Texas Instruments



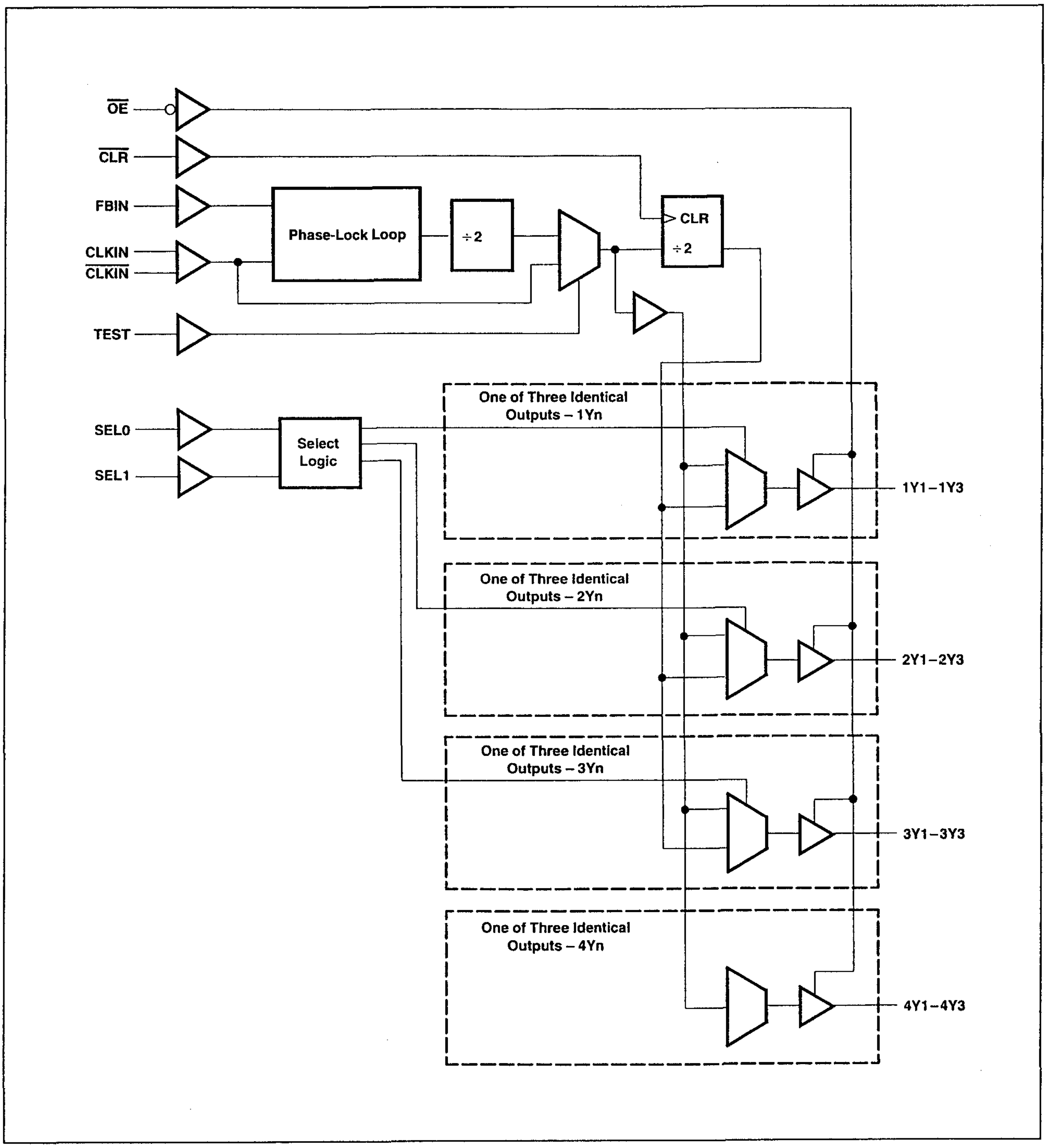
Figuur 9/9.3.2-62: Aansluitgegevens (bovenaanzicht) van de CDC582.

9.3 Clock-drivers/clock-generatoren

TERMINAL NAME	TERMINAL NO.	I/O	DESCRIPTION
CLKIN $\overline{\text{CLKIN}}$	44, 45	I	Clock input. CLKIN and $\overline{\text{CLKIN}}$ are the differential clock signals to be distributed by the CDC582 clock-driver circuit. These inputs are used to provide the reference signal to the integrated PLL that generates the clock output signals. CLKIN and $\overline{\text{CLKIN}}$ must have a fixed frequency and fixed phase for the PLL to obtain phase lock. Once the circuit is powered up and valid CLKIN and $\overline{\text{CLKIN}}$ signals are applied, a stabilization time is required for the PLL to phase lock the feedback signal to its reference signal.
$\overline{\text{CLR}}$	40	I	Clear. $\overline{\text{CLR}}$ is used to reset the VCO/4 reference frequency. $\overline{\text{CLR}}$ is negative-edge triggered and should be strapped to V_{CC} or GND for normal operation.
FBIN	48	I	Feedback input. FBIN provides the feedback signal to the internal PLL. FBIN must be hardwired to one of the twelve clock outputs to provide frequency and phase lock. The internal PLL adjusts the output clocks to obtain zero phase delay between the FBIN and the differential clock input (CLKIN and $\overline{\text{CLKIN}}$).
$\overline{\text{OE}}$	42	I	Output enable. $\overline{\text{OE}}$ is the output enable for all outputs. When $\overline{\text{OE}}$ is low, all outputs are enabled. When $\overline{\text{OE}}$ is high, all outputs are driven to the low state. Since the feedback signal for the PLL is taken directly from an output terminal, placing the outputs in the logic low state interrupts the feedback loop; therefore, when a high-to-low transition occurs at $\overline{\text{OE}}$, enabling the output buffers, a stabilization time is required before the PLL obtains phase lock.
SEL1, SEL0	51, 50	I	Output configuration select. SEL0 and SEL1 select the output configuration for each output bank (e.g., 1×, 1/2×, or 2×) (see Tables 1 and 2).
TEST	41	I	TEST is used to bypass the PLL circuitry for factory testing of the device. When TEST is low, all outputs operate using the PLL circuitry. When TEST is high, the outputs are placed in a test mode that bypasses the PLL circuitry. TEST should be strapped to GND for normal operation.
1Y1−1Y3 2Y1−2Y3 3Y1−3Y3	2, 5, 8 12, 15, 18 22, 25, 28	O	These outputs are configured by SEL1 and SEL0 to transmit one-half or one-fourth the frequency of the VCO. The relationship between the input clock frequency and the output frequency is dependent on SEL1 and SEL0 and the frequency of the output being fed back to FBIN. The duty cycle of the Y outputs is nominally 50% independent of the duty cycle of the input clock signals.
4Y1−4Y3	32, 35, 38	O	These outputs transmit one-half the frequency of the VCO. The relationship between the input clock frequency and the output frequency is dependent on the frequency of the output being fed back to FBIN. The duty cycle of the Y outputs is nominally 50% independent of the duty cycle of CLKIN.

Tabel 9/9.3.2-88: Functies van de signalen.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-63: Logisch schema (positieve logica) van de CDC582.

Uitgangsconfiguraties

De spannings-gestuurde oscillator (VCO) in de CDC582 heeft een frequentiebereik van 100 MHz tot 200 MHz (het dubbele van het frequentiebereik van de uitgangen). De uitgang van de VCO wordt door twee en door vier gedeeld om referentie-frequenties op de helft en een kwart van de VCO-frequentie te verkrijgen met 50 % duty-cycle. De SEL0 en SEL1 ingangen bepalen welk van de twee

signalen in elke uitgangsbank wordt gebufferd.

Eén uitgang moet extern aan FBIN worden gelegd om de PLL te completeren. De VCO werkt zo dat de frequentie van deze uitgang overeenkomt met de CLKIN/$\overline{CLKIN}$-signalen. Als een VCO/2-uitgang met FBIN is verbonden, moet de VCO op tweemaal de CLKIN/$\overline{CLKIN}$-frequentie werken, waardoor de uitgangen dezelfde of de halve CLKIN/$\overline{CLKIN}$-frequentie hebben. Wordt een VCO/4-uitgang aan FBIN gelegd, dan hebben de uitgangen dezelfde of de dubbele CLKIN/$\overline{CLKIN}$-frequentie.

Uitgangs-configuratie A

Uitgangs-configuratie A is geldig als een 1x-frequentie uitgang in tabel 9/9.3.2-89 met FBIN is verbonden. Het ingangs-frequentiebereik loopt dan van 50 MHz tot 100 MHz. Uitgangen die als 1/2x zijn geconfigureerd, werken op de helft van de ingangs-clockfrequentie, terwijl uitgangen die als 1x zijn geconfigureerd op de hele clock-frequentie werken.

Uitgangs-configuratie B

Uitgangs-configuratie B is geldig als een 1x-frequentie uitgang in tabel 9/9.3.2-90 met FBIN is verbonden. Het ingangs-frequentiebereik van CLKIN/$\overline{CLKIN}$ loopt dan van 25 MHz tot 50 MHz. Uitgangen die als 1x zijn geconfigureerd, werken op de hele ingangs-clockfrequentie, terwijl uitgangen die als 2x zijn geconfigureerd op de dubbele werken.

Output Configuration A

INPUTS		OUTPUTS	
SEL1	SEL0	1/2× FREQUENCY	1× FREQUENCY
L	L	None	All
L	H	1Yn	2Yn, 3Yn, 4Yn
H	L	1Yn, 2Yn	3Yn, 4Yn
H	H	1Yn, 2Yn, 3Yn	4Yn

NOTE: n = 1, 2, 3

Tabel 9/9.3.2-89: Uitgangs-configuratie A.

Output Configuration B

INPUTS		OUTPUTS	
SEL1	SEL0	1× FREQUENCY	2× FREQUENCY
L	L	All	None
L	H	1Yn	2Yn, 3Yn, 4Yn
H	L	1Yn, 2Yn	3Yn, 4Yn
H	H	1Yn, 2Yn, 3Yn	4Yn

NOTE: n = 1, 2, 3

Tabel 9/9.3.2-90: Uitgangs-configuratie B.

Supply voltage range, V_{CC}	−0.5 V to 4.6 V
Input voltage range, V_I (see Note 1)	−0.5 V to 7 V
Voltage range applied to any output in the high state or power-off state, V_O	−0.5 V to 5.5 V
Current into any output in the low state, I_O	64 mA
Input clamp current, I_{IK} ($V_I < 0$)	−20 mA
Output clamp current, I_{OK} ($V_O < 0$)	−50 mA
Maximum power dissipationat T_A = 55°C (in still air) (see Note 2)	1.2 W
Storage temperature range, T_{stg}	−65°C to 150°C

Tabel 9/9.3.2-91: Maximaal toegelaten waarden van de CDC582.

9.3 Clock-drivers/clock-generatoren

			MIN	MAX	UNIT
V_{CC}	Supply voltage		3	3.6	V
V_{IH}	High-level input voltage	CLKIN, $\overline{\text{CLKIN}}$	V_{CC}−1.025		V
		Other inputs	2		
V_{IL}	Low-level input voltage	CLKIN, $\overline{\text{CLKIN}}$		V_{CC}−1.62	V
		Other inputs		0.8	
V_I	Input voltage		0	5.5	V
I_{OH}	High-level output current			−32	mA
I_{OL}	Low-level output current			32	mA
T_A	Operating free-air temperature		0	70	°C

NOTE 3: Unused inputs must be held high or low to prevent them from floating.

Tabel 9/9.3.2-92: Aanbevolen bedrijfscondities voor de CDC582.

PARAMETER	TEST CONDITIONS			T_A = 25°C MIN	MAX	UNIT
V_{IK}	V_{CC} = 3 V,	I_I = −18 mA			−1.2	V
V_{OH}	V_{CC} = MIN to MAX†,	I_{OH} = −100 μA		V_{CC}−0.2		V
	V_{CC} = 3 V,	I_{OH} = − 32 mA		2		
V_{OL}	V_{CC} = 3 V	I_{OL} = 100 μA			0.2	V
		I_{OL} = 32 mA			0.5	
I_I	V_{CC} = 0 or MAX†,	V_I = 3.6 V			±10	μA
	V_{CC} = 3.6 V,	V_I = V_{CC} or GND			±1	
I_{CC}	V_{CC} = 3.6 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high		5	mA
			Outputs low		5	
C_i	V_I = 3 V or 0				4	pF
C_o	V_O = 3 V or 0				8	pF

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

Tabel 9/9.3.2-93: Elektrische eigenschappen van de CDC582.

			MIN	MAX	UNIT
f_{clock}	Clock frequency	VCO is operating at four times the CLKIN/$\overline{\text{CLKIN}}$ frequency	25	50	MHz
		VCO is operating at double the CLKIN/$\overline{\text{CLKIN}}$ frequency	50	100	
	Input clock duty cycle		40%	60%	
	Stabilization time†	After SEL1, SEL0		50	μs
		After $\overline{\text{OE}}$↓		50	
		After power up		50	

† Time required for the integrated PLL circuit to obtain phase lock of its feedback signal to its reference signal. For phase lock to be obtained, a fixed-frequency, fixed-phase reference signal must be present at CLKIN. Until phase lock is obtained, the specifications for propagation delay and skew parameters given in the switching characteristics table are not applicable.

Tabel 9/9.3.2-94: Benodigde timing voor de CDC582.

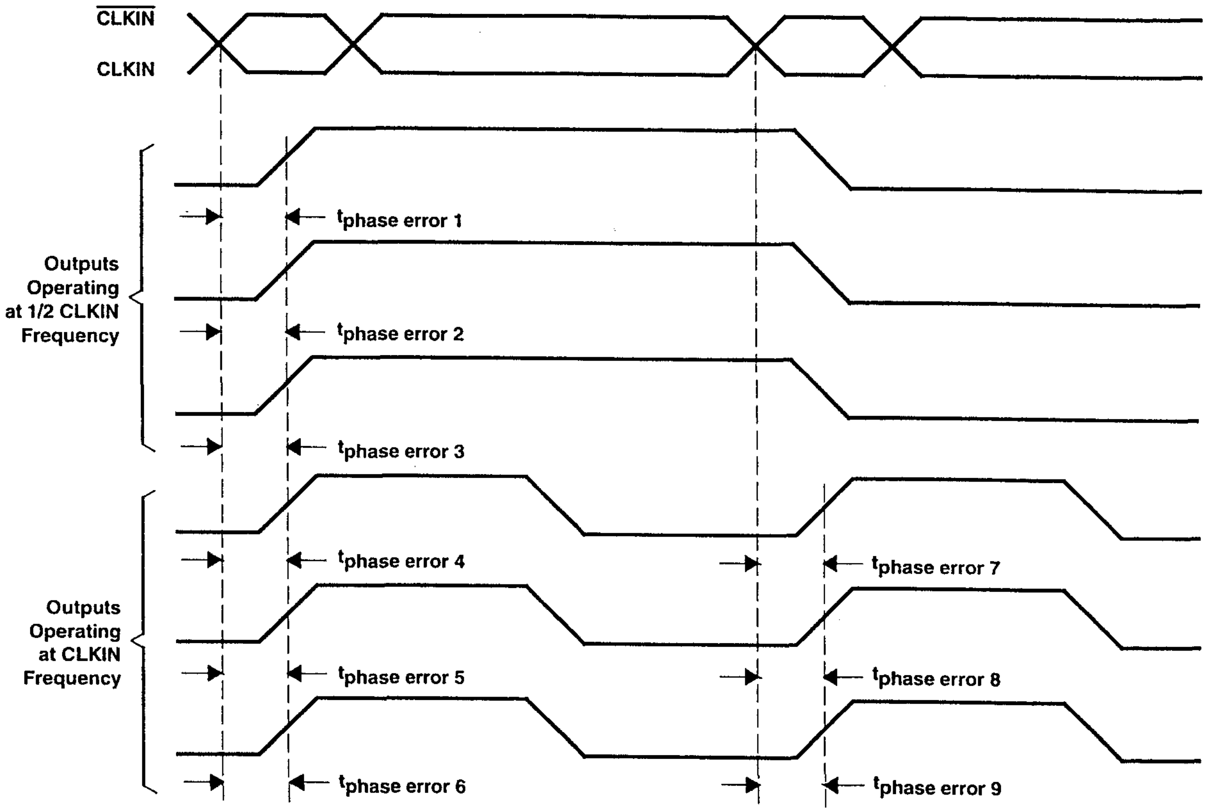
9.3 Clock-drivers/clock-generatoren

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
Duty cycle		Y	45%	55%	
f_{max}			100		MHz
$Jitter_{(pk\text{-}pk)}$	CLKIN↑	Y↑		200	ps
$t_{phase\ error}$‡	CLKIN↑	Y↑	–500	500	ps
$t_{sk(o)}$‡		Y		0.5	ns
$t_{sk(pr)}$‡		Y		1	ns
t_r				1.4	ns
t_f				1.4	ns

‡ The propagation delay, $t_{phase\ error}$, is dependent on the feedback path from any output to the FBIN. The $t_{phase\ error}$, $t_{sk(o)}$, and $t_{sk(pr)}$ specifications are only valid for equal loading of all outputs.

NOTE 4: The specifications for parameters in this table are applicable only after any appropriate stabilization time has elapsed.

Tabel 9/9.3.2-95: Schakeltijden van de CDC582.

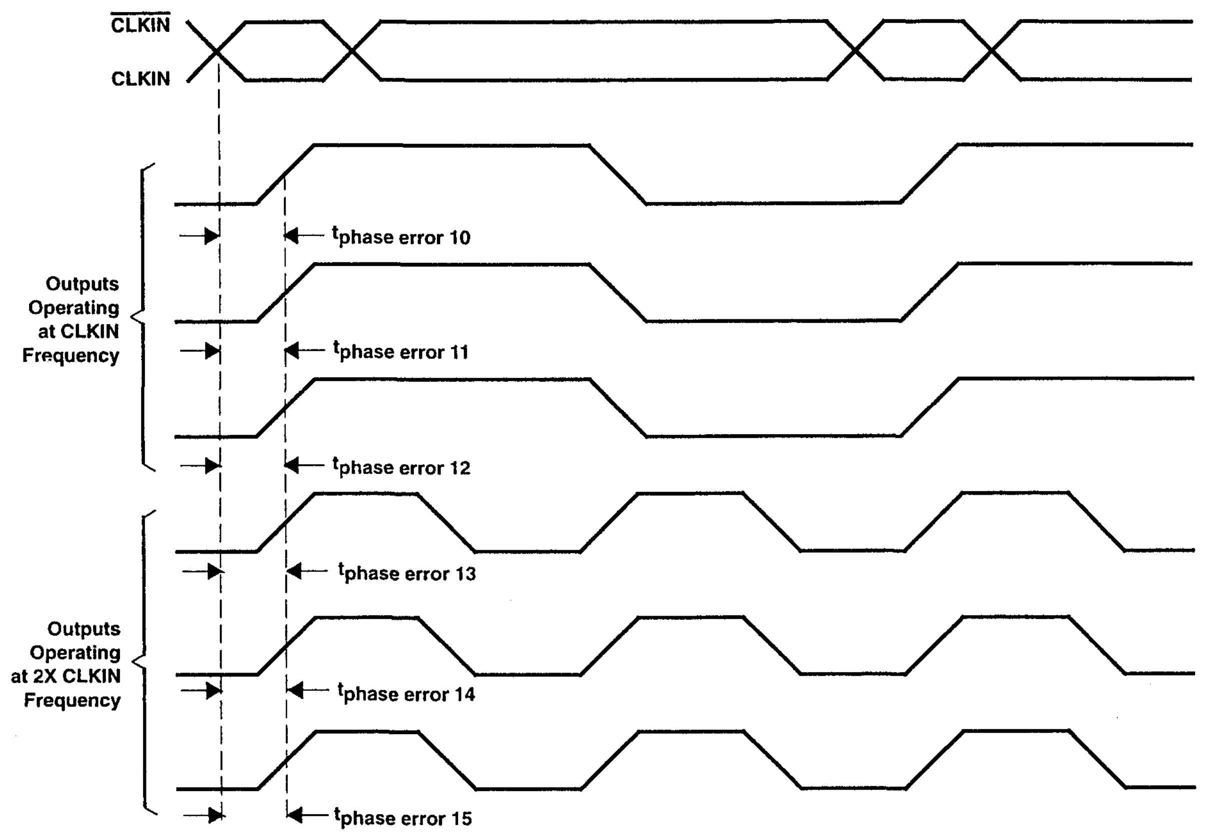


NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 1, 2, . . . 6)
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 7, 8, 9)

B. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 1, 2, . . . 6) across multiple devices under identical operating conditions
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 7, 8, 9) across multiple devices under identical operating conditions

Figuur 9/9.3.2-64: Golfvormen voor de berekening van skew en fasefout.

9.3 Clock-drivers/clock-generatoren



NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
– The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 10, 11, . . . 15)
B. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
– The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 10, 11, . . . 15) across multiple devices under identical operating conditions

Figuur 9/9.3.2-65: Golfvormen voor de berekening van $t_{sk(o)}$ bij de CDC582.

CDC586

phase-lock loop 12 lijns clock-driver met 3-state uitgangen

De CDC586 is een high-performance phase-lock loop (PLL) clock-driver met zeer kleine skew en jitter. De clock-uitgangen worden in frequentie en fase uitgelijnd op het clock-ingangssignaal CLKIN. De CDC586 is speciaal ontwikkeld om samen met populaire microprocessoren te worden gebruikt bij snelheden van 50 MHz tot 100 MHz of lager (tot 25 MHz). De CDC586 werkt op 3,3 V en is ontworpen voor de aansturing van 50 Ω transmissielijnen.

De feedback-ingang (FBIN) wordt gebruikt om de uitgangs-clocksignalen in fase en frequentie op de ingangsclock te synchroniseren. Het is daarvoor nodig dat één van de 12 uitgangs-clocks op FBIN wordt aangesloten, die daardoor synchroon loopt met CLKIN.

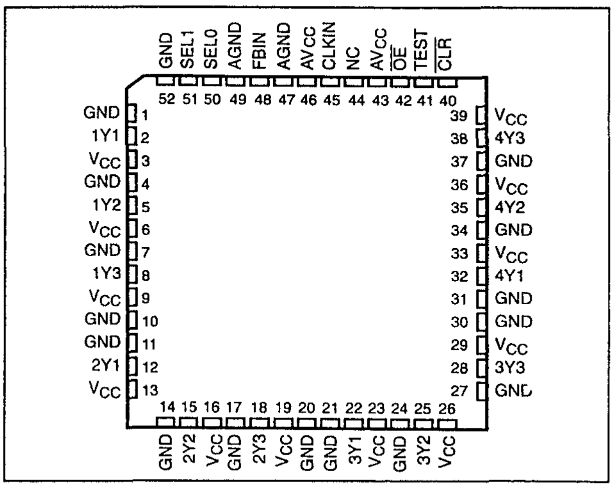
De Y-uitgangen kunnen worden geconfigureerd om in fase en op dezelfde frequentie als de ingangsclock te schakelen. Met de select-ingangen (SEL1 en SEL0) kunnen 9

9.3 Clock-drivers/clock-generatoren

Y-uitgangen in banken van drie worden ingesteld om op de helft of het dubbele van de CLKIN-frequentie te schakelen. Dit is afhankelijk van de uitgangspen die op FBIN is aangesloten (zie de tabellen 9/9.3.2-97 en -98). Alle uitgangssignalen hebben duty-cycles van 50 %, onafhankelijk van de duty-cycle van de ingangs-clock. De toestand van de uitgangen wordt geregeld met Output-Enable ($\overline{OE}$). Als $\overline{OE}$ HOOG is zijn de uitgangen hoog-impedant. Is $\overline{OE}$ LAAG, dan zijn de uitgangen actief. $\overline{CLR}$ wordt op de negatieve flank getriggerd en kan worden gebruikt om de uitgangen die op de halve frequentie werken te resetten. TEST wordt alleen in de fabriek gebruikt en moet daarna aan GND worden gelegd. In tegenstelling tot andere componenten die PLL's bevatten, heeft de CDC586 geen externe RC-componenten nodig: het loop-filter voor de PLL bevindt zich op de chip. Omdat de CDC586 op een PLL is gebaseerd heeft hij voor de stabilisatie van de fase-lock van het feedback signaal op het referentiesignaal enige tijd nodig. Deze tijd moet in acht worden genomen na het opkomen van de voedingsspanning en na het aanbrengen van een signaal met een vaste frequentie en fase op de CLKIN- en $\overline{CLKIN}$-pennen. Door veranderde select-signalen, het vrijgeven van de PLL na TEST en na het vrijgeven van alle uitgangen met $\overline{OE}$ treden zulke veranderingen ook op.

Technische gegevens

- phase-lock loop clock-driver met zeer geringe output-skew voor clock-distributie en clock-opwekking
- 1-lijn naar 12-lijnen clock-driver
- 2 select-ingangen voor instelling van 9 uitgangen op halve of dubbele frequentie
- geen extern RC-netwerk nodig
- externe feedback-pen (FBIN) voor synchronisatie van de uitgangen op de clock-ingang
- TTL-compatibele in- en uitgangen
- uitgangen geschikt voor 50 Ω transmissielijnen
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- geringe dissipatie door BiCMOS-ontwerp
- behuizing: 52-pens thin quad flatpack (PAH)
- fabrikant: Texas Instruments



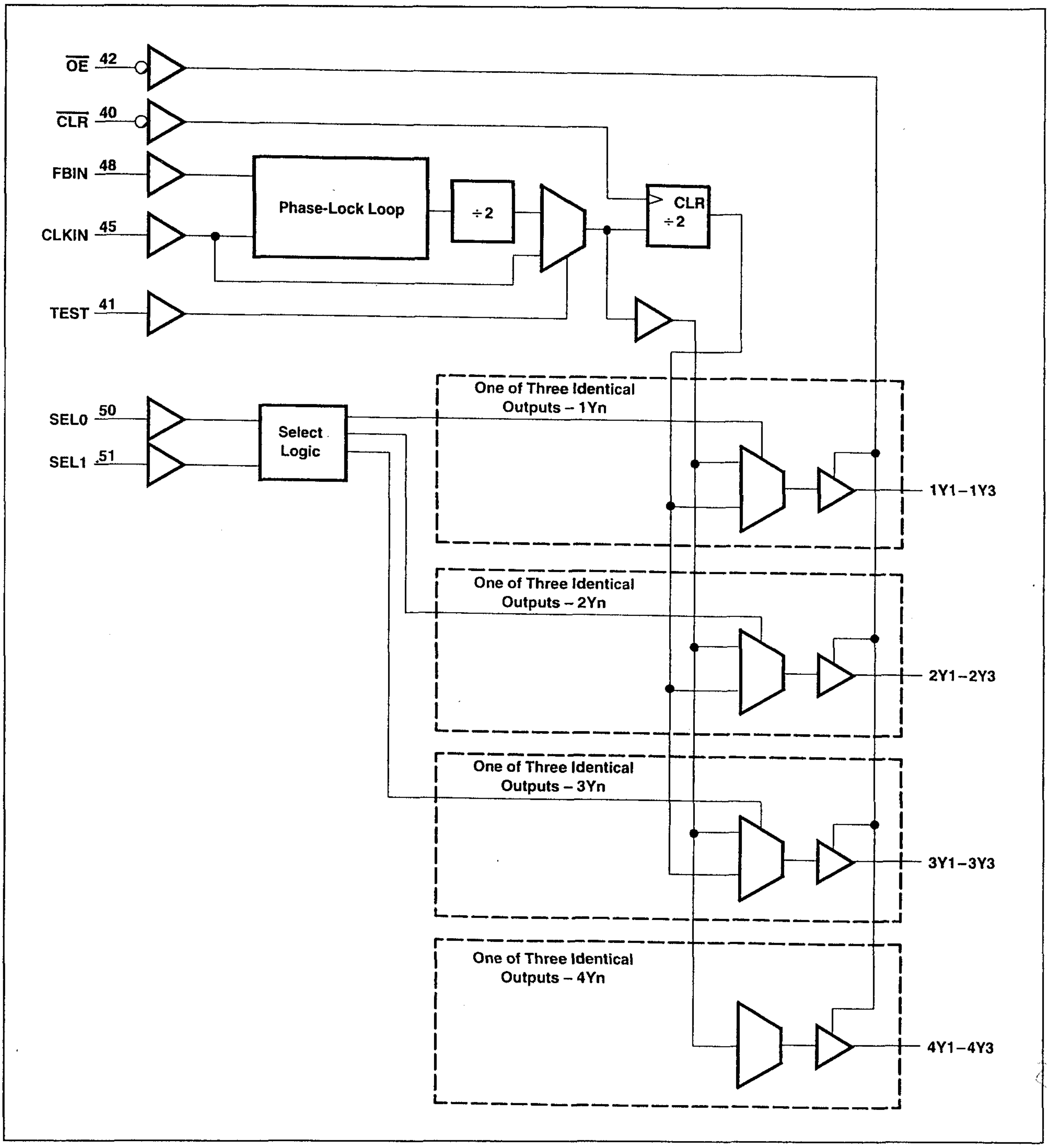
Figuur 9/9.3.2-66: Aansluitgegevens (bovenaanzicht) van de CDC586.

9.3 Clock-drivers/clock-generatoren

TERMINAL NAME	TERMINAL NO.	I/O	DESCRIPTION
CLKIN	45	I	Clock input. CLKIN is the clock signal distributed by the CDC586 clock-driver circuit. CLKIN provides the reference signal to the integrated PLL that generates the clock output signals. CLKIN must have a fixed frequency and fixed phase for the PLL to obtain phase lock. Once the circuit is powered up and a valid CLKIN signal is applied, a stabilization time is required for the PLL to phase lock the feedback signal to its reference signal.
$\overline{CLR}$	40	I	Clear. $\overline{CLR}$ resets the VCO/4 reference frequency. $\overline{CLR}$ is negative edge triggered and should be strapped to GND or V_{CC} for normal operation.
FBIN	48	I	Feedback input. FBIN provides the feedback signal to the internal PLL. FBIN must be hardwired to one of the twelve clock outputs to provide frequency and phase lock. The internal PLL adjusts the output clocks to obtain zero phase delay between FBIN and CLKIN.
$\overline{OE}$	42	I	Output enable. $\overline{OE}$ is the output enable for all outputs. When $\overline{OE}$ is low, all outputs are enabled. When $\overline{OE}$ is high, all outputs are in the high-impedance state. Since the feedback signal for the PLL is taken directly from an output terminal, placing the outputs in the high-impedance state interrupts the feedback loop; therefore, when a high-to-low transition occurs at $\overline{OE}$, enabling the output buffers, a stabilization time is required before the PLL obtains phase lock.
SEL1, SEL0	51, 50	I	Output configuration select. SEL0 and SEL1 select the output configuration for each output bank (e.g. 1×, 1/2×, or 2×). (see Tables 1 and 2).
TEST	41	I	TEST is used to bypass the PLL circuitry for factory testing of the device. When TEST is low, all outputs operate using the PLL circuitry. When TEST is high, the outputs are placed in a test mode that bypasses the PLL circuitry. TEST should be strapped to GND for normal operation.
1Y1−1Y3 2Y1−2Y3 3Y1−3Y3	2, 5, 8 12, 15, 18 22, 25, 28	O	Output ports. These outputs are configured by SEL1 and SEL0 to transmit one-half or one-fourth the frequency of the VCO. The relationship between the CLKIN frequency and the output frequency is dependent on SEL1 and SEL0 and the frequency of the output being fed back to FBIN. The duty cycle of the Y output signals is nominally 50% independent of the duty cycle of CLKIN.
4Y1−4Y3	32, 35, 38	O	Output ports. 4Y1−4Y3 transmit one-half the frequency of the VCO regardless of the state of SEL1 and SEL0. The relationship between the CLKIN frequency and the output frequency is dependent on the frequency of the output being fed back to FBIN. The duty cycle of the Y output signals is nominally 50% independent of the duty cycle of CLKIN.

Tabel 9/9.3.2-96: Functies van de signalen.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-67: Logisch schema (positieve logica) van de CDC586.

Uitgangsconfiguraties

De spannings-gestuurde oscillator (VCO) in de CDC586 heeft een frequentiebereik van 100 MHz tot 200 MHz (het dubbele van het frequentiebereik van de uitgangen). De uitgang van de VCO wordt door twee en door vier gedeeld om referentie-frequenties op de helft en een kwart van de VCO-frequentie te verkrijgen met 50 % duty-cycle. De SEL0 en SEL1 ingangen bepalen welk van de twee

signalen in elke uitgangsbank wordt gebufferd.
Eén uitgang moet extern aan FBIN worden gelegd om de PLL te completeren. De VCO werkt zo dat de frequentie van deze uitgang overeenkomt met het CLKIN-signaal. Als een VCO/2-uitgang met FBIN is verbonden, moet de VCO op tweemaal de CLKIN-frequentie werken, waardoor de uitgangen dezelfde of de halve CLKIN-frequentie hebben. Wordt een VCO/4-uitgang aan FBIN gelegd, dan hebben de uitgangen dezelfde of de dubbele CLKIN-frequentie.

Uitgangs-configuratie A

Uitgangs-configuratie A is geldig als een 1x-frequentie uitgang in tabel 9/9.3.2-97 met FBIN is verbonden. Het ingangs-frequentie-bereik loopt dan van 50 MHz tot 100 MHz. Uitgangen die als 1/2x zijn geconfigureerd, werken op de helft van de ingangs-clockfrequentie, terwijl uitgangen die als 1x zijn geconfigureerd op de hele clock-frequentie werken.

Uitgangs-configuratie B

Uitgangs-configuratie B is geldig als een 1x-frequentie uitgang in tabel 9/9.3.2-98 met FBIN is verbonden. Het ingangs-frequentie-bereik van CLKIN loopt dan van 25 MHz tot 50 MHz. Uitgangen die als 1x zijn geconfigureerd, werken op de hele ingangs-clockfrequentie, terwijl uitgangen die als 2x zijn geconfigureerd op de dubbele werken.

INPUTS		OUTPUTS	
SEL1	SEL0	1/2x FREQUENCY	1x FREQUENCY
L	L	None	All
L	H	1Yn	2Yn, 3Yn, 4Yn
H	L	1Yn, 2Yn	3Yn, 4Yn
H	H	1Yn, 2Yn, 3Yn	4Yn

NOTE: n = 1, 2, 3

Tabel 9/9.3.2-97: Uitgangs-configuratie A.

INPUTS		OUTPUTS	
SEL1	SEL0	1x FREQUENCY	2x FREQUENCY
L	L	All	None
L	H	1Yn	2Yn, 3Yn, 4Yn
H	L	1Yn, 2Yn	3Yn, 4Yn
H	H	1Yn, 2Yn, 3Yn	4Yn

NOTE: n = 1, 2, 3

Tabel 9/9.3.2-98: Uitgangs-configuratie B.

Supply voltage range, V_{CC}	−0.5 V to 4.6 V
Input voltage range, V_I (see Note 1)	−0.5 V to 7 V
Voltage range applied to any output in the high state or power-off state, V_O (see Note 1)	−0.5 V to V_{CC} + 0.5 V
Current into any output in the low state, I_O	64 mA
Input clamp current, I_{IK} ($V_I < 0$)	−20 mA
Output clamp current, I_{OK} ($V_O < 0$)	−50 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2)	1.2 W
Storage temperature range, T_{stg}	−65°C to 150°C

Tabel 9/9.3.2-99: Maximaal toegelaten waarden van de CDC586.

9.3 Clock-drivers/clock-generatoren

		MIN	MAX	UNIT
V_{CC}	Supply voltage	3	3.6	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	5.5	V
I_{OH}	High-level output current		−32	mA
I_{OL}	Low-level output current		32	mA
T_A	Operating free-air temperature	0	70	°C

Unused inputs must be held high or low.

Tabel 9/9.3.2-100: Aanbevolen bedrijfscondities voor de CDC586.

PARAMETER	TEST CONDITIONS			T_A = 25°C MIN	MAX	UNIT
V_{IK}	V_{CC} = 3 V,	I_I = −18 mA			−1.2	V
V_{OH}	V_{CC} = MIN to MAX†,	I_{OH} = −100 µA		V_{CC}−0.2		V
	V_{CC} = 3 V,	I_{OH} = −32 mA		2		
V_{OL}	V_{CC} = 3 V	I_{OL} = 100 µA			0.2	V
		I_{OL} = 32 mA			0.5	
I_I	V_{CC} = 0 or MAX†,	V_I = 3.6 V			±10	µA
	V_{CC} = 3.6 V,	V_I = V_{CC} or GND			±1	
I_{OZH}	V_{CC} = 3.6 V,	V_O = 3 V			10	µA
I_{OZL}	V_{CC} = 3.6 V,	V_O = 0			−10	µA
I_{CC}	V_{CC} = 3.6 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high		1	mA
			Outputs low		1	
			Outputs disabled		1	
C_i	V_I = V_{CC} or GND				4	pF
C_o	V_O = V_{CC} or GND				8	pF

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

Tabel 9/9.3.2-101: Elektrische eigenschappen van de CDC586.

			MIN	MAX	UNIT
f_{clock}	Clock frequency	VCO is operating at four times the CLKIN frequency	25	50	MHz
		VCO is operating at double the CLKIN frequency	50	100	
	Input clock duty cycle		40%	60%	
	Stabilization time†	After SEL1, SEL0		50	µs
		After $\overline{OE}$↓		50	
		After power up		50	
		After CLKIN		50	

† Time required for the integrated PLL circuit to obtain phase lock of its feedback signal to its reference signal. For phase lock to be obtained, a fixed-frequency, fixed-phase reference signal must be present at CLKIN. Until phase lock is obtained, the specifications for propagation delay and skew parameters given in the switching characteristics table are not applicable.

Tabel 9/9.3.2-102: Benodigde timing voor de CDC586.

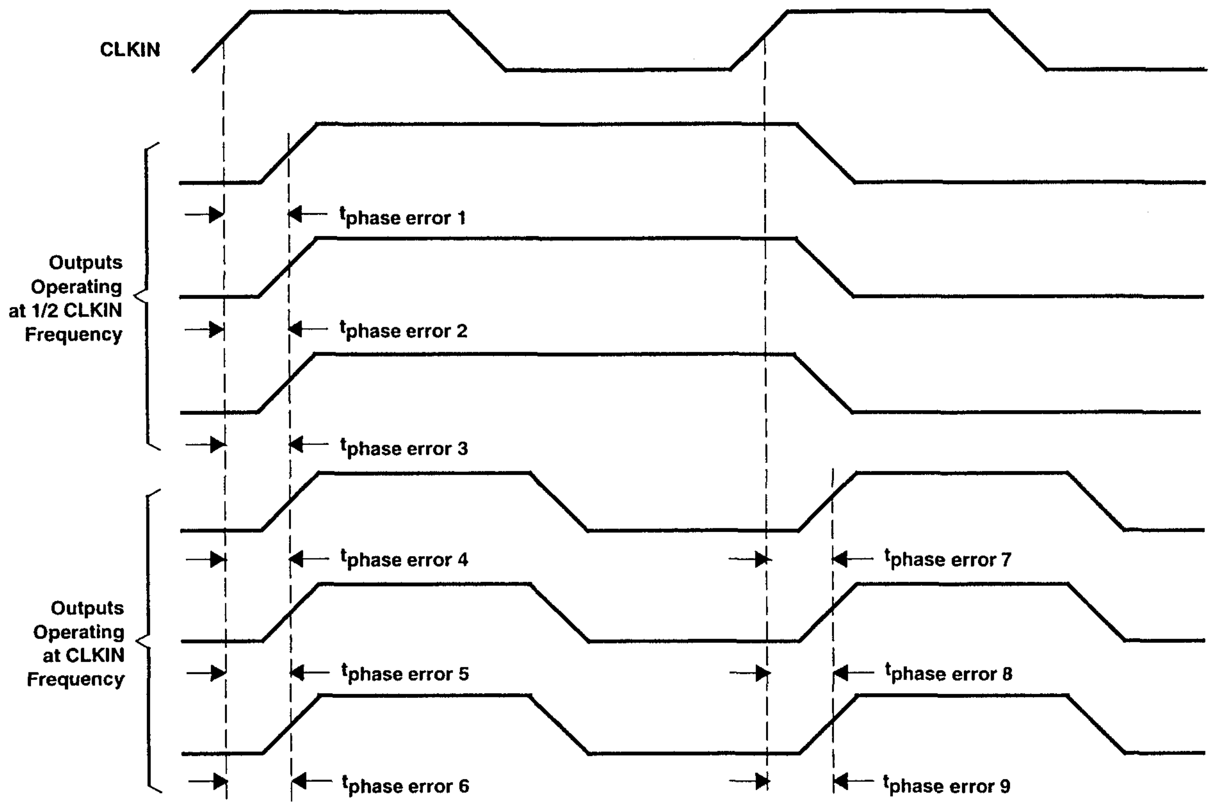
9.3 Clock-drivers/clock-generatoren

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
f_{max}			100		MHz
Duty cycle		Y	45%	55%	
$t_{phase\ error}$‡	CLKIN↑	Y	−500	+500	ps
$Jitter_{(pk-pk)}$	CLKIN↑	Y		200	ps
$t_{sk(o)}$‡				0.5	ns
$t_{sk(pr)}$‡				1	ns
t_r				1.4	ns
t_f				1.4	ns

‡ The propagation delay, $t_{phase\ error}$, is dependent on the feedback path from any output to FBIN. The $t_{phase\ error}$, $t_{sk(o)}$, and $t_{sk(pr)}$ specifications are valid only for equal loading of all outputs.

NOTE 4: The specifications for parameters in this table are applicable only after any appropriate stabilization time has elapsed.

Tabel 9/9.3.2-103: Schakeltijden van de CDC586.

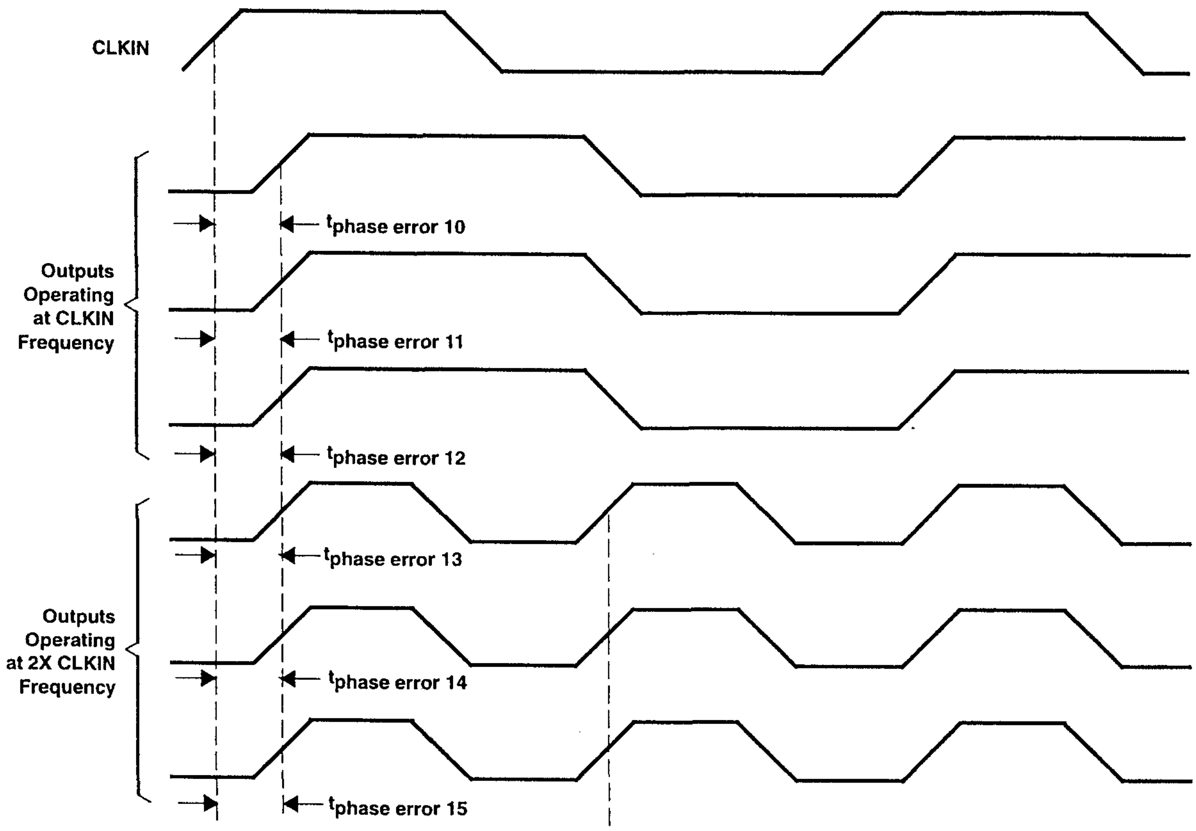


NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 1, 2, . . . 6)
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 7, 8, 9)

B. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 1, 2, . . . 6) across multiple devices under identica operating conditions.
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 7, 8, 9) across multiple devices under identical operating conditions.

Figuur 9/9.3.2-68: Golfvormen voor de berekening van $t_{sk(o)}$.

9.3 Clock-drivers/clock-generatoren



NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 10, 11, . . . 15)

B. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 10, 11, . . . 15) across multiple devices under identical operating conditions.

Figuur 9/9.3.2-69: Golfvormen voor de berekening van $t_{sk(o)}$ en $t_{sk(pr)}$ bij de CDC586.

CDC913

PC-moederbord clock-generator met dual 1-naar-4 buffers en 3-state uitgangen

De CDC913 is een high-performance clock-generator met geïntegreerde tweemaal 1-naar-4 buffers, waardoor het ontwerpen van clock-systemen voor PC moederborden gemakkelijker wordt. De CDC913 bestaat uit een kristal-oscillator, twee phase-lock loops (PLL's) en twee 1-naar-4 buffers. De CDC913 wekt alle frequenties op met behulp van een 14,318 MHz kristal.

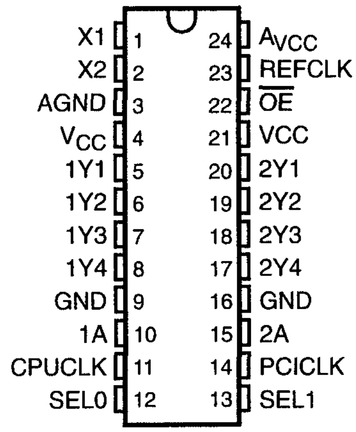
De CPUCLK-uitgang is programmeerbaar naar één uit drie frequenties (50, 60 of 66 MHz) via de SEL0 en SEL1 ingangen. Aan de PCICLK-uitgang verschijnt een 33 MHz clock, onafhankelijk van de CPUCLK-frequentie. REFCLK levert een gebufferde kopie van de 14,318 MHz referentie. In de TEST-mode worden de oscillator en PLL's overbrugd (dit wil zeggen als SEL0 = SEL1 = HOOG) In de TEST-mode kan een test-clock op de X1-ingang worden gezet, die dan gebufferd op PCICLK, CPUCLK en REFCLK verschijnt.

9.3 Clock-drivers/clock-generatoren

De pennen 1Yn en 2Yn zijn 3-state uitgangen die worden vrijgegeven door $\overline{OE}$ LAAG te maken. Als $\overline{OE}$ HOOG is, zijn deze uitgangen hoog-impedant. Omdat de CDC913 op PLL's is gebaseerd, is voor de stabilisatie van de fase-lock enige tijd nodig. Deze tijd moet in acht worden genomen na het opkomen van de voedingsspanning en na het aanbrengen van een signaal met een vaste frequentie en fase op de X1-pen en na veranderingen op de SELn-ingangen.

Technische gegevens

- genereert een programmeerbare CPU-clock (50, 60 of 66 MHz)
- genereert een 33 MHz clock voor asynchrone PCI
- één 14,318 MHz referentie clock-uitgang
- alle clock-uitgangen zijn afgeleid van een enkel 14,31818 MHz kristal
- 2x 1-naar-4 lijnen
- geen externe RC-netwerken nodig
- LVTTL-compatibele in- en uitgangen
- voedingsspanning: 3,3 V
- gedistribueerde V_{cc} en GND-pennen
- behuizing: 24-pens small outline (DW) en shrink small outline (DB)
- fabrikant: Texas Instruments



Figuur 9/9.3.2-70: Aansluitgegevens van de CDC913 (DB en DW-behuizing).

SEL0	SEL1	X1	CPUCLK	PCICLK	REFCLK
L	L	14.318 MHz	50 MHz	33 MHz	14.318 MHz
H	L	14.318 MHz	60 MHz	33 MHz	14.318 MHz
L	H	14.318 MHz	66 MHz	33 MHz	14.318 MHz
H	H	TCLK†	TCLK†	TCLK†	TCLK†

† Test clock (TCLK) is driven over X1 when the CDC913 is in the TEST mode; i.e., SEL1 = SEL0 = H.

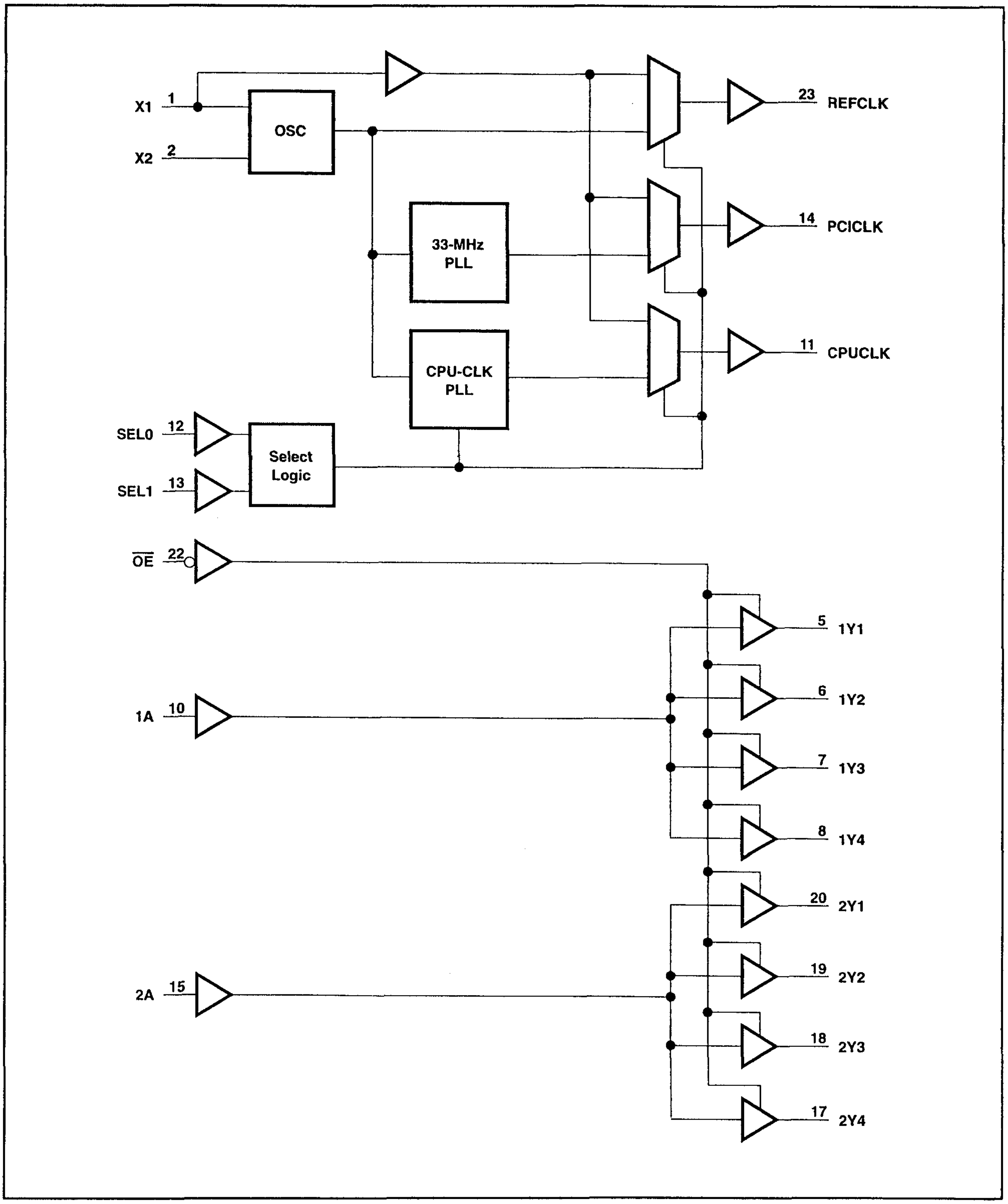
$\overline{OE}$	1A	2A	1Yn	2Yn
H	X	X	Hi-Z	Hi-Z
L	L	L	L	L
L	L	H	L	H
L	H	L	H	L
L	H	H	H	H

Figuur 9/9.3.2-71: Waarheidstabellen van de CDC913.

Supply voltage range, V_{CC}	−0.5 V to 4.6 V
Input voltage range, V_I (see Note 1)	−0.5 V to 4.6 V
Voltage range applied to any output in the high state or power-off state, V_O	−0.5 V to V_{CC} + 0.5 V
Current into any output in the low state, I_O	2 × I_{OHmax}
Input clamp current, I_{IK} (V_I < 0)	−18 mA
Output clamp current, I_{OK} (V_O < 0)	−50 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2): DB package	0.65 W
DW package	1.7 W
Storage temperature range, T_{stg}	−65°C to 150°C

Tabel 9/9.3.2-104: Maximaal toegelaten waarden van de CDC913.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-72: Logisch schema (positieve logica) van de CDC913.

9.3 Clock-drivers/clock-generatoren

			MIN	MAX	UNIT
V_{CC}	Supply voltage		3.135	3.6	V
V_{IH}	High-level input voltage		2		V
V_{IL}	Low-level input voltage			0.8	V
V_I	Input voltage		0	V_{CC}	V
I_{OH}	High-level output current	REFCLK		−12	mA
		PCICLK		−6	
		CPUCLK		−6	
		1Yn		−12	
		2Yn		−12	
I_{OL}	Low-level output current	REFCLK		12	mA
		PCICLK		6	
		CPUCLK		6	
		1Yn		12	
		2Yn		12	
T_A	Operating free-air temperature		0	70	°C

NOTE 3: Unused inputs must be held high or low

Tabel 9/9.3.2-105: Aanbevolen bedrijfscondities voor de CDC913.

		MIN	MAX	UNIT
Stabilization time‡	After SEL1, SEL0		5	ms
	After power up		5	

Tabel 9/9.3.2-107: Benodigde timing voor de CDC913.

PARAMETER	TEST CONDITIONS			T_A = 25°C MIN	TYP†	MAX	MIN	TYP†	MAX	UNIT
V_{IK}	V_{CC} = 3.135 V,	I_I = −18 mA				−1.2			−1.2	V
V_{OH}	V_{CC} = 3.135 V	I_{OH} = −12 mA	REFCLK	2.5			2.4			V
		I_{OH} = −6 mA	PCICLK	2.5			2.4			
		I_{OH} = −6 mA	CPUCLK	2.5			2.4			
		I_{OH} = −12 mA	1Yn	2.5			2.4			
		I_{OH} = −12 mA	2Yn	2.5			2.4			
V_{OL}	V_{CC} = 3.135 V	I_{OL} = 12 mA	REFCLK			0.4			0.5	V
		I_{OL} = 6 mA	PCICLK			0.4			0.5	
		I_{OL} = 6 mA	CPUCLK			0.4			0.5	
		I_{OL} = 12 mA	1Yn			0.4			0.5	
		I_{OL} = 12 mA	2Yn			0.4			0.5	
I_I	V_{CC} = 3.6 V,	V_I = V_{CC} or GND				±1			±1	μA
I_{OZ}	V_{CC} = 3.6 V,	V_O = 3 V or 0				±1			±1	μA
I_{CC}	V_{CC} = 3.6 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high						1	mA
			Outputs low						1	
			Outputs disabled						1	
C_i	V_I = 3.135 V or 0							6		pF
C_o	V_I = 3.135 V or 0							6		pF

† All typical values are at V_{CC} = 3.3 V, T_A = 25°C.

Tabel 9/9.3.2-106: Elektrische eigenschappen van de CDC913.

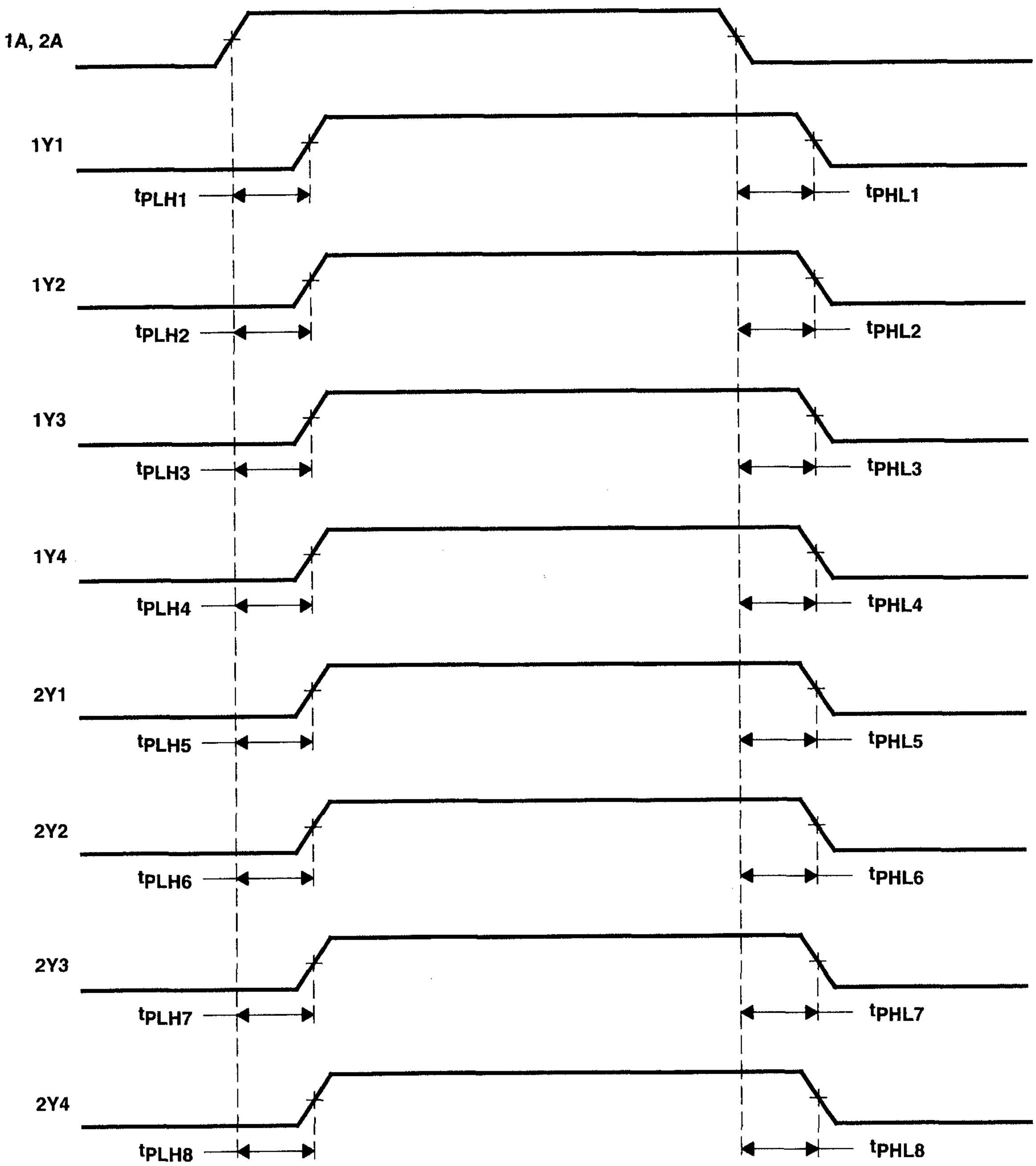
9.3 Clock-drivers/clock-generatoren

PARAMETER	FROM (INPUT)	TO (OUTPUT)		V_{CC} = 3.3 V, T_A = 25°C MIN	TYP	MAX	V_{CC} = 3.135 V to 3.6 V, T_A = 0°C to 70°C MIN	MAX	UNIT
t_{PLH}	1A	1Yn		1.5		3.5	1.2	3.8	ns
	2A	2Yn		1.5		3.5	1.2	3.8	
t_{PHL}	1A	1Yn		1.5		3.5	1.2	3.8	ns
	2A	2Yn		1.5		3.5	1.2	3.8	
t_{PZH}	$\overline{OE}$	1Yn		2.5		7	2	7.5	ns
		2Yn		2.5		7	2	7.5	
t_{PZL}	$\overline{OE}$	1Yn		2.5		7	2	7.5	ns
		2Yn		2.5		7	2	7.5	
t_{PHZ}	$\overline{OE}$	1Yn		2.5		7	2	7.5	ns
		2Yn		2.5		7	2	7.5	
t_{PLZ}	$\overline{OE}$	1Yn		2.5		7	2	7.5	ns
		2Yn		2.5		7	2	7.5	
$t_{sk(o)}$		1Yn				350		350	ps
		2Yn				350		350	
		Any Y				500		500	
$t_{sk(p)}$		1Yn and 2Yn				1		1	ns
$Jitter_{(pk-pk)}$†		CPUCLK						±250	ps
		PCICLK						±350	
$t_{c(period)}$†		PCICLK					30		ns
		CPUCLK	SEL0 = L, SEL1 = L				20		
		CPUCLK	SEL0 = H, SEL1 = L				16.7		
		CPUCLK	SEL0 = L, SEL1 = H				15		
Duty cycle†		CPUCLK					45%	55%	
		PCICLK					45%	55%	
t_r‡								2	ns
t_f‡								2	ns

† Specifications are applicable only after the PLL stabilization time has elapsed.

Tabel 9/9.3.2-108: Schakeltijden van de CDC913.

9.3 Clock-drivers/clock-generatoren



Output skew, $t_{sk(o)}$, is calculated as the greater of:
The difference between the fastest and slowest of t_{PLHn} (n = 1, 2, . . . , 8).
The difference between the fastest and slowest of t_{PHLn} (n = 1, 2, . . . , 8).
Pulse skew, tsk(p), is calculated as the greater of I tPLHn – tPLHn I (n = 1, 2, . . . , 8).

Figuur 9/9.3.2-73: Golfvormen voor de berekening van $t_{sk(o)}$ en $t_{sk(p)}$ bij de CDC913.

9.3 Clock-drivers/clock-generatoren

CDC2351

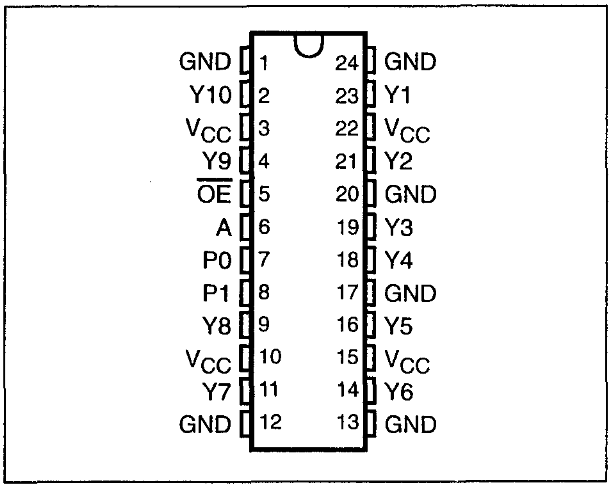
1-lijn naar 10-lijnen clock-driver met 3-state uitgangen

De CDC2351 is een high-performance clock-driver die één ingangssignaal (A) verdeelt over tien 3-state uitgangen (Y). Als het Output Enable-signaal ($\overline{OE}$) HOOG is, zijn de uitgangen in een hoog-impedante toestand gezet. Elke uitgang heeft een eigen dempings-weerstand om een beter signaal af te kunnen geven. De CDC2351 werkt op een nominale spanning van 3,3 V.

De vertragingstijden worden in de fabriek afgeregeld met behulp van de P0 en P1 pennen. Hierdoor is de skew van de uitgangssignalen minimaal. Deze pennen zijn echter niet bestemd voor de gebruiker en moeten aan GND worden gelegd.

Technische gegevens

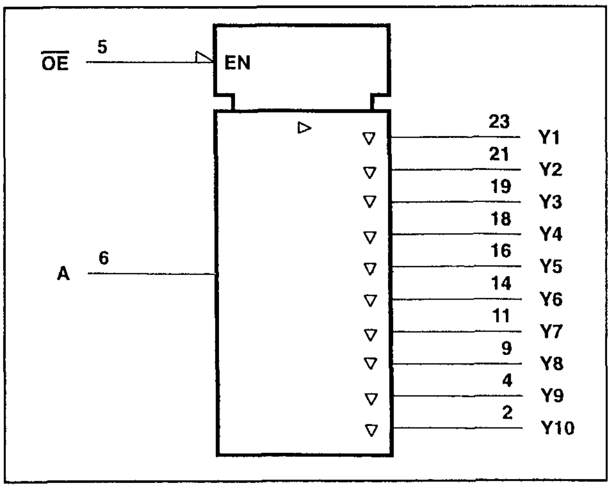
- 1-lijn naar 10-lijnen clock-driver
- geringe output-skew voor clock-distributie en clock-opwekking
- LVTTL-compatibele in- en uitgangen
- geschikt voor 5 V in- en uitgangssignalen bij V_{CC} = 3,3 V
- nominale voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- uitgangen voorzien van seriële dempings-weerstanden
- geringe dissipatie door BiCMOS-ontwerp
- behuizing: 24-pens Small Outline (DW) of Shrink Small Outline (DB)
- fabrikant: Texas Instruments



Figuur 9/9.3.2-74: Aansluitgegevens van de CDC2351.

INPUTS		OUTPUTS
A	$\overline{OE}$	Yn
L	H	Z
H	H	Z
L	L	L
H	L	H

Figuur 9/9.3.2-75: Waarheidstabel van de CDC2351.



Figuur 9/9.3.2-76: Logisch symbool van de CDC2351.

9.3 Clock-drivers/clock-generatoren

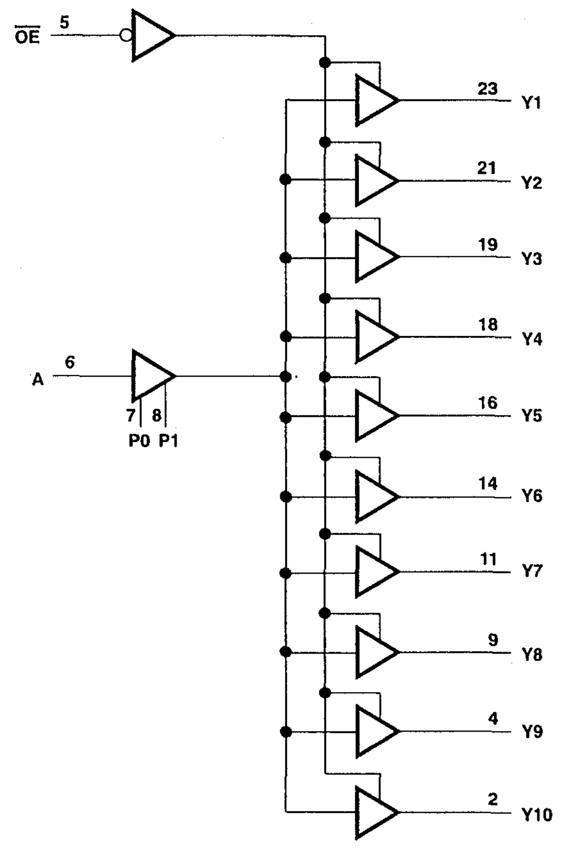
Supply voltage range, V_{CC}	−0.5 V to 4.6 V
Input voltage range, V_I (see Note 1)	−0.5 V to 7 V
Voltage range applied to any output in the high state or power-off state, V_O (see Note 1)	−0.5 V to 3.6 V
Current into any output in the low state, I_O	24 mA
Input clamp current, I_{IK} ($V_I < 0$)	−18 mA
Output clamp current, I_{OK} ($V_I < 0$)	−50 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2): DB package	0.65 W
DW package	1.7 W
Storage temperature range, T_{stg}	−65°C to 150°C

Tabel 9/9.3.2-109: Maximaal toegelaten waarden van de CDC2351.

		MIN	MAX	UNIT
V_{CC}	Supply voltage	3	3.6	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	5.5	V
I_{OH}	*High-level output current*		−12	mA
I_{OL}	Low-level output current		12	mA
f_{clock}	Input clock frequency		100	MHz
T_A	Operating free-air temperature	0	70	°C

NOTE 3: Unused pins (input or I/O) must be held high or low.

Tabel 9/9.3.2-110: Aanbevolen bedrijfscondities voor de CDC2351.



Figuur 9/9.3.2-77: Logisch schema (positieve logica) van de CDC2351.

9.3 Clock-drivers/clock-generatoren

PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
V_{IK}	$V_{CC} = 3$ V,	$I_I = -18$ mA				−1.2	V
V_{OH}	$V_{CC} = 3$ V,	$I_{OH} = -12$ mA		2			V
V_{OL}	$V_{CC} = 3$ V,	$I_{OL} = 12$ mA				0.8	V
I_I	$V_{CC} = 3.6$ V,	$V_I = V_{CC}$ or GND				±1	µA
I_O‡	$V_{CC} = 3.6$ V,	$V_O = 2.5$ V		−7		−70	mA
I_{OZ}	$V_{CC} = 3.6$ V,	$V_{CC} = 3$ V or 0				±10	µA
I_{CC}	$V_{CC} = 3.6$ V, $V_I = V_{CC}$ or GND	$I_O = 0$,	Outputs high			0.3	mA
			Outputs low			15	
			Outputs disabled			0.3	
C_I	$V_I = V_{CC}$ or GND,	$V_{CC} = 3.3$ V,	f = 10 MHz		4		pF
C_o	$V_O = V_{CC}$ or GND,	$V_{CC} = 3.3$ V,	f = 10 MHz		6		pF

‡ Not more than one output should be tested at a time, and the duration of the test should not exceed one second.

Tabel 9/9.3.2-111: Elektrische eigenschappen van de CDC2351.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$V_{CC} = 3.3$ V, $T_A = 25°C$			$V_{CC} = 3$ V to 3.6 V, $T_A = 0°C$ to 70°C		UNIT
			MIN	TYP	MAX	MIN	MAX	
t_{PLH}	A	Y	3.8	4.3	4.8			ns
t_{PHL}			3.6	4.1	4.6			
t_{PZH}	$\overline{OE}$	Y	2.4	4.9	6.0	1.8	6.9	ns
t_{PZL}			2.4	4.3	6.0	1.8	6.9	
t_{PHZ}	$\overline{OE}$	Y	2.2	4.4	6.3	2.1	7.1	ns
t_{PLZ}			2.2	4.6	6.3	2.1	7.3	
$t_{sk(o)}$	A	Y		0.3	0.5		0.5	ns
$t_{sk(p)}$	A	Y		0.2	0.8		0.8	ns
$t_{sk(pr)}$	A	Y			1		1	ns
t_r	A	Y					2.5	ns
t_f	A	Y					2.5	ns

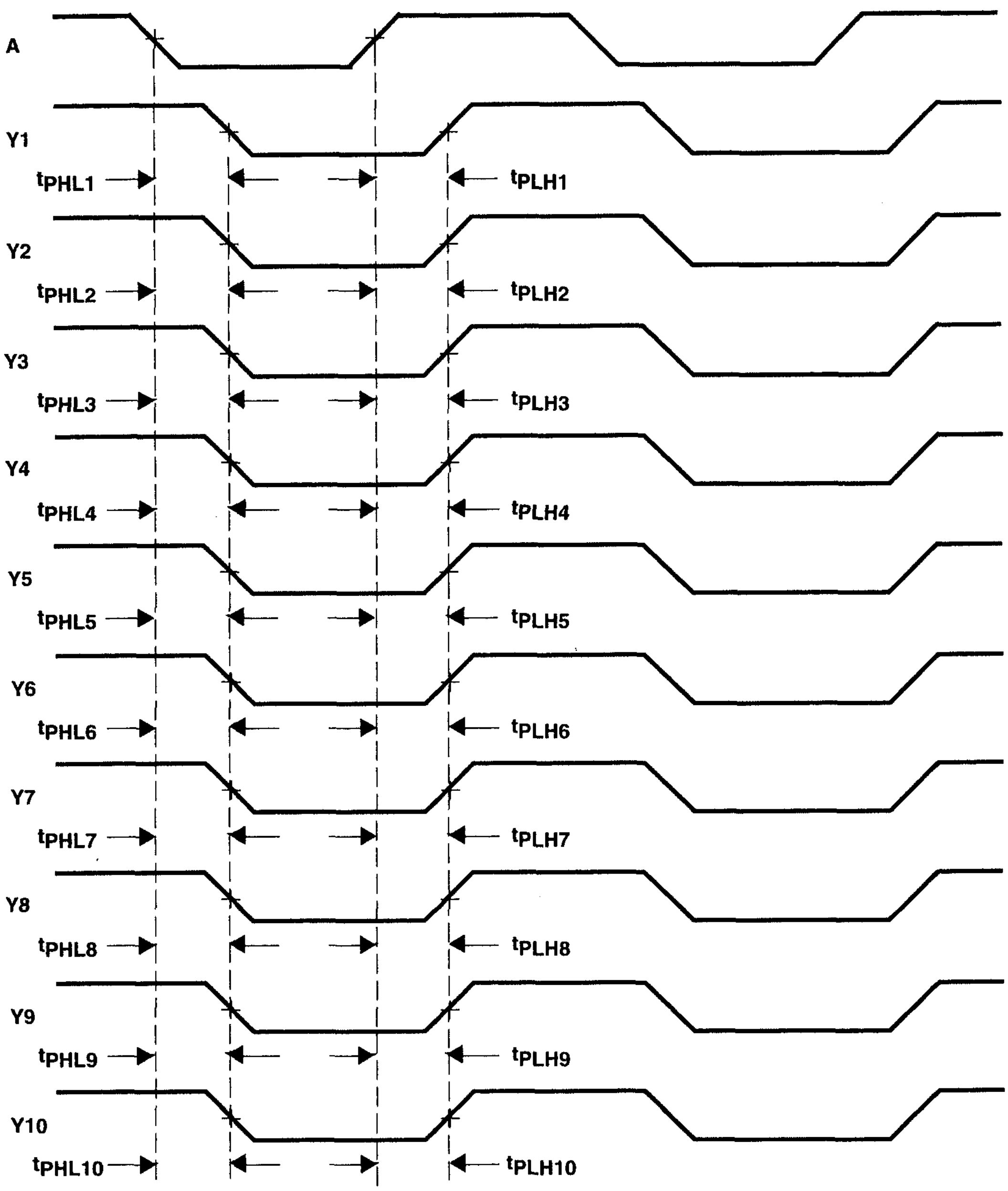
Tabel 9/9.3.2-112: Schakeltijden van de CDC2351.

PARAMETER		FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
$\propto t_{PLH}(T)$	Average temperature coefficient of low to high propagation delay	A	Y		85†	ps/10°C
$\propto t_{PHL}(T)$	Average temperature coefficient of high to low propagation delay	A	Y		50†	ps/10°C
$\propto t_{PLH}(V_{CC})$	Average V_{CC} coefficient of low to high propagation delay	A	Y		−145‡	ps/ 100 mV
$\propto t_{PHL}(V_{CC})$	Average V_{CC} coefficient of high to low propagation delay	A	Y		−100‡	ps/ 100 mV

† $\propto t_{PLH}(T)$ and $\propto t_{PHL}(T)$ are virtually independent of V_{CC}.
‡ $\propto t_{PLH}(V_{CC})$ and $\propto t_{PHL}(V_{CC})$ are virtually independent of temperature.
NOTE 4: These data were extracted from characterization material and are not tested at the factory.

Tabel 9/9.3.2-113: Temperatuur- en V_{CC}-afhankelijkheid van de vertragingstijden van de CDC2351.

9.3 Clock-drivers/clock-generatoren



A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
   - The difference between the fastest and slowest of t_{PLHn} (n = 1, 2, 3, 4, 5, 6, 7, 8, 9, 10)
   - The difference between the fastest and slowest of t_{PHLn} (n = 1, 2, 3, 4, 5, 6, 7, 8, 9, 10)

B. Pulse skew, $t_{sk(p)}$, is calculated as the greater of $| t_{PLHn} - t_{PHLn} |$ (n = 1, 2, 3, 4, 5, 6, 7, 8, 9, 10).

C. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
   - The difference between the fastest and slowest of t_{PLHn} (n = 1, 2, 3, 4, 5, 6, 7, 8, 9, 10) across multiple devices under identical operating conditions
   - The difference between the fastest and slowest of t_{PHLn} (n = 1, 2, 3, 4, 5, 6, 7, 8, 9, 10) across multiple devices under identica operating conditions

Figuur 9/9.3.2-78: Golfvormen voor de berekening van $t_{sk(o)}$, $t_{sk(p)}$ en $t_{sk(pr)}$.

CDC2509

phase-lock loop 9-lijns clock-driver

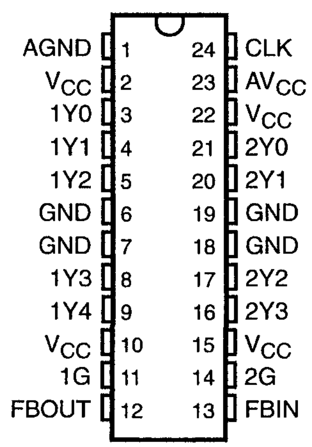
De CDC2509 is een high-performance phase-lock loop (PLL) clock-driver met kleine skew en weinig jitter. Voor de precieze uitlijning (zowel in frequentie als in fase) van de feedback-uitgang (FBOUT) op het clockingangssignaal (CLK) wordt een PLL toegepast. De CDC2509 is speciaal ontworpen voor gebruik met synchrone DRAM's. De CDC2509 werkt op 3,3 V en heeft geïntegreerde serie-weerstanden aan de uitgangen.

Door het gebruik van één bank met 5 uitgangen en één bank met 4 uitgangen ontstaan negen low-skew, low-jitter kopieën van CLK. De duty-cycles van de uitgangssignalen bedragen 50 %, onafhankelijk van de duty-cycle van CLK. Elke uitgangsbank kan apart worden vrijgegeven of gesperd door middel van de besturingssignalen 1G en 2G. Als de G-ingangen HOOG zijn, schakelen de uitgangen met dezelfde frequentie en fase als CLK. Zijn de G-ingangen LAAG, dan zijn de uitgangen gesperd en bevinden zij zich in de logisch-LAGE toestand.

In tegenstelling tot andere componenten die PLL's bevatten, zijn voor de CDC2509 geen externe RC-netwerken nodig, omdat het loop-filter voor de PLL zich op de chip bevindt. Omdat de CDC2509 op een PLL is gebaseerd, is er enige tijd nodig om de faselock van het feedback signaal op het referentiesignaal te laten stabiliseren. Deze stabilisatietijd is nodig na het opkomen van de voedingsspanning en het aanbrengen van een signaal met een vaste frequentie en fase op de CLK-pen en na eventuele veranderingen van deze signalen. De PLL kan voor testdoeleinden worden omzeild door AV_{CC} aan GND te leggen.

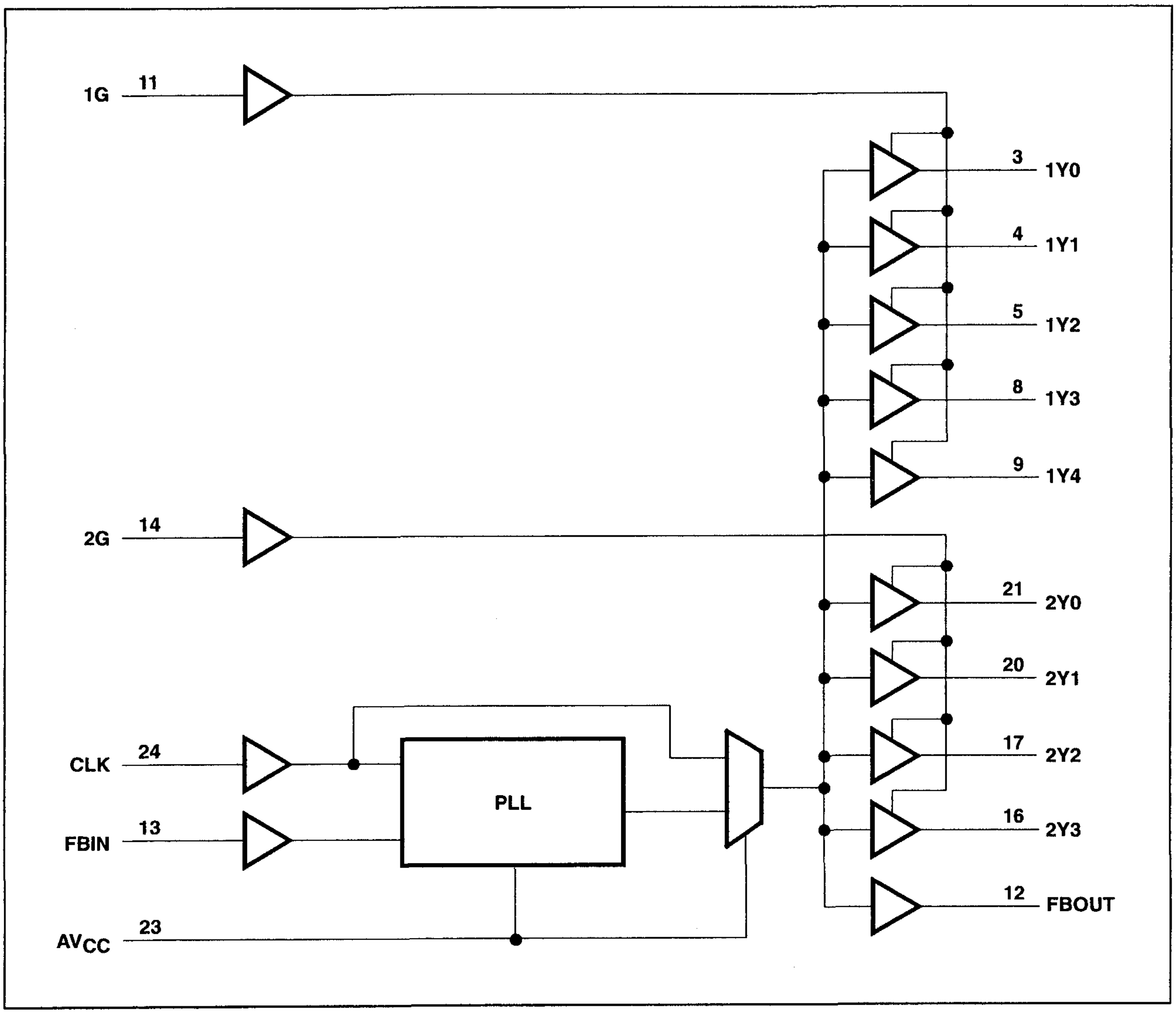
Technische gegevens

- phase-lock loop clock-driver voor synchrone DRAM's
- 1-lijn naar 1 bank van 5 en 1 bank van 4 lijnen
- aparte Output Enable voor elke bank
- geen extern RC-netwerk nodig
- externe feedback-pen (FBIN) voor synchronisatie van de uitgangen op de clockingang
- seriële dempings-weerstand op elke uitgang
- LVTTL-compatibele in- en uitgangen
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- behuizing: 24-pens Thin Shrink Small Outline (PW)
- fabrikant: Texas Instruments



Figuur 9/9.3.2-79: Aansluitgegevens van de CDC2509.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-80: Logisch schema (positieve logica) van de CDC2509.

9.3 Clock-drivers/clock-generatoren

TERMINAL NAME	TERMINAL NO.	TYPE	DESCRIPTION
CLK	24	I	Clock input. CLK provides the clock signal to be distributed by the CDC2509 clock driver. CLK is used to provide the reference signal to the integrated PLL that generates the clock output signals. CLK must have a fixed frequency and fixed phase for the PLL to obtain phase lock. Once the circuit is powered up and a valid CLK signal is applied, a stabilization time is required for the PLL to phase lock the feedback signal to its reference signal.
FBIN	13	I	Feedback input. FBIN provides the feedback signal to the internal PLL. FBIN must be hard-wired to FBOUT to complete the PLL. The integrated PLL synchronizes CLK and FBIN so that there is nominally zero phase error between CLK and FBIN.
1G	11	I	Output bank enable. 1G is the output enable for outputs 1Y(0:4). When 1G is low, outputs 1Y(0:4) are disabled to a logic-low state. When 1G is high, all outputs 1Y(0:4) are enabled and switch at the same frequency as CLK.
2G	14	I	Output bank enable. 2G is the output enable for outputs 2Y(0:3). When 2G is low, outputs 2Y(0:3) are disabled to a logic low state. When 2G is high, all outputs 2Y(0:3) are enabled and switch at the same frequency as CLK.
FBOUT	12	O	Feedback output. FBOUT is dedicated for external feedback. It switches at the same frequency as CLK. When externally wired to FBIN, FBOUT completes the feedback loop of the PLL. FBOUT has and integrated 25-Ω series-damping resistor.
1Y (0:4)	3, 4, 5, 8, 9	O	Clock outputs. These outputs provide low-skew copies of CLK. Output bank 1Y(0:4) is enabled via the 1G input. These outputs can be disabled to a logic-low state by deasserting the 1G control input. Each output has an integrated 25-Ω series-damping resistor.
2Y (0:3)	16, 17, 20, 21	O	Clock outputs. These outputs provide low-skew copies of CLK. Output bank 2Y(0:3) is enabled via the 2G input. These outputs can be disabled to a logic-low state by deasserting the 2G control input. Each output has an integrated 25-Ω series-damping resistor.
AV_{CC}	23	Power	Analog power supply. AV_{CC} provides the power reference for the analog circuitry. In addition, AV_{CC} can be used to bypass the PLL for test purposes. When AV_{CC} is strapped to ground, PLL is bypassed and CLK is buffered directly to the device outputs.
AGND	1	Ground	Analog ground. AGND provides the ground reference for the analog circuitry.
V_{CC}	2, 10, 15, 22	Power	Power supply
GND	6, 7, 18, 19	Ground	Ground

Tabel 9/9.3.2-114: Functies van de signalen.

INPUTS			OUTPUTS		
1G	2G	CLK	1Y (0:4)	2Y (0:3)	FBOUT
X	X	L	L	L	L
L	L	H	L	L	H
L	H	H	L	H	H
H	L	H	H	L	H
H	H	H	H	H	H

Tabel 9/9.3.2-115: Waarheidstabel van de CDC2509.

Supply voltage range, V_{CC} .... –0.5 V to 4.6 V
Input voltage range, V_I (see Note 1) .... –0.5 V to 6.5 V
Voltage range applied to any output in the high or low state, V_O (see Notes 1 and 2) .... –0.5 V to V_{CC} + 0.5 V
Input clamp current, I_{IK} ($V_I < 0$) .... –50 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) .... ±50 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC}) .... ±50 mA
Continuous current through each V_{CC} or GND .... ±100 mA
Maximum power dissipation at $T_A = 55°C$ (in still air) .... 0.7 W
Storage temperature range, T_{stg} .... –65°C to 150°C

Tabel 9/9.3.2-116: Maximaal toegelaten waarden van de CDC2509.

9.3 Clock-drivers/clock-generatoren

		MIN	MAX	UNIT
V_{CC}	Supply voltage	3	3.6	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	V_{CC}	V
I_{OH}	High-level output current		–12	mA
I_{OL}	Low-level output current		12	mA
T_A	Operating free-air temperature	0	70	°C

NOTE 4: Unused inputs must be held high or low

Tabel 9/9.3.2-117: Aanbevolen bedrijfscondities van de CDC2509.

		MIN	MAX	UNIT
f_{clock}	Clock frequency	25	125	MHz
	Input clock duty cycle	40%	60%	
	Stabilization time†		1	ms

Tabel 9/9.3.2-119: Benodigde timing voor de CDC2509.

PARAMETER	TEST CONDITIONS		V_{CC}	MIN	TYP‡	MAX	UNIT
V_{IK}	I_I = –18 mA		3 V			–1.2	V
V_{OH}	I_{OH} = –100 µA		MIN to MAX	V_{CC}–0.2			V
	I_{OH} = –12 mA		3 V	2.1			
	I_{OH} = –6 mA		3 V	2.4			
V_{OL}	I_{OL} = 100 µA		MIN to MAX			0.2	V
	I_{OL} = 12 mA		3 V			0.8	
	I_{OL} = 6 mA		3 V			0.55	
I_I	V_I = V_{CC} or GND		3.6 V			±5	µA
I_{CC}§	V_I = V_{CC} or GND,	I_O = 0, Outputs: low or high	3.6 V			10	µA
ΔI_{CC}	One input at V_{CC} – 0.6 V,	Other inputs at V_{CC} or GND	3.3 V to 3.6 V			500	µA
C_i	V_I = V_{CC} or GND		3.3 V		4		pF
C_o	V_O = V_{CC} or GND		3.3 V		6		pF

‡ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
§ For I_{CC} of AV_{CC}.

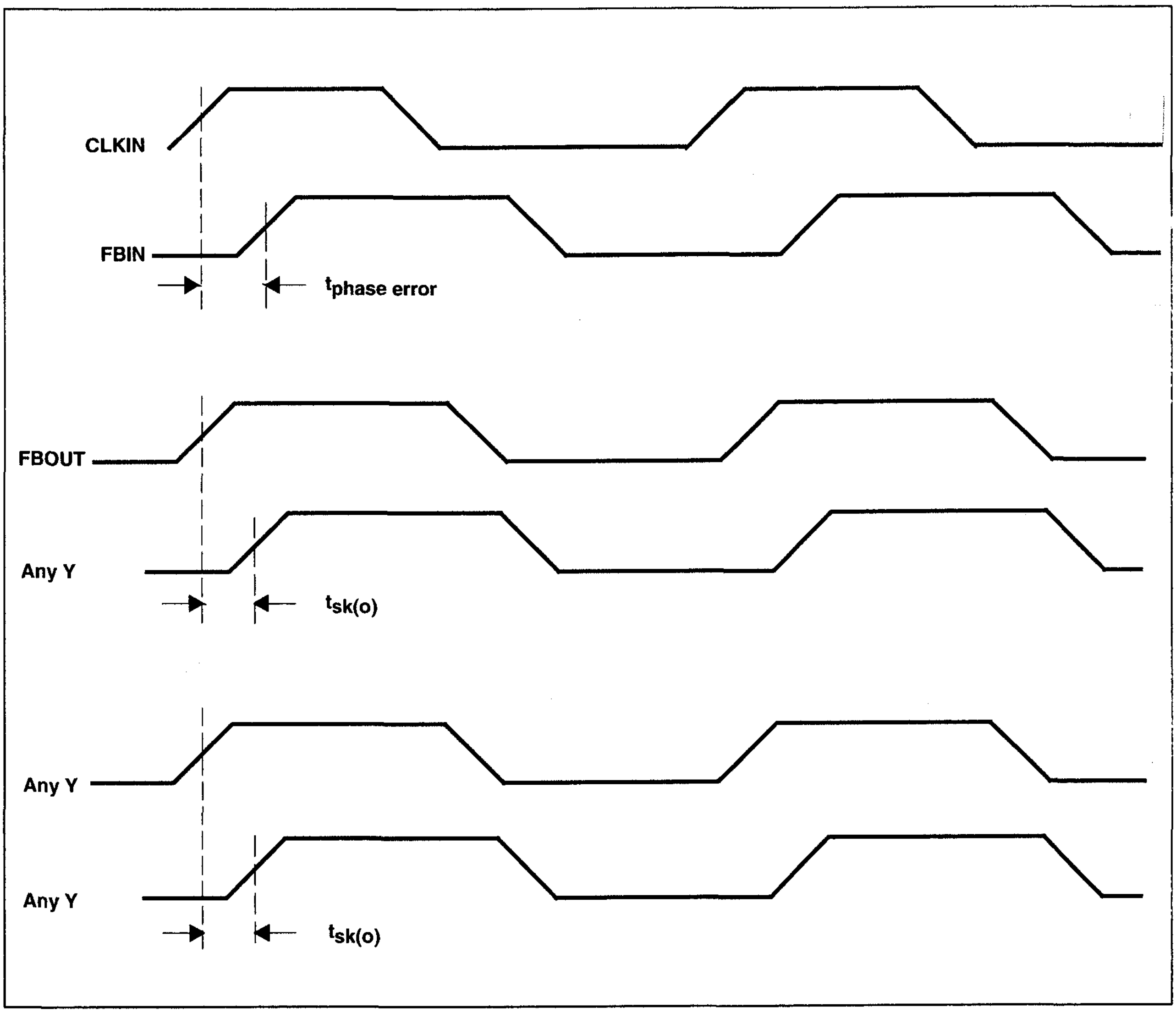
Tabel 9/9.3.2-118: Elektrische eigenschappen van de CDC2509.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC} = 3.3 V ± 0.165 V			V_{CC} = 3.3 V ± 0.3 V			
			MIN	TYP	MAX	MIN	TYP	MAX	
$t_{phase\ error}$, reference (see Figure 3)	66 MHz < CLKIN↑ < 100 MHz	FBIN↑					–0.7...0.1		ns
$t_{phase\ error}$, – jitter (see Note 6)	CLKIN↑ = 100 MHz	FBIN↑	–500		–50		–310		ps
$t_{sk(o)}$§	Any Y or FBOUT	Any Y or FBOUT						200	ps
$Jitter_{(pk-pk)}$		Any Y or FBOUT				–100		100	ps
Duty cycle reference (see Figure 4)	F(clkin ≤ 66 MHz)	Any Y or FBOUT				45%		55%	
	F(clkin > 66 MHz)	Any Y or FBOUT				43%		55%	
t_r		Any Y or FBOUT		1.3	1.9	0.8		2.1	ns
t_f		Any Y or FBOUT		1.7	2.3	1.2		2.5	ns

‡ These parameters are not production tested.
§ The $t_{sk(o)}$ specification is only valid for equal loading of all outputs.
NOTES: 5. The specifications for parameters in this table are applicable only after any appropriate stabilization time has elapsed.
6. Phase error does not include jitter. The total phase error is – 600 ps to 50 ps for the 5% V_{CC} range.

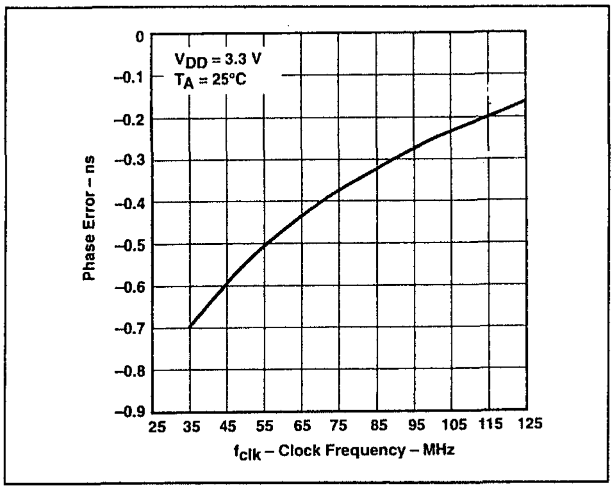
Tabel 9/9.3.2-120: Schakeltijden van de CDC2509.

9.3 Clock-drivers/clock-generatoren

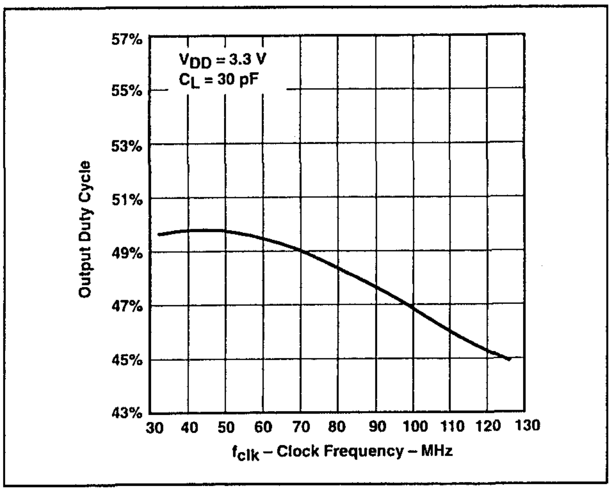


Figuur 9/9.3.2-81: Golfvormen voor de berekening van fasefout en skew.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-82: Fasefout als functie van de frequentie.



Figuur 9/9.3.2-83: Duty-cylce van het uitgangssignaal als functie van de frequentie.

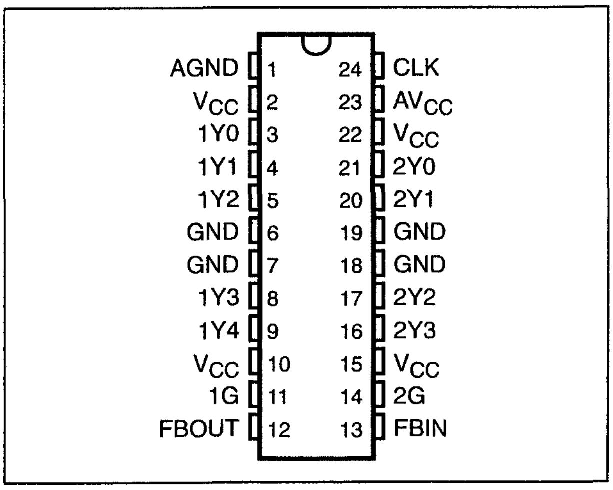
CDC2509A

phase-lock loop 9-lijns clock-driver

De CDC2509A is, net als de CDC2509, een high-performance phase-lock loop (PLL) clock-driver. De CDC2509A is iets langzamer, maar verder zowel elektrisch als wat betreft de werking identiek. Vandaar dat hier alleen de afwijkende gegevens worden vermeld en dat voor de overige gegevens naar de CDC2509 wordt verwezen.

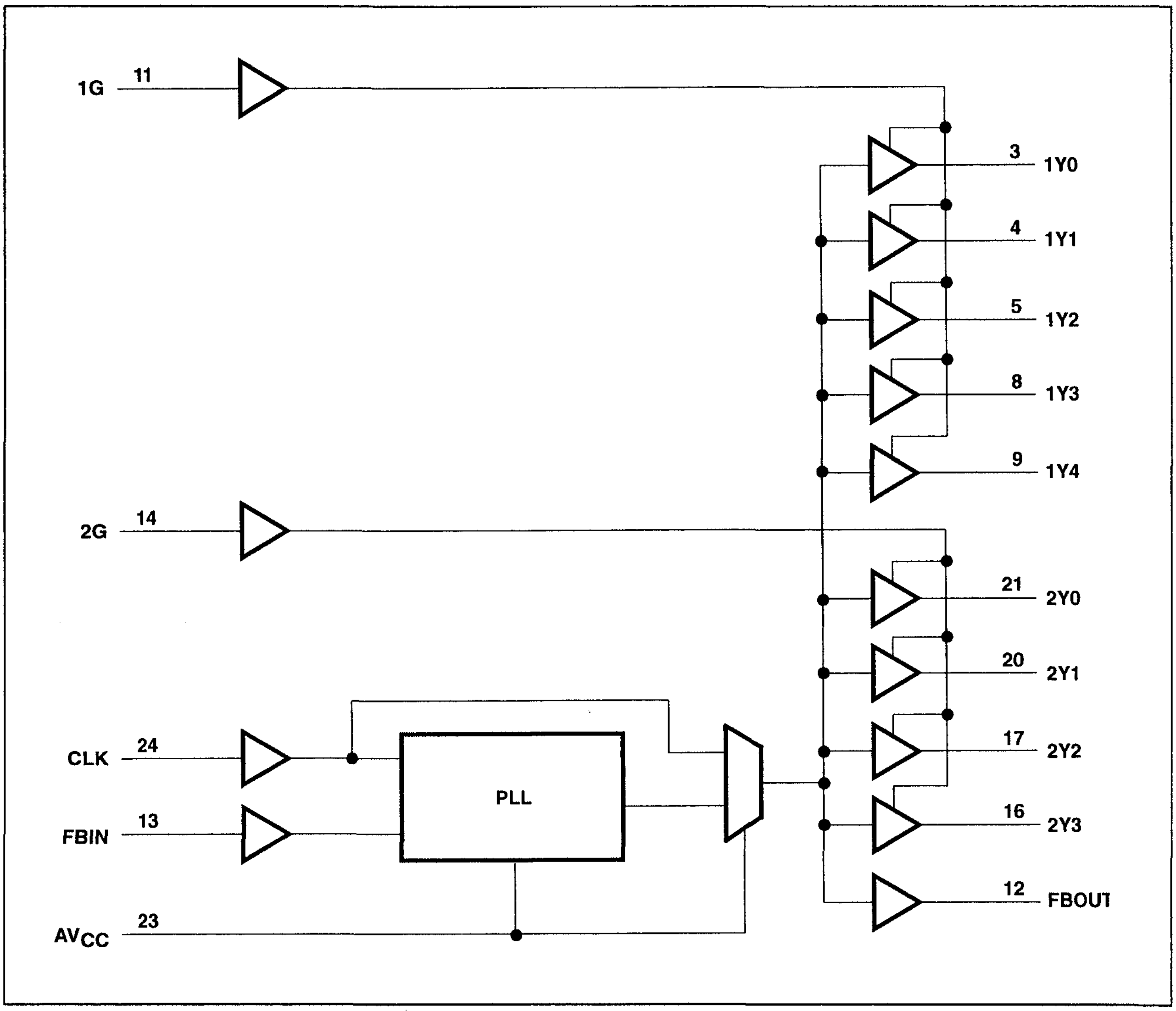
Technische gegevens

- phase-lock loop clock-driver voor synchrone DRAM's
- 1-lijn naar 1 bank van 5 en 1 bank van 4 lijnen
- aparte Output Enable voor elke bank
- geen extern RC-netwerk nodig
- externe feedback-pen (FBIN) voor synchronisatie van de uitgangen op de clock-ingang
- seriële dempings-weerstand op elke uitgang
- LVTTL-compatibele in- en uitgangen
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- behuizing:
  24-pens Thin Shrink Small Outline (PW)
- fabrikant: Texas Instruments



Figuur 9/9.3.2-84: Aansluitgegevens van de CDC2509A.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-85: Logisch schema (positieve logica) van de CDC2509A.

9.3 Clock-drivers/clock-generatoren

TERMINAL		TYPE	DESCRIPTION
NAME	NO.		
CLK	24	I	Clock input. CLK provides the clock signal to be distributed by the CDC2509A clock driver. CLK is used to provide the reference signal to the integrated PLL that generates the clock output signals. CLK must have a fixed frequency and fixed phase for the PLL to obtain phase lock. Once the circuit is powered up and a valid CLK signal is applied, a stabilization time is required for the PLL to phase lock the feedback signal to its reference signal.
FBIN	13	I	Feedback input. FBIN provides the feedback signal to the internal PLL. FBIN must be hard-wired to FBOUT to complete the PLL. The integrated PLL synchronizes CLK and FBIN so that there is nominally zero phase error between CLK and FBIN.
1G	11	I	Output bank enable. 1G is the output enable for outputs 1Y(0:4). When 1G is low, outputs 1Y(0:4) are disabled to a logic-low state. When 1G is high, all outputs 1Y(0:4) are enabled and switch at the same frequency as CLK.
2G	14	I	Output bank enable. 2G is the output enable for outputs 2Y(0:3). When 2G is low, outputs 2Y(0:3) are disabled to a logic low state. When 2G is high, all outputs 2Y(0:3) are enabled and switch at the same frequency as CLK.
FBOUT	12	O	Feedback output. FBOUT is dedicated for external feedback. It switches at the same frequency as CLK. When externally wired to FBIN, FBOUT completes the feedback loop of the PLL. FBOUT has and integrated 25-Ω series-damping resistor.
1Y (0:4)	3, 4, 5, 8, 9	O	Clock outputs. These outputs provide low-skew copies of CLK. Output bank 1Y(0:4) is enabled via the 1G input. These outputs can be disabled to a logic-low state by deasserting the 1G control input. Each output has an integrated 25-Ω series-damping resistor.
2Y (0:3)	16, 17, 20, 21	O	Clock outputs. These outputs provide low-skew copies of CLK. Output bank 2Y(0:3) is enabled via the 2G input. These outputs can be disabled to a logic-low state by deasserting the 2G control input. Each output has an integrated 25-Ω series-damping resistor.
AV$_{CC}$	23	Power	Analog power supply. AV$_{CC}$ provides the power reference for the analog circuitry. In addition, AV$_{CC}$ can be used to bypass the PLL for test purposes. When AV$_{CC}$ is strapped to ground, PLL is bypassed and CLK is buffered directly to the device outputs.
AGND	1	Ground	Analog ground. AGND provides the ground reference for the analog circuitry.
V$_{CC}$	2, 10, 15, 22	Power	Power supply
GND	6, 7, 18, 19	Ground	Ground

Tabel 9/9.3.2-121: Functies van de signalen.

INPUTS			OUTPUTS		
1G	2G	CLK	1Y (0:4)	2Y (0:3)	FBOUT
X	X	L	L	L	L
L	L	H	L	L	H
L	H	H	L	H	H
H	L	H	H	L	H
H	H	H	H	H	H

Tabel 9/9.3.2-122: Waarheidstabel van de CDC2509A.

9.3 Clock-drivers/clock-generatoren

Supply voltage range, AV_{CC} (see Note 1)	$AV_{CC} < V_{CC}$ +0.7 V
Supply voltage range, V_{CC}	–0.5 V to 4.6 V
Input voltage range, V_I (see Note 2)	–0.5 V to 6.5 V
Voltage range applied to any output in the high or low state, V_O (see Notes 2 and 3)	–0.5 V to V_{CC} + 0.5 V
Input clamp current, I_{IK} ($V_I < 0$)	–50 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$)	±50 mA
Continuous output current, I_O (V_O = 0 to V_{CC})	±50 mA
Continuous current through each V_{CC} or GND	±100 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 4)	0.7 W
Storage temperature range, T_{stg}	–65°C to 150°C

Tabel 9/9.3.2-123: Maximaal toegelaten waarden van de CDC2509A.

		MIN	MAX	UNIT
f_{clk}	Clock frequency	80	100	MHz
	Input clock duty cycle	40%	60%	
	Stabilization time†		1	ms

Tabel 9/9.3.2-124: Benodigde timing voor de CDC2509A.

PARAMETER	FROM (INPUT)/CONDITION	TO (OUTPUT)	V_{CC}, AV_{CC} = 3.3 V ± 0.165 V			V_{CC}, AV_{CC} = 3.3 V ± 0.3 V			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
$t_{phase\ error}$, reference (see Note 7, Figure 3)	80 MHz < CLKIN↑ ≤ 100 MHz	FBIN↑				–700		–300	ps
$t_{phase\ error}$, – jitter (see Note 8)	CLKIN↑ = 100 MHz	FBIN↑	–750		–350		–540		ps
$t_{sk(o)}$§	Any Y or FBOUT	Any Y or FBOUT						200	ps
$Jitter_{(pk-pk)}$ (see Figure 4)	Clkin = 100 MHz	Any Y or FBOUT				–150		150	ps
Duty cycle	F(clkin > 80 MHz)	Any Y or FBOUT				45%		55%	
t_r		Any Y or FBOUT		1.3	1.9	0.8		2.1	ns
t_f		Any Y or FBOUT		1.7	2.5	1.2		2.7	ns

‡ These parameters are not production tested.
§ The $t_{sk(o)}$ specification is only valid for equal loading of all outputs.
NOTES: 6. The specifications for parameters in this table are applicable only after any appropriate stabilization time has elapsed.
7. This is considered as static phase error.
8. Phase error does not include jitter. The total phase error is –900 ps to –200 ps for the 5% V_{CC} range.

Tabel 9/9.3.2-125: Schakeltijden van de CDC2509A.

CDC2510

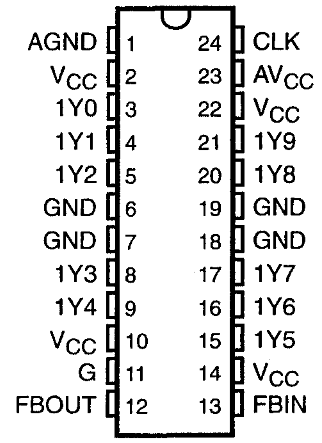
phase-lock loop 10-lijns clock-driver

De CDC2510 is een high-performance phase-lock loop (PLL) clock-driver met zeer kleine skew en jitter. Voor de precieze uitlijning (zowel wat betreft frequentie als fase) van de feedback-uitgang (FBOUT) op het clock-ingangssignaal (CLK) wordt gebruik gemaakt van een PLL. De CDC2510 werkt op 3,3 V en heeft geïntegreerde serie-weerstanden aan de uitgangen, bedoeld voor punt-naar-punt belastingen.
Door het gebruik van één bank met 10 uitgangen ontstaan tien low-skew, low-jitter kopieën van CLK met 50 % duty-cycles, onafhankelijk van de duty-cycle van CLK. Alle uitgangen worden tegelijk vrijgegeven of gesperd door middel van het G besturings-

signaal. Als G LAAG is, zijn de uitgangen gesperd en bevinden zij zich in de logisch-LAGE toestand. In tegenstelling tot andere componenten die PLL's bevatten, zijn voor de CDC2510 geen externe RC-netwerken nodig, omdat het loop-filter voor de PLL zich op de chip bevindt. Omdat de CDC2510 op een PLL is gebaseerd, heeft hij enige tijd nodig om de fase-lock van het feedback signaal op het referentiesignaal te laten stabiliseren. Deze stabilisatietijd is nodig na het opkomen van de voedingsspanning en het aanbrengen van een signaal met een vaste frequentie en fase op de CLK-pen en na eventuele veranderingen van deze signalen. De PLL kan worden omzeild door AV_{CC} aan GND te leggen.

Technische gegevens

- phase-lock loop clock-driver voor synchrone DRAM's
- 1-lijn naar 10-lijnen
- enkele Output Enable voor alle uitgangen
- geen extern RC-netwerk nodig
- externe feedback-pen (FBIN) voor synchronisatie van de uitgangen op de clock-ingang
- seriële dempings-weerstand op elke uitgang
- LVTTL-compatibele in- en uitgangen
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- behuizing:
  24-pens Thin Shrink Small Outline (PW)
- fabrikant: Texas Instruments

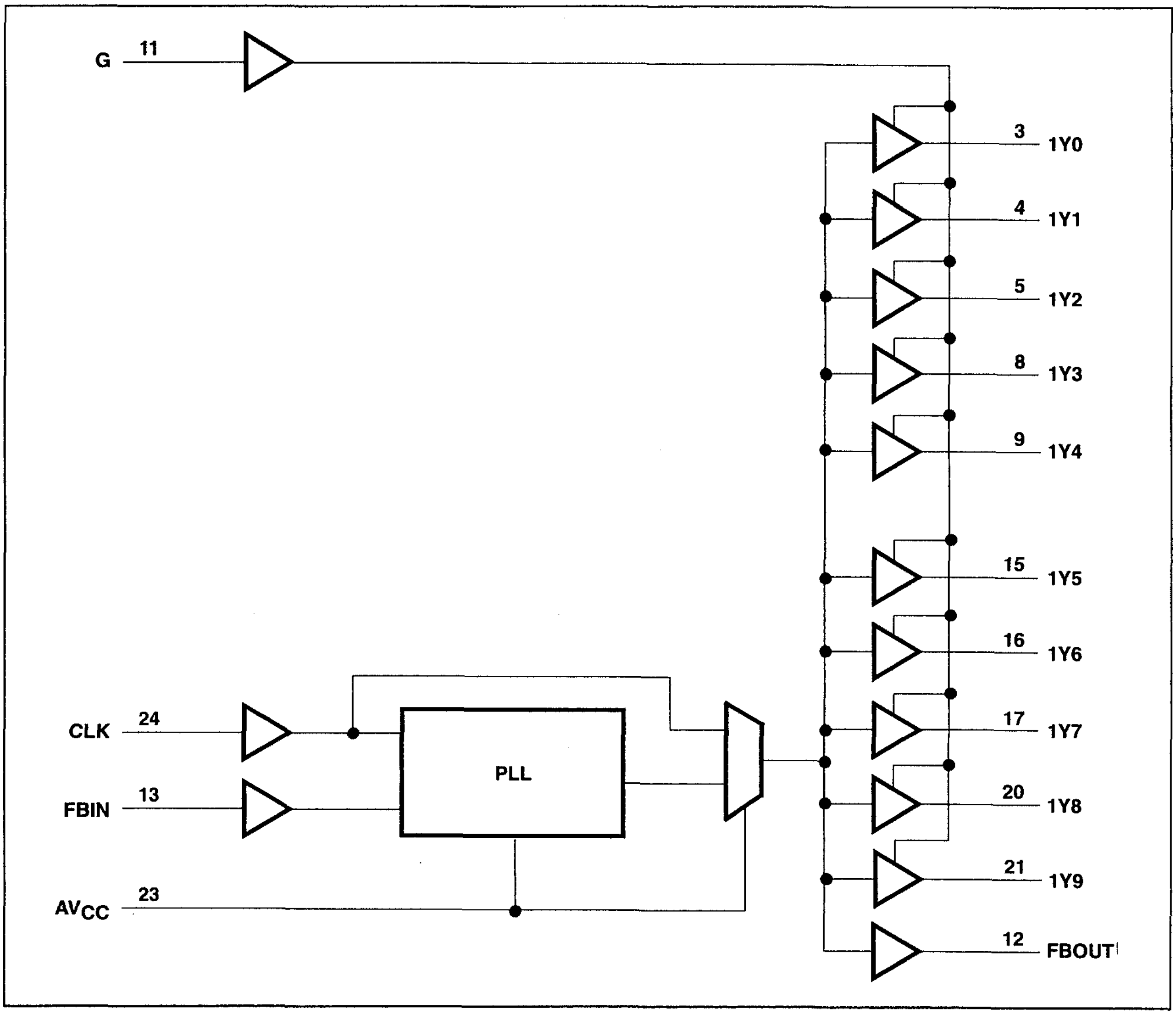


Figuur 9/9.3.2-86: Aansluitgegevens van de CDC2510.

TERMINAL NAME	TERMINAL NO.	TYPE	DESCRIPTION
CLK	24	I	Clock input. CLK provides the clock signal to be distributed by the CDC2510 clock driver. CLK is used to provide the reference signal to the integrated PLL that generates the clock output signals. CLK must have a fixed frequency and fixed phase for the PLL to obtain phase lock. Once the circuit is powered up and a valid CLK signal is applied, a stabilization time is required for the PLL to phase lock the feedback signal to its reference signal.
FBIN	13	I	Feedback input. FBIN provides the feedback signal to the internal PLL. FBIN must be hard-wired to FBOUT to complete the PLL. The integrated PLL synchronizes CLK and FBIN so that there is nominally zero phase error between CLK and FBIN.
G	11	I	Output bank enable. G is the output enable for outputs 1Y(0:9). When G is low, outputs 1Y(0:9) are disabled to a logic-low state. When G is high, all outputs 1Y(0:9) are enabled and switch at the same frequency as CLK.
FBOUT	12	O	Feedback output. FBOUT is dedicated for external feedback. It switches at the same frequency as CLK. When externally wired to FBIN, FBOUT completes the feedback loop of the PLL. FBOUT has and integrated 25-Ω series-damping resistor.
1Y (0:9)	3, 4, 5, 8, 9 15, 16, 17, 20, 21	O	Clock outputs. These outputs provide low-skew copies of CLK. Output bank 1Y(0:9) is enabled via the G input. These outputs can be disabled to a logic-low state by deasserting the G control input. Each output has an integrated 25-Ω series-damping resistor.
AV_{CC}	23	Power	Analog power supply. AV_{CC} provides the power reference for the analog circuitry. In addition, AV_{CC} can be used to bypass the PLL for test purposes. When AV_{CC} is strapped to ground, PLL is bypassed and CLK is buffered directly to the device outputs.
AGND	1	Ground	Analog ground. AGND provides the ground reference for the analog circuitry.
V_{CC}	2, 10, 14, 22	Power	Power supply
GND	6, 7, 18, 19	Ground	Ground

Tabel 9/9.3.2-126: Functies van de signalen.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-87: Logisch schema (positieve logica) van de CDC2510.

INPUTS		OUTPUTS	
G	CLK	1Y (0:9)	FBOUT
X	L	L	L
L	H	L	H
H	H	H	H

Tabel 9/9.3.2-127: Waarheidstabel van de CDC2510.

Supply voltage range, V_{CC}	–0.5 V to 4.6 V
Input voltage range, V_I (see Note 1)	–0.5 V to 6.5 V
Voltage range applied to any output in the high or low state, V_O (see Notes 1 and 2)	–0.5 V to V_{CC} + 0.5 V
Input clamp current, I_{IK} ($V_I < 0$)	–50 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$)	±50 mA
Continuous output current, I_O ($V_O = 0$ to V_{CC})	±50 mA
Continuous current through each V_{CC} or GND	±100 mA
Maximum power dissipation at T_A = 55°C (in still air)	0.7 W
Storage temperature range, T_{stg}	–65°C to 150°C

Tabel 9/9.3.2-128: Maximaal toegelaten waarden van de CDC2510.

9.3 Clock-drivers/clock-generatoren

		MIN	MAX	UNIT
V_{CC}	Supply voltage	3	3.6	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	V_{CC}	V
I_{OH}	High-level output current		−12	mA
I_{OL}	Low-level output current		12	mA
T_A	Operating free-air temperature	0	70	°C

NOTE 4: Unused inputs must be held high or low

Tabel 9/9.3.2-129: Aanbevolen bedrijfscondities van de CDC2510.

		MIN	MAX	UNIT
f_{clock}	Clock frequency	25	125	MHz
	Input clock duty cycle	40%	60%	
	Stabilization time†		1	ms

Tabel 9/9.3.2-131: Benodigde timing voor de CDC2510.

PARAMETER	TEST CONDITIONS		V_{CC}	MIN	TYP‡	MAX	UNIT
V_{IK}	$I_I = -18$ mA		3 V			−1.2	V
V_{OH}	$I_{OH} = -100$ µA		MIN to MAX	$V_{CC}-0.2$			V
	$I_{OH} = -12$ mA		3 V	2.1			
	$I_{OH} = -6$ mA		3 V	2.4			
V_{OL}	$I_{OL} = 100$ µA		MIN to MAX			0.2	V
	$I_{OL} = 12$ mA		3 V			0.8	
	$I_{OL} = 6$ mA		3 V			0.55	
I_I	$V_I = V_{CC}$ or GND		3.6 V			±5	µA
I_{CC}§	$V_I = V_{CC}$ or GND,	$I_O = 0$, Outputs: low or high	3.6 V			10	µA
ΔI_{CC}	One input at $V_{CC} - 0.6$ V,	Other inputs at V_{CC} or GND	3.3 V to 3.6 V			500	µA
C_i	$V_I = V_{CC}$ or GND		3.3 V		4		pF
C_o	$V_O = V_{CC}$ or GND		3.3 V		6		pF

‡ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
§ For I_{CC} of AV_{CC}, see Figure 5.

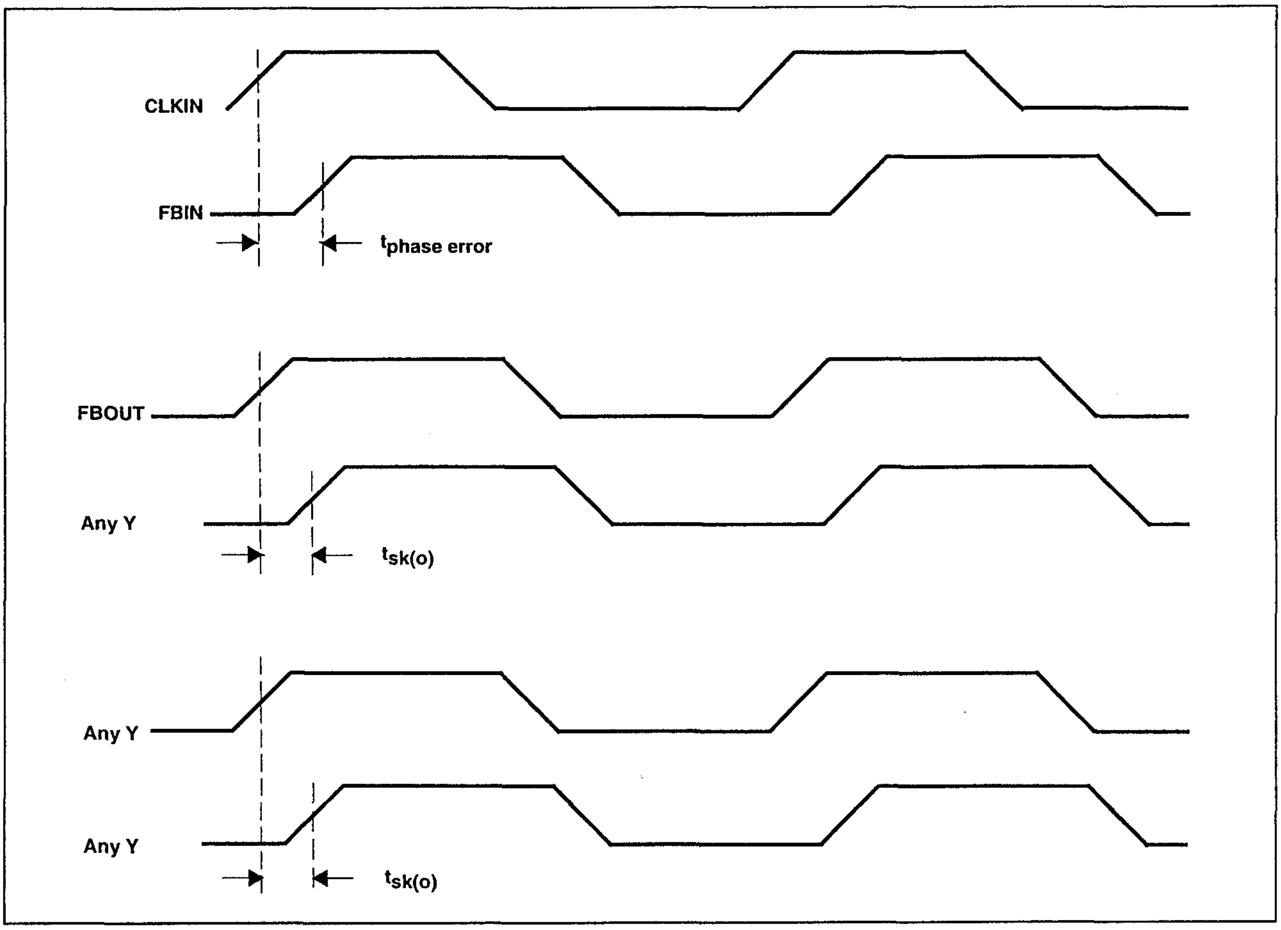
Tabel 9/9.3.2-130: Elektrische eigenschappen van de CDC2510(A).

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC} = 3.3 V ± 0.165 V			V_{CC} = 3.3 V ± 0.3 V			
			MIN	TYP	MAX	MIN	TYP	MAX	
$t_{phase\ error}$, reference (see Figure 3)	66 MHz < CLKIN↑ < 100 MHz	FBIN↑					−0.7...0.1		ns
$t_{phase\ error}$ – jitter (see Note 6)	CLKIN↑ = 100 MHz	FBIN↑	−500		−50		−310		ps
$t_{sk(o)}$§	Any Y or FBOUT	Any Y or FBOUT						200	ps
$Jitter_{(pk-pk)}$	F(clkin > 66 MHz)	Any Y or FBOUT				−100		100	ps
Duty cycle reference (see Figure 4)		Any Y or FBOUT				43%		55%	
t_r		Any Y or FBOUT		1.3	1.9	0.8		2.1	ns
t_f		Any Y or FBOUT		1.7	2.3	1.2		2.5	ns

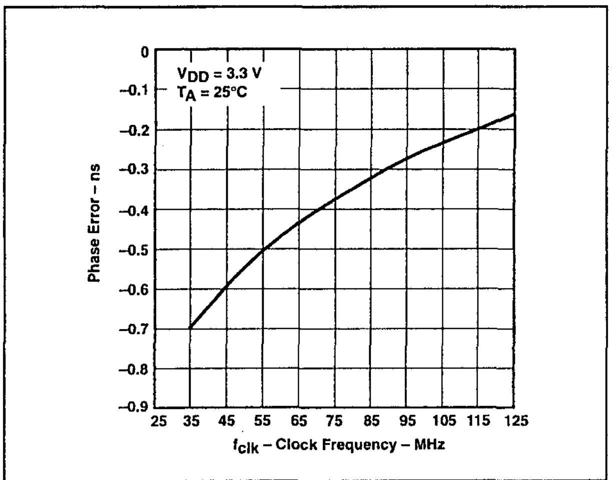
‡ These parameters are not production tested.
§ The $t_{sk(o)}$ specification is only valid for equal loading of all outputs.
NOTES: 5. The specifications for parameters in this table are applicable only after any appropriate stabilization time has elapsed.
6. Phase error does not include jitter. The total phase error is −600 ps to 50 ps for the 5% V_{CC} range.

Tabel 9/9.3.2-132: Schakeltijden van de CDC2510.

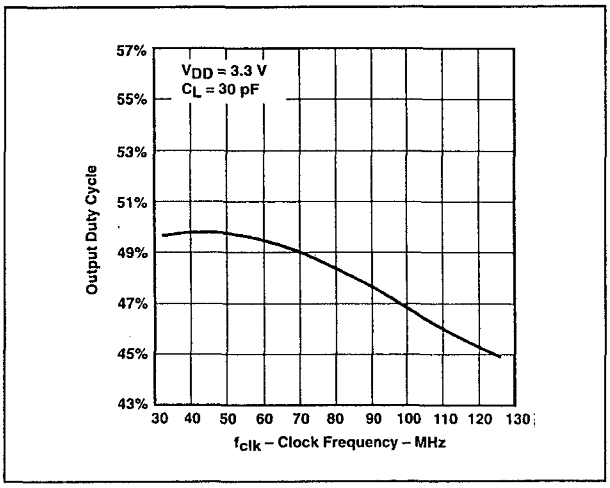
9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-88: Golfvormen voor de berekening van fasefout en skew.



Figuur 9/9.3.2-89: Fasefout als functie van de frequentie.



Figuur 9/9.3.2-90: Duty-cylce van het uitgangssignaal als functie van de frequentie.

9.3 Clock-drivers/clock-generatoren

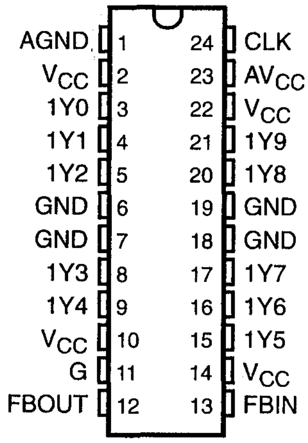
CDC2510A

phase-lock loop 10-lijns clock-driver

De CDC2510A is een aan de CDC2510 verwante phase-lock loop (PLL) clock-driver. De CDC2510A is iets langzamer (100 MHz maximum), maar is verder identiek. Hier worden dan ook alleen de afwijkende gegevens vermeld en wordt voor de rest (bijvoorbeeld de werking) verwezen naar de CDC2510.

Technische gegevens

- 1-lijn naar 10-lijnen phase-lock loop clock-driver voor synchrone DRAM's
- enkele Output Enable voor alle 10 uitgangen
- geen extern RC-netwerk nodig
- externe feedback-pen (FBIN) voor synchronisatie van de uitgangen op de clock-ingang
- seriële dempings-weerstand op elke uitgang
- LVTTL-compatibele in- en uitgangen
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- behuizing:
  24-pens Thin Shrink Small Outline (PW)
- fabrikant: Texas Instruments

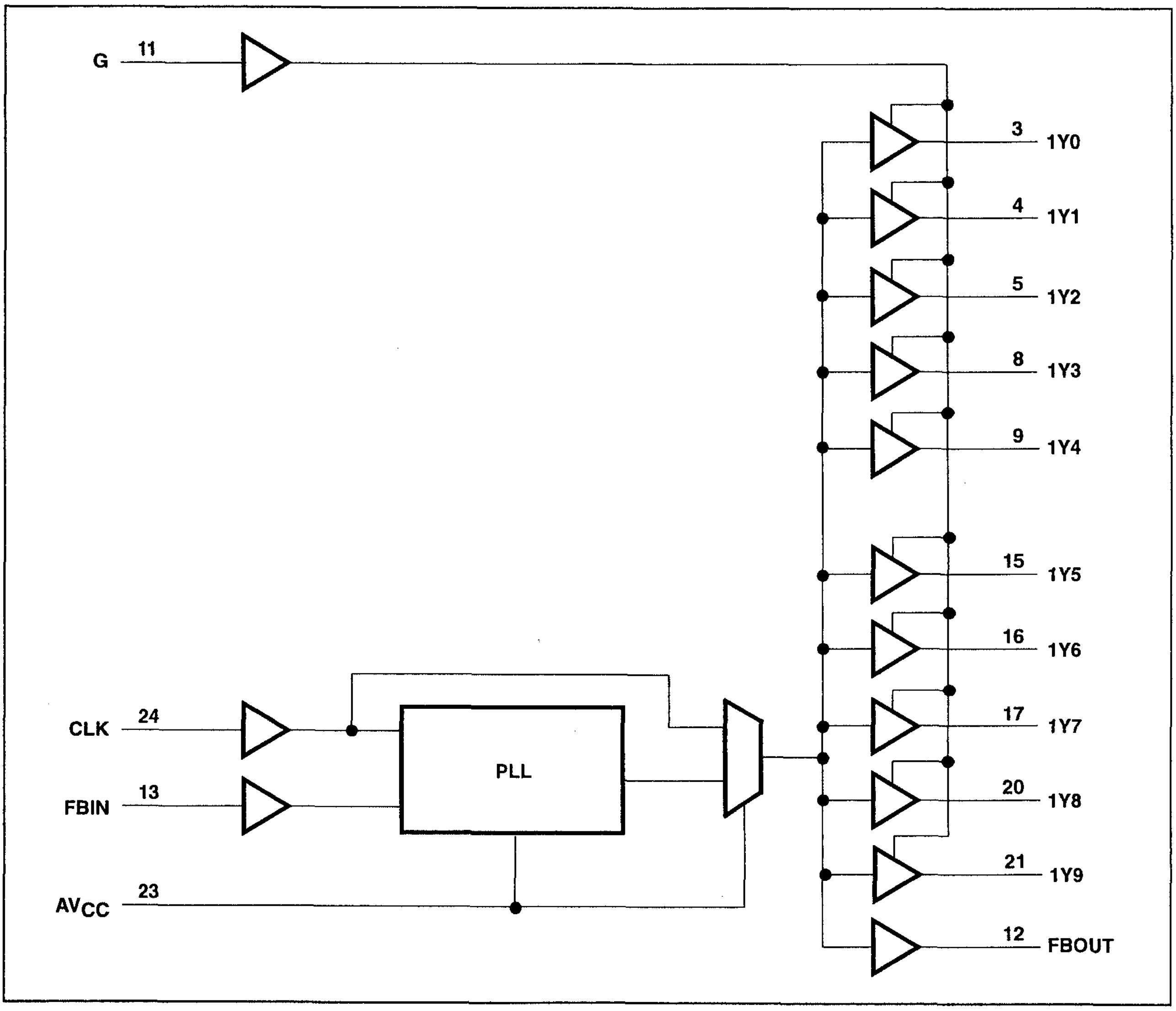


Figuur 9/9.3.2-91: Aansluitgegevens van de CDC2510A.

TERMINAL NAME	TERMINAL NO.	TYPE	DESCRIPTION
CLK	24	I	Clock input. CLK provides the clock signal to be distributed by the CDC2510A clock driver. CLK is used to provide the reference signal to the integrated PLL that generates the clock output signals. CLK must have a fixed frequency and fixed phase for the PLL to obtain phase lock. Once the circuit is powered up and a valid CLK signal is applied, a stabilization time is required for the PLL to phase lock the feedback signal to its reference signal.
FBIN	13	I	Feedback input. FBIN provides the feedback signal to the internal PLL. FBIN must be hard-wired to FBOUT to complete the PLL. The integrated PLL synchronizes CLK and FBIN so that there is nominally zero phase error between CLK and FBIN.
G	11	I	Output bank enable. G is the output enable for outputs 1Y(0:9). When G is low, outputs 1Y(0:9) are disabled to a logic-low state. When G is high, all outputs 1Y(0:9) are enabled and switch at the same frequency as CLK.
FBOUT	12	O	Feedback output. FBOUT is dedicated for external feedback. It switches at the same frequency as CLK. When externally wired to FBIN, FBOUT completes the feedback loop of the PLL. FBOUT has and integrated 25-Ω series-damping resistor.
1Y (0:9)	3, 4, 5, 8, 9 15, 16, 17, 20, 21	O	Clock outputs. These outputs provide low-skew copies of CLK. Output bank 1Y(0:9) is enabled via the G input. These outputs can be disabled to a logic-low state by deasserting the G control input. Each output has an integrated 25-Ω series-damping resistor.
AV_{CC}	23	Power	Analog power supply. AV_{CC} provides the power reference for the analog circuitry. In addition, AV_{CC} can be used to bypass the PLL for test purposes. When AV_{CC} is strapped to ground, PLL is bypassed and CLK is buffered directly to the device outputs.
AGND	1	Ground	Analog ground. AGND provides the ground reference for the analog circuitry.
V_{CC}	2, 10, 14, 22	Power	Power supply
GND	6, 7, 18, 19	Ground	Ground

Tabel 9/9.3.2-133: Functies van de signalen.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-92: Logisch schema (positieve logica) van de CDC2510A.

INPUTS		OUTPUTS	
G	CLK	1Y (0:9)	FBOUT
X	L	L	L
L	H	L	H
H	H	H	H

Tabel 9/9.3.2-134: Waarheidstabel van de CDC2510A.

Supply voltage, AV_{CC} (see Note 1)	$AV_{CC} < V_{CC}$ +0.7 V
Supply voltage range, V_{CC}, AV_{CC}	–0.5 V to 4.6 V
Input voltage range, V_I (see Note 2)	–0.5 V to 6.5 V
Voltage range applied to any output in the high or low state, V_O (see Notes 2 and 3)	–0.5 V to V_{CC} + 0.5 V
Input clamp current, I_{IK} ($V_I < 0$)	–50 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$)	±50 mA
Continuous output current, I_O (V_O = 0 to V_{CC})	±50 mA
Continuous current through each V_{CC} or GND	±100 mA
Maximum power dissipation at T_A = 55°C (in still air)	0.7 W
Storage temperature range, T_{stg}	–65°C to 150°C

Tabel 9/9.3.2-135: Maximaal toegelaten waarden van de CDC2510A.

9.3 Clock-drivers/clock-generatoren

		MIN	MAX	UNIT
f_{clk}	Clock frequency	80	100	MHz
	Input clock duty cycle	40%	60%	
	Stabilization time†		1	ms

Tabel 9/9.3.2-136: Benodigde timing voor de CDC2510A.

PARAMETER	FROM (INPUT)/CONDITION	TO (OUTPUT)	V_{CC}, AV_{CC} = 3.3 V ± 0.165 V			V_{CC}, AV_{CC} = 3.3 V ± 0.3 V			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
$t_{phase\ error}$, reference (see Note 7, Figure 3)	80 MHz < CLKIN↑ ≤ 100 MHz	FBIN↑				−700		−300	ps
$t_{phase\ error}$ – jitter (see Note 8)	CLKIN↑ = 100 MHz	FBIN↑	−750		−350		−540		ps
$t_{sk(o)}$§	Any Y or FBOUT	Any Y or FBOUT						200	ps
$Jitter_{(pk-pk)}$ (see Figure 4)	Clkin = 100 MHz	Any Y or FBOUT				−150		150	ps
Duty cycle reference (see Figure 4)	F(clkin > 80 MHz)	Any Y or FBOUT				45%		55%	
t_r		Any Y or FBOUT		1.3	1.9	0.8		2.1	ns
t_f		Any Y or FBOUT		1.7	2.5	1.2		2.7	ns

‡ These parameters are not production tested.

§ The $t_{sk(o)}$ specification is only valid for equal loading of all outputs.

NOTES: 6. The specifications for parameters in this table are applicable only after any appropriate stabilization time has elapsed.
7. This is considered as static phase error.
8. Phase error does not include jitter. The total phase error is −900 ps to −200 ps for the 5% V_{CC} range.

Tabel 9/9.3.2-137: Schakeltijden van de CDC2510A.

CDC2516

phase-lock loop 16-lijns clock-driver

De CDC2516 is een phase-lock loop (PLL) clock-driver met zeer kleine skew en jitter. De feedback-uitgang (FBOUT) wordt met een PLL precies op het clock-ingangssignaal (CLK) uitgelijnd. De CDC2516 werkt op 3,3 V en heeft geïntegreerde serie-weerstanden op alle uitgangen. De CDC2516 is speciaal ontworpen voor gebruik met synchrone DRAM's. Er zijn vier banken met elk 4 uitgangen, zodat er 16 uitgangen zijn. Deze 16 lijnen zijn low-skew, low-jitter kopieën van de ingangs-CLK met 50 % duty-cycles, onafhankelijk van de duty-cycle van CLK. Elke bank wordt apart vrijgegeven of gesperd door middel van de 1G, 2G, 3G en 4G besturingssignalen. Als de G-ingangen HOOG zijn, schakelen de uitgangen in fase en met dezelfde frequentie als CLK; zijn de G-ingangen LAAG, dan zijn de uitgangen gesperd en bevinden zij zich in de logisch-LAGE toestand.

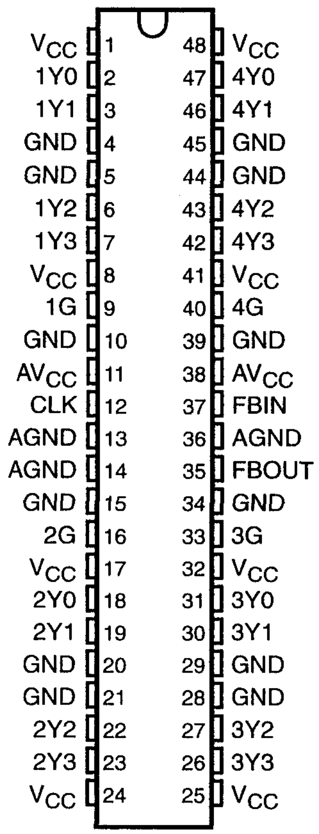
In tegenstelling tot andere componenten die PLL's bevatten, zijn voor de CDC2516 geen externe RC-netwerken nodig, omdat het loop-filter voor de PLL zich op de chip bevindt. Omdat bij de CDC2516 een PLL de basis is, heeft hij enige tijd nodig om de fase-lock van het feedback signaal op het referentiesignaal te laten stabiliseren. Deze stabilisatietijd is nodig na het opkomen van de voedingsspanning en het aanbrengen van een signaal met een vaste frequentie en fase op de CLK-pen en na eventuele veranderingen van deze signalen. De PLL kan worden omzeild door AV_{CC} aan GND te leggen.

Technische gegevens

- phase-lock loop clock-driver voor synchrone DRAM's

9.3 Clock-drivers/clock-generatoren

- 1-lijn naar 4x 4-lijnen
- 4 aparte Output Enables voor de uitgangs-banken
- geen extern RC-netwerk nodig
- externe feedback-pen (FBIN) voor synchronisatie van de uitgangen op de clock-ingang
- seriële dempings-weerstand op elke uitgang
- LVTTL-compatibele in- en uitgangen
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- behuizing:
  48-pens Thin Shrink Small Outline (DGG)
- fabrikant: Texas Instruments

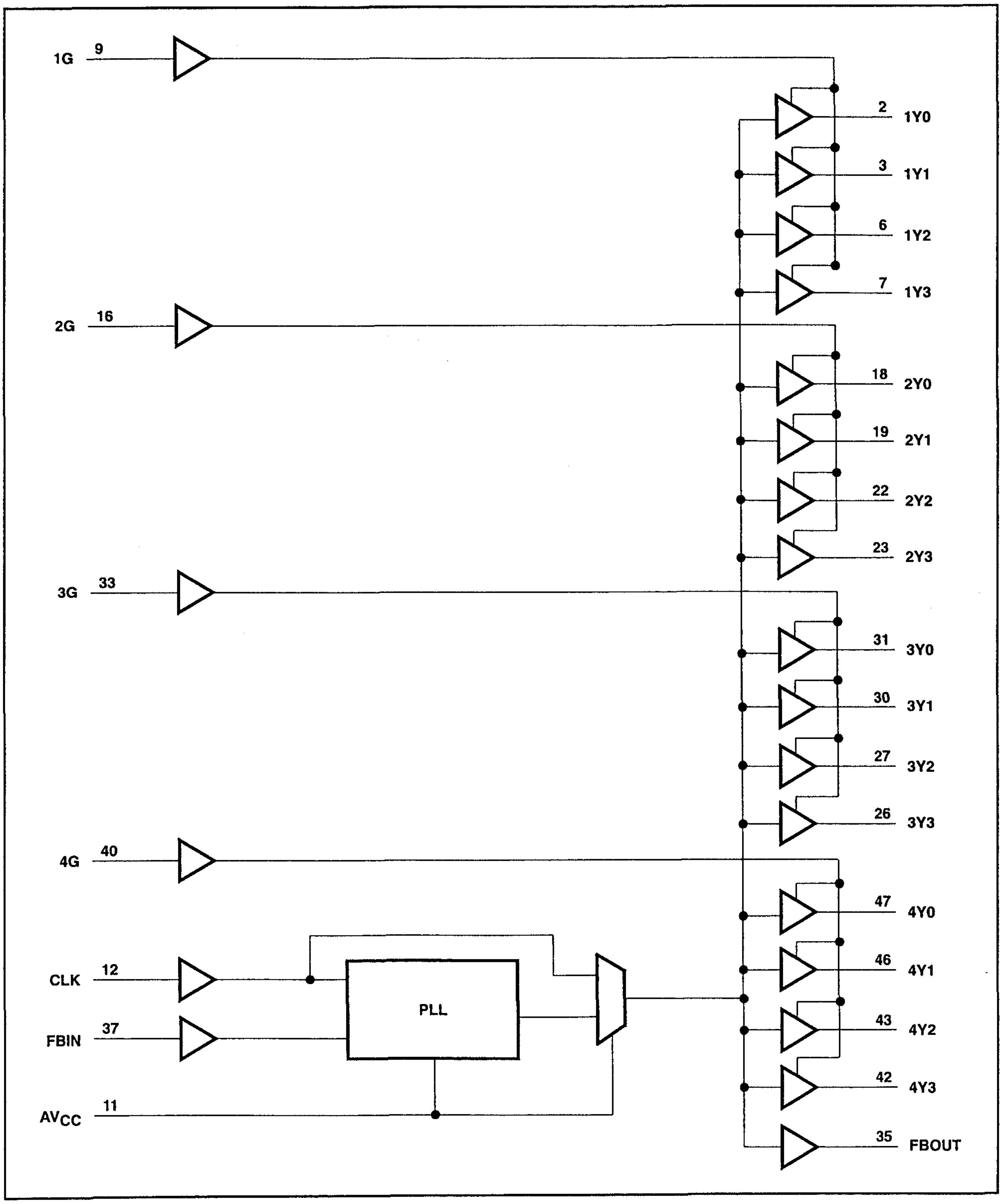


Figuur 9/9.3.2-93: Aansluitgegevens van de CDC2516.

INPUTS					OUTPUTS				
1G	2G	3G	4G	CLK	1Y (0:3)	2Y (0:3)	3Y (0:3)	4Y (0:3)	FBOUT
X	X	X	X	L	L	L	L	L	L
L	L	L	L	H	L	L	L	L	H
L	L	L	H	H	L	L	L	H	H
L	L	H	L	H	L	L	H	L	H
L	L	H	H	H	L	L	H	H	H
L	H	L	L	H	L	H	L	L	H
L	H	L	H	H	L	H	L	H	H
L	H	H	L	H	L	H	H	L	H
L	H	H	H	H	L	H	H	H	H
H	L	L	L	H	H	L	L	L	H
H	L	L	H	H	H	L	L	H	H
H	L	H	L	H	H	L	H	L	H
H	L	H	H	H	H	L	H	H	H
H	H	L	L	H	H	H	L	L	H
H	H	L	H	H	H	H	L	H	H
H	H	H	L	H	H	H	H	L	H
H	H	H	H	H	H	H	H	H	H

Figuur 9/9.3.2-94: Waarheidstabel van de CDC2516.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-95: Logisch schema (positieve logica) van de CDC2516.

9.3 Clock-drivers/clock-generatoren

TERMINAL NAME	TERMINAL NO.	TYPE	DESCRIPTION
CLK	12	I	Clock input. CLK provides the clock signal to be distributed by the CDC2516 clock driver. CLK is used to provide the reference signal to the integrated PLL that generates the clock output signals. CLK must have a fixed frequency and fixed phase for the PLL to obtain phase lock. Once the circuit is powered up and a valid CLK signal is applied, a stabilization time is required for the PLL to phase lock the feedback signal to its reference signal.
FBIN	37	I	Feedback input. FBIN provides the feedback signal to the internal PLL. FBIN must be hard-wired to FBOUT to complete the PLL. The integrated PLL synchronizes CLK and FBIN so that there is nominally zero phase error between CLK and FBIN.
1G	9	I	Output bank enable. 1G is the output enable for outputs 1Y(0:3). When 1G is low, outputs 1Y(0:3) are disabled to a logic-low state. When 1G is high, all outputs 1Y(0:3) are enabled and switch at the same frequency as CLK.
2G	16	I	Output bank enable. 2G is the output enable for outputs 2Y(0:3). When 2G is low, outputs 2Y(0:3) are disabled to a logic-low state. When 2G is high, all outputs 2Y(0:3) are enabled and switch at the same frequency as CLK.
3G	33	I	Output bank enable. 3G is the output enable for outputs 3Y(0:3). When 3G is low, outputs 3Y(0:3) are disabled to a logic-low state. When 3G is high, all outputs 3Y(0:3) are enabled and switch at the same frequency as CLK.
4G	40	I	Output bank enable. 4G is the output enable for outputs 4Y(0:3). When 4G is low, outputs 4Y(0:3) are disabled to a logic-low state. When 4G is high, all outputs 4Y(0:3) are enabled and switch at the same frequency as CLK.
FBOUT	35	O	Feedback output. FBOUT is dedicated for external feedback. It switches at the same frequency as CLK. When externally wired to FBIN, FBOUT completes the feedback loop of the PLL. FBOUT has an integrated 25-Ω series-damping resistor.
1Y(0:3)	2, 3, 6, 7	O	Clock outputs. These outputs provide low-skew copies of CLK. Outputs 1Y(0:3) are enabled via 1G. These outputs can be disabled to a logic-low state by deasserting the 1G control input. Each output has an integrated 25-Ω series-damping resistor.
2Y(0:3)	18, 19, 22, 26	O	Clock outputs. These outputs provide low-skew copies of CLK. Outputs 2Y(0:3) are enabled via 2G. These outputs can be disabled to a logic-low state by deasserting the 2G control input. Each output has an integrated 25-Ω series-damping resistor.
3Y(0:3)	31, 30, 27, 26	O	Clock outputs. These outputs provide low-skew copies of CLK. Outputs 3Y(0:3) are enabled via 3G. These outputs can be disabled to a logic-low state by deasserting the 3G control input. Each output has an integrated 25-Ω series-damping resistor.
4Y(0:3)	47, 46, 43, 42	O	Clock outputs. These outputs provide low-skew copies of CLK. Outputs 4Y(0:3) are enabled via 4G. These outputs can be disabled to a logic-low state by deasserting the 4G control input. Each output has an integrated 25-Ω series-damping resistor.
AV_{CC}	11, 38	Power	Analog power supply. AV_{CC} provides the power reference for the analog circuitry. In addition, AV_{CC} can be used to bypass the PLL for test purposes. When AV_{CC} is strapped to ground, the PLL is bypassed and CLK is buffered directly to the device outputs.
AGND	13, 14, 36	Ground	Analog ground. AGND provides the ground reference for the analog circuitry.
V_{CC}	1, 8, 17, 24, 25, 32, 41, 48	Power	Power supply
GND	4, 5, 10, 15, 20, 21, 28, 29, 34, 39, 44, 45	Ground	Ground

Tabel 9/9.3.2-138: Functies van de signalen.

9.3 Clock-drivers/clock-generatoren

Supply voltage range, V_{CC} .... –0.5 V to 4.6 V
Input voltage range, V_I (see Note 1) .... –0.5 V to 6.5 V
Voltage range applied to any output in the high
or low state, V_O (see Notes 1 and 2) .... –0.5 V to V_{CC} + 0.5 V
Input clamp current, I_{IK} ($V_I < 0$) .... –50 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) .... ±50 mA
Continuous output current, I_O (V_O = 0 to V_{CC}) .... ±50 mA
Continuous current through each V_{CC} or GND .... ±100 mA
Maximum power dissipation at T_A = 55°C (in still air) .... 0.85 W
Storage temperature range, T_{stg} .... –65°C to 150°C

Tabel 9/9.3.2-139: Maximaal toegelaten waarden van de CDC2516.

		MIN	MAX	UNIT
V_{CC}	Supply voltage	3	3.6	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	V_{CC}	V
I_{OH}	High-level output current		–12	mA
I_{OL}	Low-level output current		12	mA
T_A	Operating free-air temperature	0	70	°C

NOTE 4: Unused inputs must be held high or low

Tabel 9/9.3.2-140: Aanbevolen bedrijfscondities van de CDC2516.

PARAMETER	TEST CONDITIONS		V_{CC}	MIN	TYP‡	MAX	UNIT
V_{IK}	I_I = –18 mA		3 V			–1.2	V
V_{OH}	I_{OH} = –100 µA		MIN to MAX	V_{CC}–0.2			V
	I_{OH} = –12 mA		3 V	2.4			
	I_{OH} = –6 mA		3 V	2.1			
V_{OL}	I_{OL} = 100 µA		MIN to MAX			0.2	V
	I_{OL} = 12 mA		3 V			0.8	
	I_{OL} = 6 mA		3 V			0.55	
I_I	V_I = V_{CC} or GND		3.6 V			±5	µA
I_{CC}§	V_I = V_{CC} or GND	I_O = 0, Outputs: low or high	3.6 V			20	µA
ΔI_{CC}	One input at V_{CC} – 0.6 V,	Other inputs at V_{CC} or GND	3.3 V to 3.6 V			500	µA
C_i	V_I = V_{CC} or GND		3.3 V		4		pF
C_o	V_O = V_{CC} or GND		3.3 V		6		pF

‡ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

Tabel 9/9.3.2-141: Elektrische eigenschappen van de CDC2516.

		MIN	MAX	UNIT
f_{clock}	Clock frequency	25	125	MHz
	Input clock duty cycle	40%	60%	
	Stabilization time†		1	ms

Tabel 9/9.3.2-142: Benodigde timing voor de CDC2516.

9.3 Clock-drivers/clock-generatoren

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC} = 3.3 V ± 0.165 V			V_{CC} = 3.3 V ± 0.3 V			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
$t_{phase\ error}$ reference (see Figure 3)	66 MHz < CLKIN↑ < 100 MHz	FBIN↑					–0.7...0.18		ns
$t_{phase\ error}$, – jitter, (see Note 6)	CLKIN↑ = 100 MHz	FBIN↑	–360		50		–170		ps
$t_{sk(o)}$§	Any Y or FBOUT	Any Y or FBOUT						200	ps
$Jitter_{(pk-pk)}$	F(clkin > 66 MHz)	Any Y or FBOUT				–100		100	ps
Duty cycle	F(clkin ≤ 66 MHz)	Any Y or FBOUT				45%		55%	
	F(clkin > 66 MHz)	Any Y or FBOUT				43%		55%	
t_r		Any Y or FBOUT		1.3	1.9	0.7		2.1	ns
t_f		Any Y or FBOUT		1.7	2.5	1.2		2.5	ns

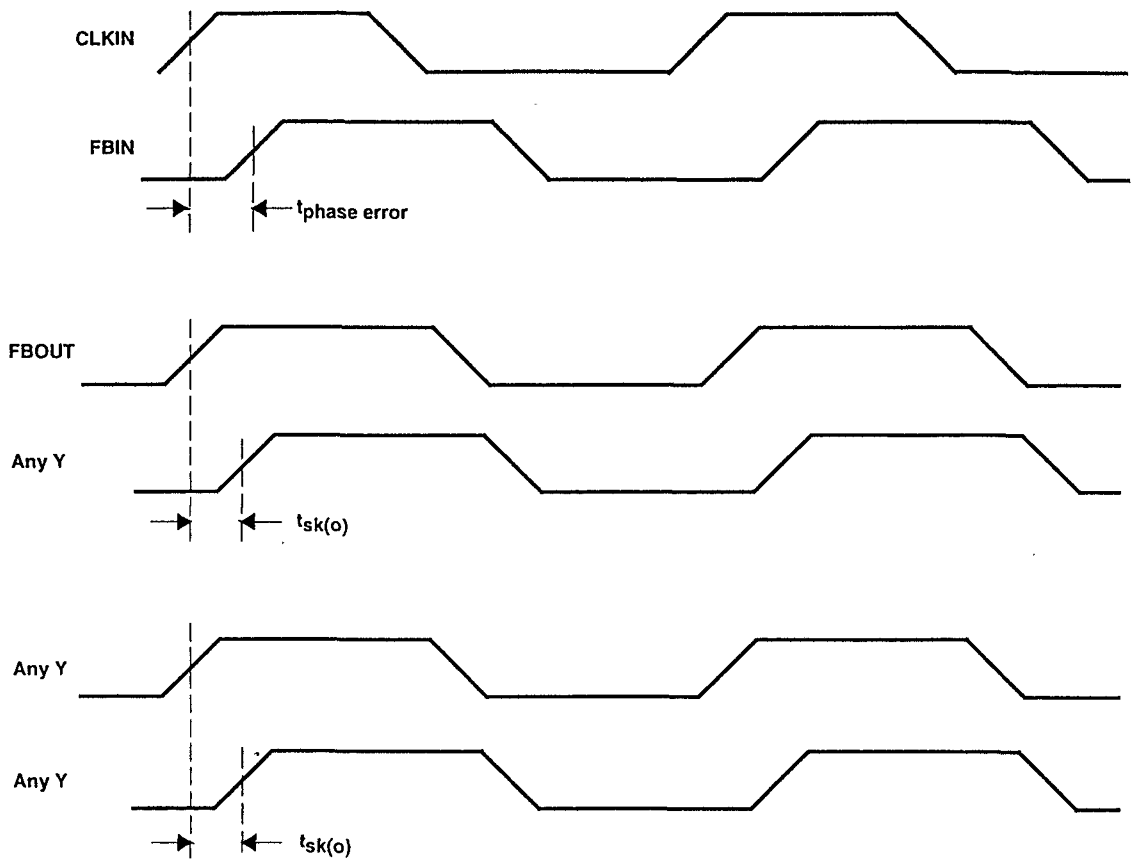
‡ These parameters are not production tested.

§ The $t_{sk(o)}$ specification is only valid for equal loading of all outputs.

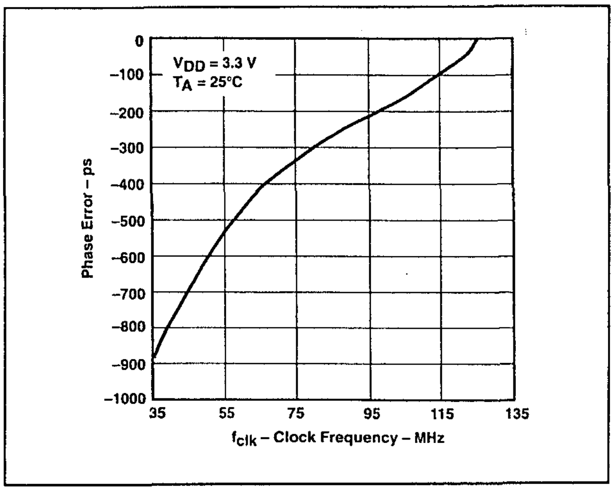
NOTES: 5. The specifications for parameters in this table are applicable only after any appropriate stabilization time has elapsed.

6. Phase error does not include jitter. The total phase error is –460 ps to 150 ps for the 5% V_{CC} range.

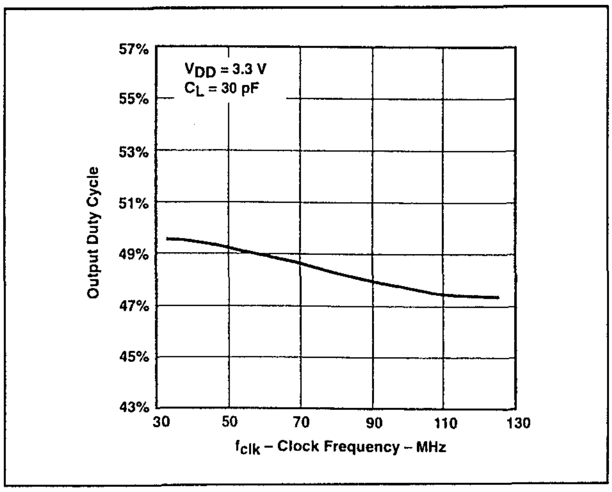
Tabel 9/9.3.2-143: Schakeltijden van de CDC2516.



Figuur 9/9.3.2-96: Golfvormen voor de berekening van fasefout en skew.



Figuur 9/9.3.2-97: Fasefout als functie van de frequentie.



Figuur 9/9.3.2-98: Duty-cylce van het uitgangssignaal als functie van de frequentie.

CDC2536

phase-lock loop 6-lijns clock-driver

De CDC2536 is een high-performance phase-lock loop (PLL) clock-driver met kleine skew en jitter. Voor de precieze uitlijning (van frequentie en fase) van de clock-uitgangen op het clock-ingangssignaal (CLKIN) wordt een PLL toegepast. De CDC2536 is speciaal ontwikkeld voor gebruik met synchrone DRAM's en populaire microprocessoren bij snelheden van 50 MHz tot 100 MHz of lager (tot 25 MHz), waarbij de uitgangen zijn geconfigureerd op de halve frequentie. De CDC536 werkt op 3,3 V en kan een 50 Ω transmissielijn aansturen. Bovendien zijn serieweerstanden op de uitgangen aanwezig waardoor externe afsluit-componenten niet nodig zijn. De feedback-ingang (FBIN) wordt gebruikt om de uitgangs-clocksignalen in fase en frequentie op de ingangsclock (CLKIN) te synchroniseren. Daarom moet één van de zes uitgangs-clocks op FBIN worden aangesloten. De hiervoor gebruikte uitgang wordt op dezelfde frequentie als CLKIN gesynchroniseerd. De Y-uitgangen kunnen worden geconfigureerd om in fase en op dezelfde frequentie als CLKIN te schakelen. Met de select-ingang (SEL) kunnen drie Y-uitgangen worden ingesteld om op de helft of het dubbele van de CLKIN-frequentie te schakelen. Dit is afhankelijk van de uitgangspen die op FBIN is aangesloten (zie de tabellen 9/9.3.2-145 en -146).

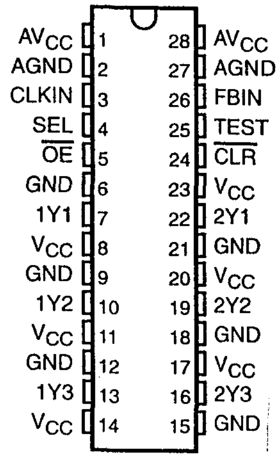
De uitgangs-signalen hebben duty-cycles van 50 %, onafhankelijk van de duty-cycle van CLK. De toestand van de uitgangen wordt geregeld met het Output-Enable signaal ($\overline{OE}$). Is $\overline{OE}$ HOOG, dan zijn de uitgangen hoog-impedant; is $\overline{OE}$ LAAG, dan zijn de uitgangen aktief. $\overline{CLR}$ wordt op de negatieve flank getriggerd en kan worden gebruikt om de uitgangen die op de halve frequentie werken te resetten. De TEST-ingang wordt in de fabriek gebruikt om de CDC2536 te testen (waarbij de PLL wordt omzeild). TEST dient door de gebruiker aan GND te worden gelegd. In tegenstelling tot andere componenten die PLL's bevatten, heeft de CDC2536 geen externe RC-componenten nodig. Het loop-filter voor de PLL bevindt zich op de chip. Omdat de CDC2536 op een PLL is gebaseerd, heeft het stabiliseren van de fase-lock van het feedback signaal op het referentiesignaal enige tijd nodig. Deze tijd moet in acht worden genomen na het opkomen van de voedingsspanning en het aanbrengen van een signaal met een vaste frequentie en fase op de CLKIN-pen (en na

9.3 Clock-drivers/clock-generatoren

eventuele veranderingen van deze signalen).

Technische gegevens

- phase-lock loop clock-driver voor synchrone DRAM's en high-speed microprocessor
- 1-lijn naar 6-lijnen clock-driver
- select-ingang voor instelling van 3 uitgangen op halve of dubbele frequentie
- geen extern RC-netwerk nodig
- externe feedback-pen (FBIN) voor synchronisatie van de uitgangen op de clock-ingang
- LVTTL-compatibele in- en uitgangen
- alle uitgangen voorzien van seriële dempingsweerstand
- uitgangen geschikt voor 50 Ω transmissielijnen
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- geringe dissipatie door BiCMOS-ontwerp
- behuizing:
  28-pens Shrink Small Outline (DB of DL)
- fabrikant: Texas Instruments

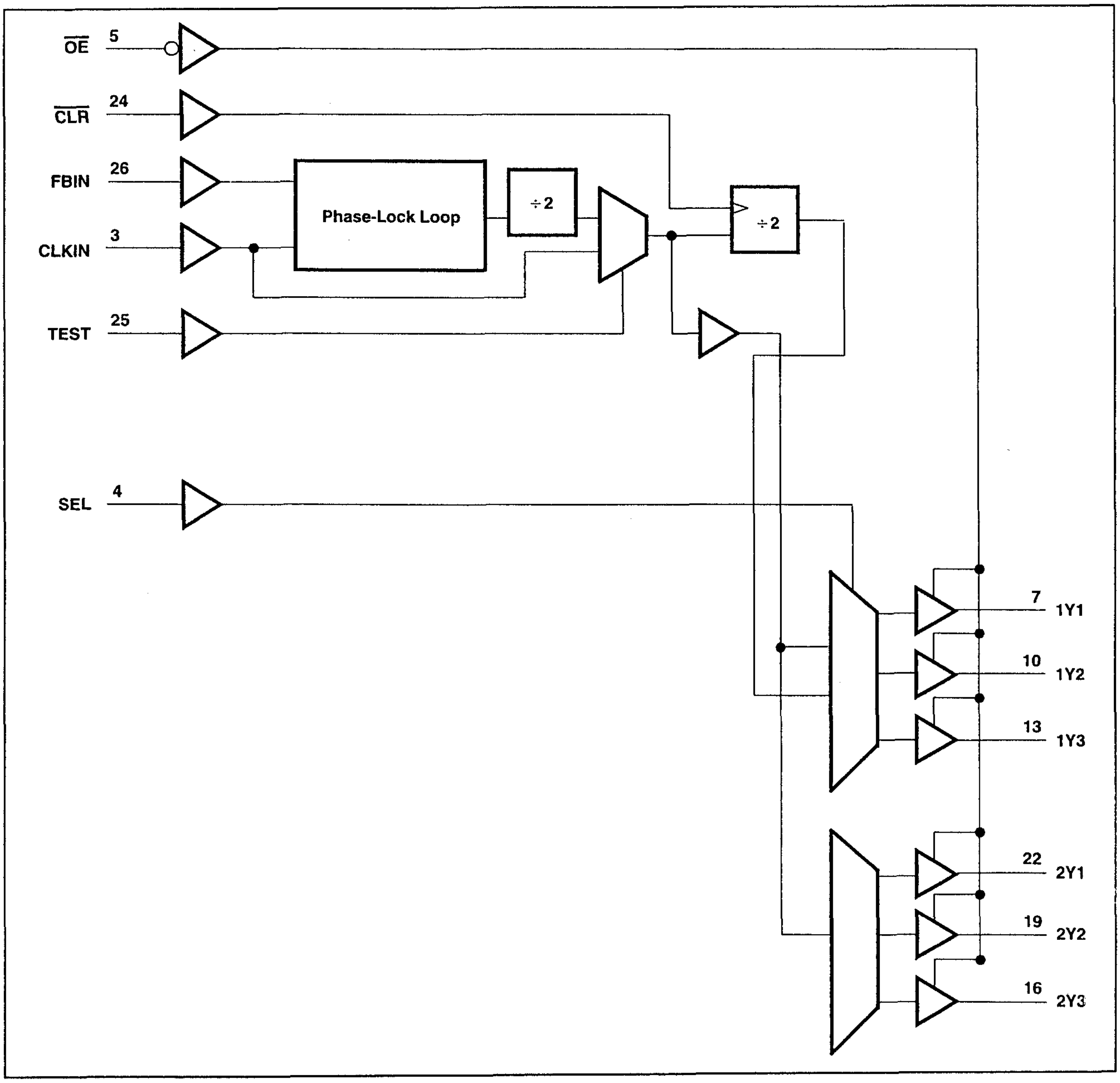


Figuur 9/9.3.2-99: Aansluitgegevens van de CDC2536.

TERMINAL NAME	NO.	I/O	DESCRIPTION
CLKIN	3	I	Clock input. CLKIN provides the clock signal to be distributed by the CDC2536 clock-driver circuit. CLKIN provides the reference signal to the integrated PLL that generates the clock output signals. CLKIN must have a fixed frequency and fixed phase for the phase-lock loop to obtain phase lock. Once the circuit is powered up and a valid CLKIN signal is applied, a stabilization time is required for the PLL to phase lock the feedback signal to its reference signal.
$\overline{CLR}$	24	I	Clear. $\overline{CLR}$ is used to reset the VCO/4 reference frequency. $\overline{CLR}$ is negative-edge triggered and should be strapped to V_{CC} or GND for normal operation.
FBIN	26	I	Feedback input. FBIN provides the feedback signal to the internal PLL. FBIN must be hard wired to one of the six clock outputs to provide frequency and phase lock. The internal PLL adjusts the output clocks to obtain zero phase delay between the FBIN and differential CLKIN inputs.
$\overline{OE}$	5	I	Output enable. $\overline{OE}$ is the output enable for all outputs. When $\overline{OE}$ is low, all outputs are enabled. When $\overline{OE}$ is high, all outputs are in the high-impedance state. Since the feedback signal for the PLL is taken directly from an output, placing the outputs in the high-impedance state interrupts the feedback loop; therefore, when a high-to-low transition occurs at $\overline{OE}$, enabling the output buffers, a stabilization time is required before the PLL obtains phase lock.
SEL	4	I	Output configuration select. SEL selects the output configuration for each output bank (e.g. 1×, 1/2×, or 2×). (see Tables 1 and 2).
TEST	25	I	TEST is used to bypass the PLL circuitry for factory testing of the device. When TEST is low, all outputs operate using the PLL circuitry. When TEST is high, the outputs are placed in a test mode that bypasses the PLL circuitry. TEST should be grounded for normal operation.
1Y1−1Y3	7, 10, 13	O	These outputs are configured by SEL to transmit one-half or one-fourth the frequency of the VCO. The relationship between the CLKIN frequency and the output frequency is dependent on SEL. The duty cycle of the Y output signals is nominally 50%, independent of the duty cycle of the CLKIN signal. Each output has an internal series resistor to dampen transmission-line effects and improve the signal integrity at the load.
2Y1−2Y3	22, 19, 16	O	These outputs transmit one-half the frequency of the VCO. The relationship between the CLKIN frequency and the output frequency is dependent on the frequency of the output being fed back to FBIN. The duty cycle of the Y output signals is nominally 50%, independent of the duty cycle of the CLKIN signal. Each output has an internal series resistor to dampen transmission-line effects and improve the signal integrity at the load.

Tabel 9/9.3.2-144: Functies van de signalen.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-100: Logisch schema (positieve logica) van de CDC2536.

Uitgangsconfiguraties

De spannings gestuurde oscillator (VCO) in de CDC2536 heeft een frequentiebereik van 100 MHz tot 200 MHz (het dubbele van het frequentiebereik van de uitgangen). De uitgang van de VCO wordt door twee en door vier gedeeld om referentie-frequenties op de helft en een kwart van de VCO-frequentie te verkrijgen met 50 % duty-cycle. De SEL-ingang bepaalt welk van de twee signalen in elke uitgangsbank wordt gebufferd.

Eén uitgang moet extern aan FBIN worden gelegd om de PLL te completeren. De VCO werkt zodanig dat de frequentie van deze uitgang overeenkomt met het CLKIN-signaal. In het geval dat een VCO/2-uitgang met FBIN is verbonden, moet de VCO op tweemaal de CLKIN-frequentie werken,

waardoor de uitgangen dezelfde of de halve CLKIN-frequentie hebben. Wordt een VCO/4-uitgang aan FBIN gelegd, dan hebben de uitgangen dezelfde of de dubbele CLKIN-frequentie.

Uitgangs-configuratie A

Uitgangs-configuratie A is geldig als een 1x-frequentie uitgang in tabel 9/9.3.2-145 met FBIN is verbonden. Het ingangs-frequentiebereik loopt dan van 50 MHz tot 100 MHz. Uitgangen die als 1/2x zijn geconfigureerd, werken op de helft van de CLKIN-frequentie, terwijl uitgangen die als 1x zijn geconfigureerd op de hele CLKIN-frequentie werken.

Output Configuration A

INPUT	OUTPUTS	
SEL	1/2x FREQUENCY	1x FREQUENCY
L	None	All
H	1Yn	2Yn

NOTE: n = 1, 2, 3

Tabel 9/9.3.2-145: Uitgangs-configuratie A.

Uitgangs-configuratie B

Uitgangs-configuratie B is geldig als een 1x-frequentie uitgang in tabel 9/9.3.2-146 met FBIN is verbonden. Het ingangs-frequentiebereik van CLKIN loopt dan van 25 MHz tot 50 MHz. Uitgangen die als 1x zijn geconfigureerd, werken op de hele CLKIN-frequentie, terwijl uitgangen die als 2x zijn geconfigureerd op de dubbele CLKIN-frequentie werken.

Output Configuration B

INPUT	OUTPUTS	
SEL	1x FREQUENCY	2x FREQUENCY
H	1Yn	2Yn
L	All	None

NOTE: n = 1, 2, 3

Tabel 9/9.3.2-146: Uitgangs-configuratie B.

		MIN	MAX	UNIT
V_{CC}	Supply voltage	3	3.6	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	5.5	V
I_{OH}	High-level output current		−12	mA
I_{OL}	Low-level output current		12	mA
T_A	Operating free-air temperature	0	70	°C

NOTE 3: Unused inputs must be held high or low

Tabel 9/9.3.2-148: Aanbevolen bedrijfscondities van de CDC2536.

Supply voltage range, V_{CC} .... −0.5 V to 4.6 V
Input voltage range, V_I (see Note 1) .... −0.5 V to 7 V
Voltage range applied to any output in the high state or power-off state, V_O (see Note 1) ... −0.5 V to 5.5 V
Current into any output in the low state, I_O .... 24 mA
Input clamp current, I_{IK} ($V_I < 0$) .... −20 mA
Output clamp current, I_{OK} ($V_O < 0$) .... −50 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2): DB package .... 0.68 W
DL package .... 0.7 W
Storage temperature range, T_{stg} .... −65°C to 150°C

Tabel 9/9.3.2-147: Maximaal toegelaten waarden van de CDC2536.

9.3 Clock-drivers/clock-generatoren

PARAMETER	TEST CONDITIONS			T_A = 25°C MIN	MAX	UNIT
V_{IK}	V_{CC} = 3 V,	I_I = −18 mA			−1.2	V
V_{OH}	V_{CC} = MIN to MAX‡,	I_{OH} = −100 µA		V_{CC}−0.2		V
	V_{CC} = 3 V,	I_{OH} = − 12 mA		2		
V_{OL}	V_{CC} = 3 V,	I_{OL} = 100 µA			0.2	V
	V_{CC} = 3 V,	I_{OL} = 12 mA			0.8	
I_I	V_{CC} = 0 or MAX‡,	V_I = 3.6 V			±10	µA
	V_{CC} = 3.6 V,	V_I = V_{CC} or GND			±1	
I_{OZH}	V_{CC} = 3.6 V,	V_O = 3 V			10	µA
I_{OZL}	V_{CC} = 3.6 V,	V_O = 0			−10	µA
I_{CC}	V_{CC} = 3.6 V, V_I = V_{CC} or GND	I_O = 0,	*Outputs high*		2	mA
			Outputs low		2	
			Outputs disabled		2	
C_i	V_I = V_{CC} or GND				6	pF
C_o	V_O = V_{CC} or GND				9	pF

‡ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

Tabel 9/9.3.2-149: Elektrische eigenschappen van de CDC2536.

			MIN	MAX	UNIT
f_{clock}	Clock frequency	When VCO is operating at four times the CLKIN frequency	25	50	MHz
		When VCO is operating at double the CLKIN frequency	50	100	
	Duty cycle, CLKIN		40%	60%	
	Stabilization time†	After SEL		50	µs
		After $\overline{OE}$↓		50	
		After power up		50	
		After CLKIN		50	

† Time required for the integrated PLL circuit to obtain phase lock of its feedback signal to its reference signal. For phase lock to be obtained, a fixed-frequency, fixed-phase reference signal must be present at CLKIN. Until phase lock is obtained, the specifications for propagation delay and skew parameters given in the switching characteristics table are not applicable.

Tabel 9/9.3.2-150: Benodigde timing voor de CDC2536.

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
f_{max}			100		MHz
Duty cycle		Y	45%	55%	
$t_{phase\ error}$‡	CLKIN↑	Y↑	−500	+500	ps
$t_{jitter\ (RMS)}$	CLKIN↑	Y↑		200	ps
$t_{sk(o)}$‡				0.5	ns
$t_{sk(pr)}$‡				1	ns
t_r				1.4	ns
t_f				1.4	ns

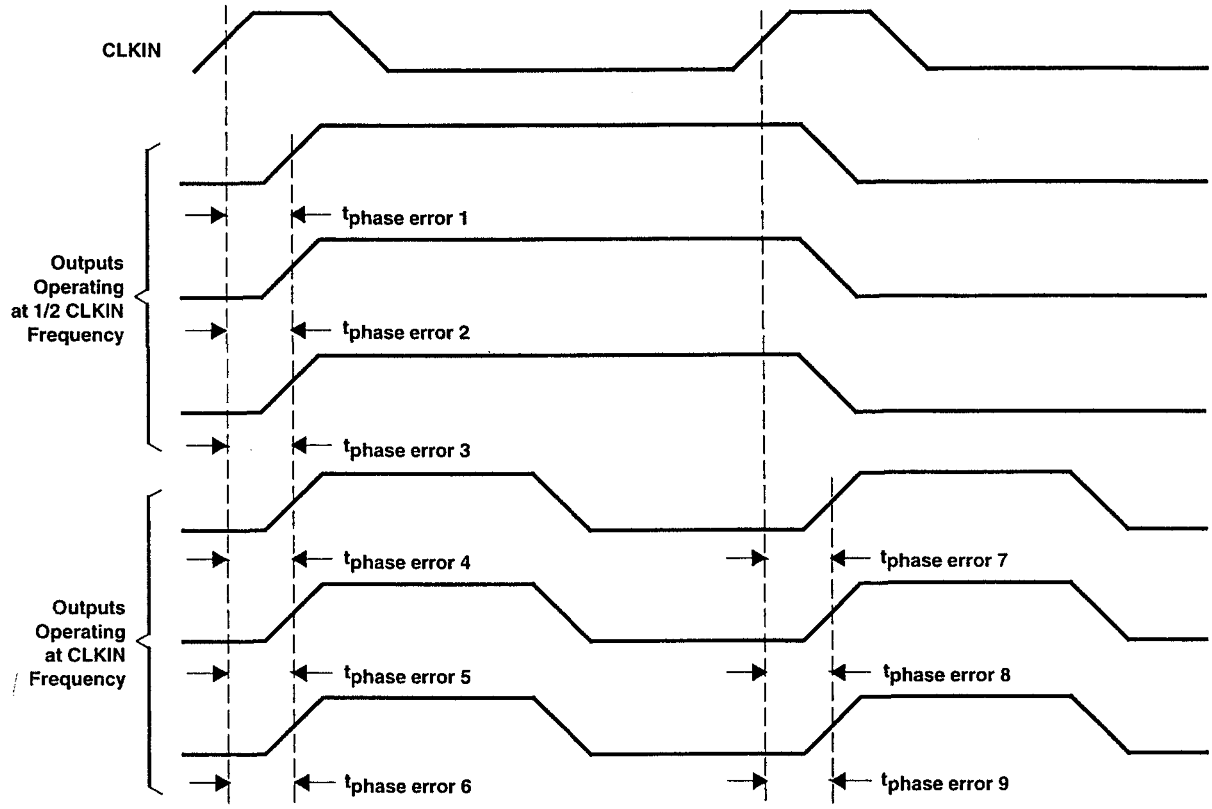
‡ The propagation delay, $t_{phase\ error}$, is dependent on the feedback path from any output to FBIN. The $t_{phase\ error}$, $t_{sk(o)}$, and $t_{sk(pr)}$ specfications are only valid for equal loading of all outputs.

NOTE 4: The specifications for parameters in this table are applicable only after any appropriate stabilization time has elapsed.

Tabel 9/9.3.2-151: Schakeltijden van de CDC2536.

(wordt vervolgd)

9.3 Clock-drivers/clock-generatoren

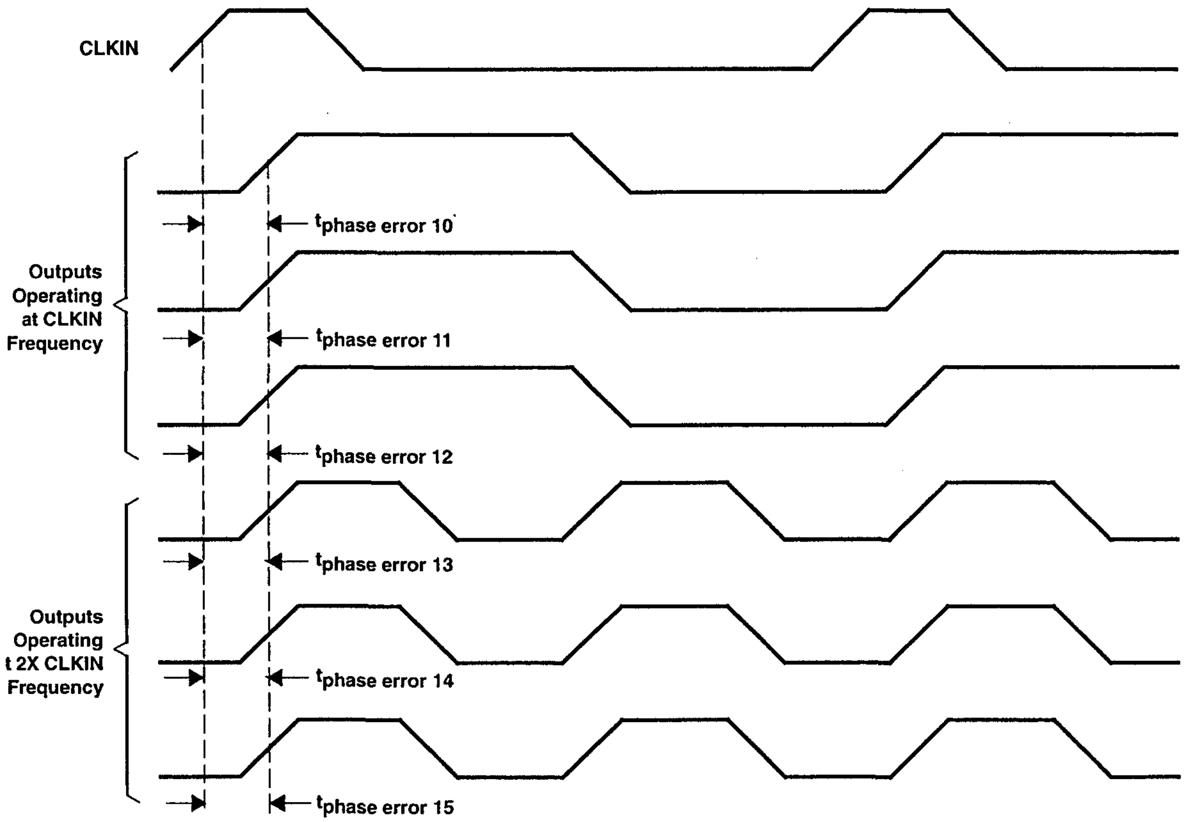


NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 1, 2, . . . 6)
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 7, 8, 9)

B. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 1, 2, . . . 6) across multiple devices under identical operating conditions
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 7, 8, 9) across multiple devices under identical operating conditions

Figuur 9/9.3.2-101: Golfvormen voor de berekening van skew en fasefout.

9.3 Clock-drivers/clock-generatoren



NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
– The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 10, 11, . . . 15)

B. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
– The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 10, 11, . . . 15) across multiple devices under identical operating conditions.

Figuur 9/9.3.2-102: Golfvormen voor de berekening van $t_{sk(o)}$ en $t_{sk(pr)}$.

CDC2582

phase-lock loop 12 lijns clock-driver met differentiële LVPECL clock-ingangen

De CDC2582 is een high-performance phase-lock loop (PLL) clock-driver met zeer kleine skew en jitter. De clock-uitgangen worden in frequentie en fase uitgelijnd op de differentiële LVPECL-compatibele clock-ingangssignalen (CLKIN en $\overline{\text{CLKIN}}$). De CDC2582 is speciaal ontwikkeld voor gebruik bij snelheden van 50 MHz tot 100 MHz. Bij lagere frequenties (tot 25 MHz), zijn de uitgangen geconfigureerd op de halve frequentie. De CDC2582 werkt op 3,3 V en heeft seriële dempingsweerstanden van 26 Ω op alle uitgangen.

De feedback-ingang (FBIN) wordt gebruikt om de uitgangs-clocksignalen in fase en frequentie op de ingangsclock te synchroniseren. Eén van de 12 uitgangs-clocks moet dan op FBIN worden aangesloten, die daardoor synchroon loopt met CLKIN en $\overline{\text{CLKIN}}$.

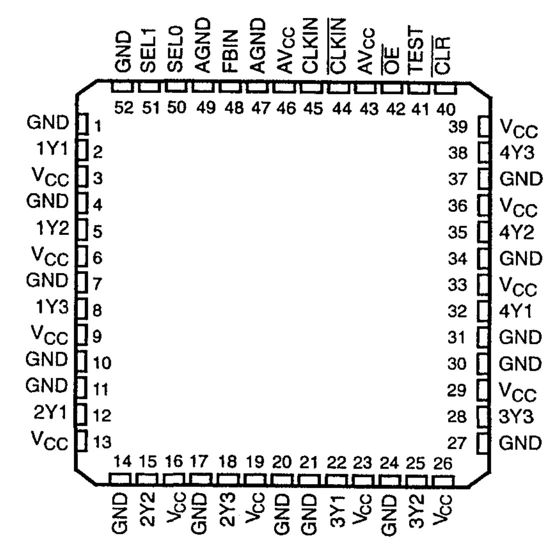
De Y-uitgangen kunnen worden ingesteld om in fase en op dezelfde frequentie als de differentiële clock-ingangen te schakelen.

9.3 Clock-drivers/clock-generatoren

Met de select-ingangen (SEL1 en SEL0) kunnen maximaal negen Y-uitgangen, in banken van drie, worden ingesteld om op de helft of op het dubbele van de CLKIN-frequentie te schakelen. Dit is afhankelijk van de uitgangspen die op FBIN is aangesloten (zie de tabellen 9/9.3.2-153 en -154). Alle uitgangssignalen hebben een duty-cycle van 50 %, onafhankelijk van de duty-cycle van de ingangs-clocks. De toestand van de uitgangen wordt geregeld met Output-Enable ($\overline{OE}$. Als $\overline{OE}$ HOOG is, zijn de uitgangen LAAG. Is $\overline{OE}$ LAAG, dan zijn de uitgangen aktief. $\overline{CLR}$ wordt op de negatieve flank getriggerd en kan worden gebruikt om de uitgangen die op de halve frequentie werken te resetten. TEST moet aan GND te worden gelegd. In tegenstelling tot andere componenten die PLL's bevatten, heeft de CDC2582 geen externe RC-componenten nodig. Het loop-filter voor de PLL bevindt zich op de chip. De op een PLL gebaseerde CDC2582 heeft voor de stabilisatie van de fase-lock van het feedback signaal op het referentiesignaal enige tijd nodig. Deze tijd moet in acht worden genomen na het opkomen van de voedingsspanning en na het aanbrengen van een signaal met een vaste frequentie en fase op de CLKIN- en $\overline{CLKIN}$-pennen. Door veranderingen van SEL1 en SEL0, het vrijgeven van de PLL na TEST en na het vrijgeven van alle uitgangen met $\overline{OE}$ treden dergelijke veranderingen op.

Technische gegevens

- phase-lock loop clock-driver met zeer geringe output-skew voor clock-distributie en clock-opwekking
- 1-lijn (differentiële LVPECL clock-ingangen) naar 12-lijnen clock-driver
- 2 select-ingangen voor het instellen van 9 uitgangen op halve of dubbele frequentie
- geen extern RC-netwerk nodig
- externe feedback-pen (FBIN) voor synchronisatie van de uitgangen op de clock-ingang
- overige in- en uitgangen LVTTL-compatibel
- 26 Ω serie-weerstanden aan de uitgangen
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- geringe dissipatie door BiCMOS-ontwerp
- behuizing:
  52-pens thin quad flatpack (PAH)
- fabrikant: Texas Instruments



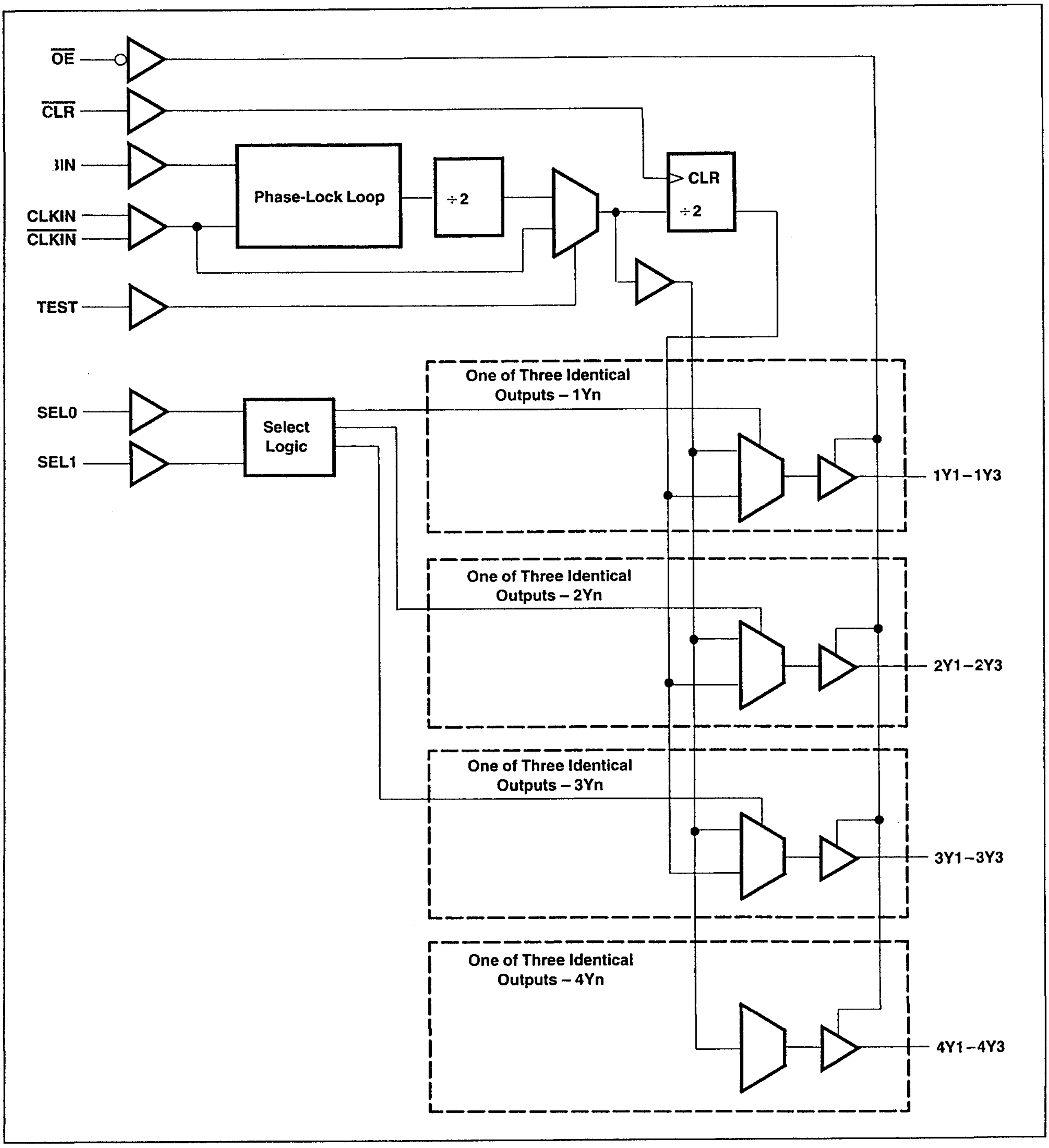
Figuur 9/9.3.2-103: Aansluitgegevens van de CDC2582 (bovenaanzicht).

9.3 Clock-drivers/clock-generatoren

TERMINAL NAME	NO.	I/O	DESCRIPTION
CLKIN $\overline{\text{CLKIN}}$	44, 45	I	Clock input. CLKIN and $\overline{\text{CLKIN}}$ are the differential clock signals to be distributed by the CDC2582 clock-driver circuit. These inputs are used to provide the reference signal to the integrated PLL that generates the clock-output signals. CLKIN and $\overline{\text{CLKIN}}$ must have a fixed frequency and fixed phase for the PLL to obtain phase lock. Once the circuit is powered up and valid CLKIN and $\overline{\text{CLKIN}}$ signals are applied, a stabilization time is required for the PLL to phase lock the feedback signal to its reference signal.
$\overline{\text{CLR}}$	40	I	Clear. $\overline{\text{CLR}}$ is used to reset the VCO/4 reference frequency. $\overline{\text{CLR}}$ is negative-edge triggered and should be strapped to V_{CC} or GND for normal operation.
FBIN	48	I	Feedback input. FBIN provides the feedback signal to the internal PLL. FBIN must be hardwired to one of the twelve clock outputs to provide frequency and phase lock. The internal PLL adjusts the output clocks to obtain zero-phase delay between the FBIN and the differential clock input (CLKIN and $\overline{\text{CLKIN}}$).
$\overline{\text{OE}}$	42	I	Output enable. $\overline{\text{OE}}$ is the output enable for all outputs. When $\overline{\text{OE}}$ is low, all outputs are enabled. When $\overline{\text{OE}}$ is high, all outputs are in the high-impedance state. Since the feedback signal for the PLL is taken directly from an output terminal, placing the outputs in the high-impedance state interrupts the feedback loop; therefore, when a high-to-low transition occurs at $\overline{\text{OE}}$, enabling the output buffers, a stabilization time is required before the PLL obtains phase lock.
SEL1, SEL0	51, 50	I	Output configuration select. SEL0 and SEL1 select the output configuration for each output bank (e.g., 1×, 1/2×, or 2×) (see Tables 1 and 2).
TEST	41	I	TEST is used to bypass the PLL circuitry for factory testing of the device. When TEST is low, all outputs operate using the PLL circuitry. When TEST is high, the outputs are placed in a test mode that bypasses the PLL circuitry. TEST should be strapped to GND for normal operation.
1Y1–1Y3 2Y1–2Y3 3Y1–3Y3	2, 5, 8 12, 15, 18 22, 25, 28	O	These outputs are configured by SEL1 and SEL0 to transmit one-half or one-fourth the frequency of the VCO. The relationship between the input clock frequency and the output frequency is dependent on SEL1 and SEL0 and the frequency of the output being fed back to FBIN. The duty cycle of the Y outputs is nominally 50% independent of the duty cycle of the input clock signals. Each output has an internal series resistor to dampen transmission-line effects and improve the signal integrity at the load.
4Y1–4Y3	32, 35, 38	O	These outputs transmit one-half the frequency of the VCO. The relationship between the input clock frequency and the output frequency is dependent on the frequency of the output being fed back to FBIN. The duty cycle of the Y outputs is nominally 50% independent of the duty cycle of CLKIN. Each output has an internal series resistor to dampen transmission-line effects and improve the signal integrity at the load.

Tabel 9/9.3.2-152: Functies van de signalen.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-104: Logisch schema (positieve logica) van de CDC2582.

Uitgangsconfiguraties

De spannings-gestuurde oscillator (VCO) in de CDC2582 heeft een frequentiebereik van 100 MHz tot 200 MHz (het dubbele van het frequentiebereik van de uitgangen). De uitgang van de VCO wordt door twee en door vier gedeeld om referentie-frequenties op de helft en een kwart van de VCO-frequentie te verkrijgen met 50 % duty-cycle. De SEL0 en SEL1 ingangen bepalen welk van de twee

signalen in elke uitgangsbank wordt gebuf-ferd.
Eén uitgang moet extern aan FBIN worden gelegd om de PLL te completeren. De VCO werkt zo dat de frequentie van deze uit-gang overeenkomt met de CLKIN/$\overline{\text{CLKIN}}$-signalen. Als een VCO/2-uitgang met FBIN is verbonden, moet de VCO op tweemaal de CLKIN/$\overline{\text{CLKIN}}$-frequentie werken, waardoor de uitgangen dezelfde of de halve CLKIN/$\overline{\text{CLKIN}}$-frequentie hebben. Wordt een VCO/4-uitgang aan FBIN gelegd, dan hebben de uitgangen dezelfde of de dubbele CLKIN/$\overline{\text{CLKIN}}$-frequentie.

Uitgangs-configuratie A

Uitgangs-configuratie A is geldig als een 1x-frequentie uitgang in tabel 9/9.3.2-153 met FBIN is verbonden. Het ingangs-frequentie-bereik loopt dan van 50 MHz tot 100 MHz. Uitgangen die als 1/2x zijn geconfigureerd, werken op de helft van de ingangs-clockfre-quentie, terwijl uitgangen die als 1x zijn ge-configureerd op de hele clock-frequentie werken.

INPUTS		OUTPUTS	
SEL1	SEL0	1/2× FREQUENCY	1× FREQUENCY
L	L	None	All
L	H	1Yn	2Yn, 3Yn, 4Yn
H	L	1Yn, 2Yn	3Yn, 4Yn
H	H	1Yn, 2Yn, 3Yn	4Yn

NOTE: n = 1, 2, 3

Tabel 9/9.3.2-153: Uitgangs-configuratie A.

INPUTS		OUTPUTS	
SEL1	SEL0	1× FREQUENCY	2× FREQUENCY
L	L	All	None
L	H	1Yn	2Yn, 3Yn, 4Yn
H	L	1Yn, 2Yn	3Yn, 4Yn
H	H	1Yn, 2Yn, 3Yn	4Yn

NOTE: n = 1, 2, 3

Tabel 9/9.3.2-154: Uitgangs-configuratie B.

Uitgangs-configuratie B

Uitgangs-configuratie B is geldig als een 1x-frequentie uitgang in tabel 9/9.3.2-154 met FBIN is verbonden. Het ingangs-frequentie-bereik van CLKIN/$\overline{\text{CLKIN}}$ loopt nu van 25 MHz tot 50 MHz. Uitgangen die als 1x zijn geconfigureerd, werken op de hele ingangs-clockfrequentie, terwijl uitgangen die als 2x zijn geconfigureerd op de dubbele werken.

Supply voltage range, V_{CC}	−0.5 V to 4.6 V
Input voltage range, V_I (see Note 1)	−0.5 V to 7 V
Voltage range applied to any output in the high state or power-off state, V_O (see Note 1)	−0.5 V to 5.5 V
Current into any output in the low state, I_O	24 mA
Input clamp current, I_{IK} ($V_I < 0$)	−20 mA
Output clamp current, I_{OK} ($V_O < 0$)	−50 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2)	1.2 W
Storage temperature range, T_{stg}	−65°C to 150°C

Tabel 9/9.3.2-155: Maximaal toegelaten waarden van de CDC2582.

9.3 Clock-drivers/clock-generatoren

			MIN	MAX	UNIT
V_{CC}	Supply voltage		3	3.6	V
V_{IH}	High-level input voltage	CLKIN, $\overline{CLKIN}$	V_{CC}-1.025		V
		Other inputs	2		
V_{IL}	Low-level input voltage	CLKIN, $\overline{CLKIN}$		V_{CC}-1.62	V
		Other inputs		0.8	
V_I	Input voltage		0	5.5	V
I_{OH}	High-level output current			−12	mA
I_{OL}	Low-level output current			12	mA
T_A	Operating free-air temperature		0	70	°C

NOTE 3: Unused inputs must be held high or low to prevent them from floating.

Tabel 9/9.3.2-156: Aanbevolen bedrijfscondities voor de CDC2582.

PARAMETER	TEST CONDITIONS			T_A = 25°C MIN	MAX	UNIT
V_{IK}	V_{CC} = 3 V,	I_I = −18 mA			−1.2	V
V_{OH}	V_{CC} = MIN to MAX†,	I_{OH} = −100 µA		V_{CC}−0.2		V
	V_{CC} = 3 V,	I_{OH} = − 12 mA		2		
V_{OL}	V_{CC} = 3 V	I_{OL} = 100 µA			0.2	V
		I_{OL} = 12 mA			0.8	
I_I	V_{CC} = 0 or MAX†,	V_I = 3.6 V			±10	µA
	V_{CC} = 3.6 V,	V_I = V_{CC} or GND			±1	
I_{CC}	V_{CC} = 3.6 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high		5	mA
			Outputs low		5	
C_i	V_I = 3 V or 0				4	pF
C_o	V_O = 3 V or 0				8	pF

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

Tabel 9/9.3.2-157: Elektrische eigenschappen van de CDC2582.

			MIN	MAX	UNIT
f_{clock}	Clock frequency	VCO is operating at four times the CLKIN/$\overline{CLKIN}$ frequency	25	50	MHz
		VCO is operating at double the CLKIN/$\overline{CLKIN}$ frequency	50	100	
	Input clock duty cycle		40%	60%	
	Stabilization time†	After SEL1, SEL0		50	µs
		After $\overline{OE}$↓		50	
		After power up		50	

† Time required for the integrated PLL circuit to obtain phase lock of its feedback signal to its reference signal. For phase lock to be obtained, a fixed-frequency, fixed-phase reference signal must be present at CLKIN. Until phase lock is obtained, the specifications for propagation delay and skew parameters given in the switching characteristics table are not applicable.

Tabel 9/9.3.2-158: Benodigde timing voor de CDC2582.

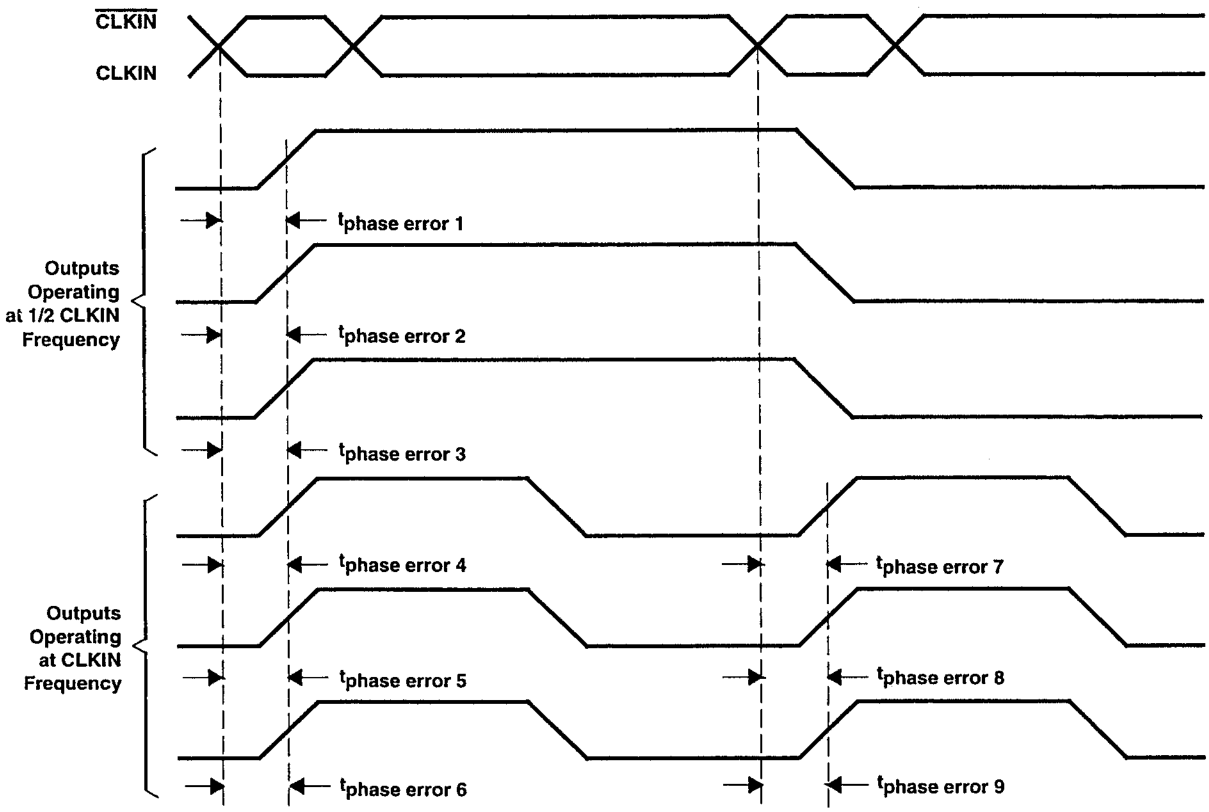
9.3 Clock-drivers/clock-generatoren

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
Duty cycle		Y	45%	55%	
f_{max}			100		MHz
$Jitter_{(pk-pk)}$	CLKIN↑	Y↑		200	ps
$t_{phase\ error}$‡	CLKIN↑	Y	–500	500	ps
$t_{sk(o)}$‡		Y		0.5	ns
$t_{sk(pr)}$‡		Y		1	ns
t_r				1.4	ns
t_f				1.4	ns

‡ The propagation delay, $t_{phase\ error}$, is dependent on the feedback path from any output to FBIN. The $t_{phase\ error}$, $t_{sk(o)}$, and $t_{sk(pr)}$ specifications are only valid for equal loading of all outputs.

NOTE 4: The specifications for parameters in this table are applicable only after any appropriate stabilization time has elapsed.

Tabel 9/9.3.2-159: Schakeltijden van de CDC2582.

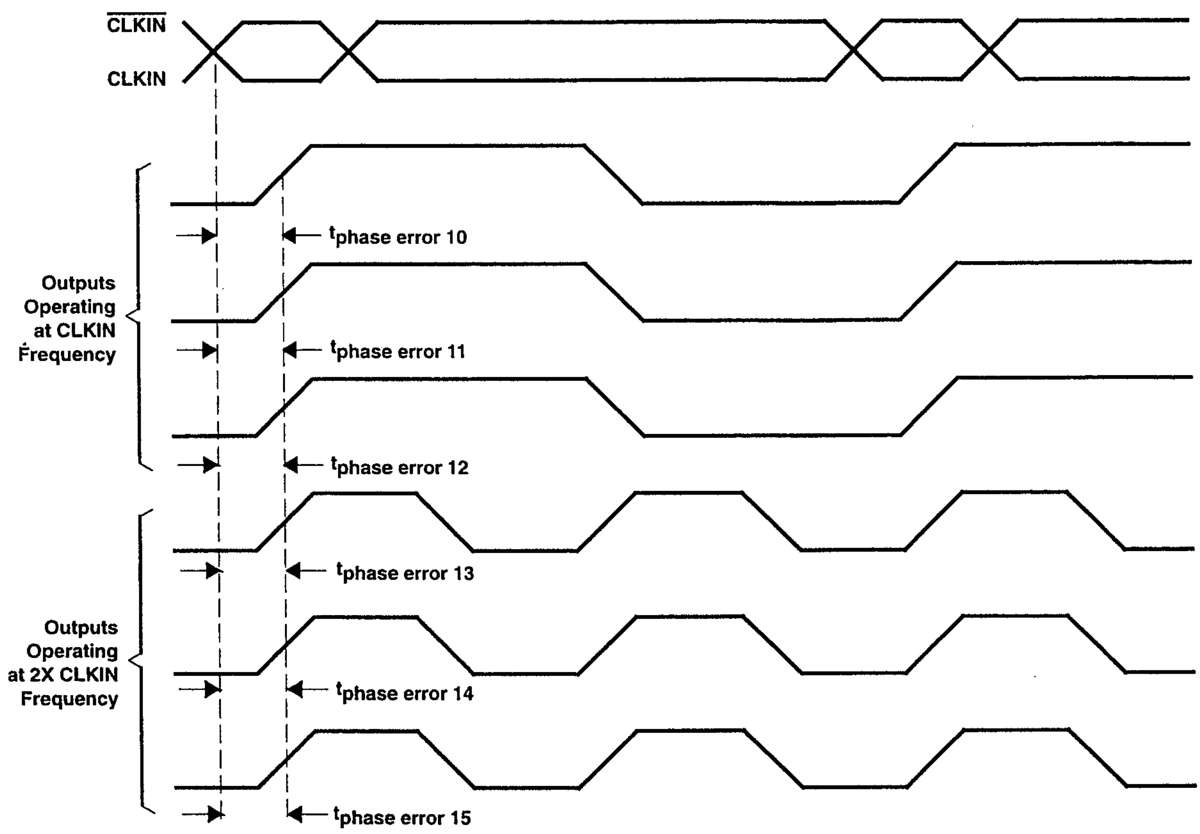


NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 1, 2, . . . 6)
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 7, 8, 9)

B. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 1, 2, . . . 6) across multiple devices under identical operating conditions
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 7, 8, 9) across multiple devices under identical operating conditions

Figuur 9/9.3.2-105: Golfvormen voor de berekening van skew en fasefout.

9.3 Clock-drivers/clock-generatoren



NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
– The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 10, 11, . . . 15)
B. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
– The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 10, 11, . . . 15) across multiple devices under identical operating conditions

Figuur 9/9.3.2-106: Golfvormen voor de berekening van $t_{sk(o)}$ en $t_{sk(pr)}$ bij de CDC2582.

CDC2586

phase-lock loop 12 lijns clock-driver met 3-state uitgangen

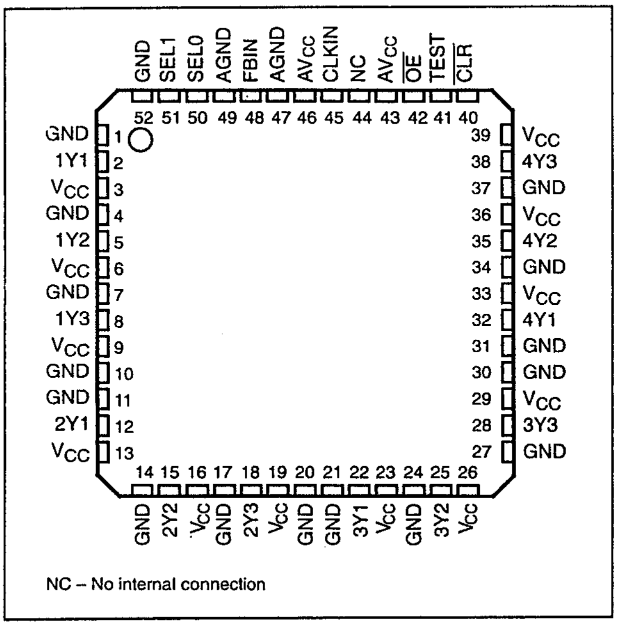
De CDC2586 is een high-performance phase-lock loop (PLL) clock-driver met zeer kleine skew en jitter. De clock-uitgangen worden in frequentie en fase uitgelijnd op het clock-ingangssignaal CLKIN. De CDC2586 is speciaal ontwikkeld om met populaire microprocessoren te worden gebruikt bij snelheden van 50 MHz tot 100 MHz of lager (tot 25 MHz). De CDC2586 werkt op 3,3 V, heeft serieweerstanden van 26 Ω op alle Y-uitgangen en is ontworpen voor de aansturing van 50 Ω transmissielijnen.
De feedback-ingang (FBIN) wordt gebruikt om de uitgangs-clocksignalen in fase en frequentie op de ingangsclock te synchroniseren. Het is daarvoor nodig dat één van de 12 uitgangs-clocks op FBIN wordt aangesloten, die dan synchroon loopt met CLKIN.
De Y-uitgangen kunnen worden geconfigureerd om in fase en op dezelfde frequentie als de ingangsclock te schakelen. Met de select-ingangen (SEL0 en SEL1) kunnen 9

9.3 Clock-drivers/clock-generatoren

Y-uitgangen, in banken van drie worden ingesteld om op de helft of het dubbele van de CLKIN-frequentie te schakelen. Dit is afhankelijk van de uitgangspen die op FBIN is aangesloten (zie de tabellen 9/9.3.2-161 en -162). Alle uitgangssignalen hebben duty-cycles van 50 %, onafhankelijk van de duty-cycle van de ingangs-clock. De toestand van de uitgangen wordt geregeld met het Output-Enable signaal ($\overline{OE}$. Als $\overline{OE}$ HOOG is, zijn de uitgangen hoog-impedant. Is $\overline{OE}$ LAAG, dan zijn de uitgangen aktief. $\overline{CLR}$ wordt op de negatieve flank getriggerd en kan worden gebruikt om de uitgangen die op de halve frequentie werken te resetten. TEST wordt alleen in de fabriek gebruikt en moet door de gebruiker aan GND worden gelegd. In tegenstelling tot andere componenten die PLL's bevatten, heeft de CDC2586 geen externe RC-componenten nodig: het loop-filter voor de PLL bevindt zich op de chip. Omdat de CDC2586 rond een PLL is opgebouwd heeft hij voor de stabilisatie van de fase-lock van het feedback signaal op het referentiesignaal enige tijd nodig. Deze tijd moet in acht worden genomen na het opkomen van de voedingsspanning en na het aanbrengen van een signaal met een vaste frequentie en fase op de CLKIN- en $\overline{CLKIN}$-pennen. Door veranderde select-signalen, het vrijgeven van de PLL na TEST en na het vrijgeven van alle uitgangen met $\overline{OE}$ treden zulke veranderingen ook op.

Technische gegevens

- phase-lock loop clock-driver met zeer geringe output-skew voor clock-distributie en clock-opwekking
- 1-lijn naar 12-lijnen clock-driver
- 2 select-ingangen voor instelling van 9 uitgangen op halve of dubbele frequentie
- geen extern RC-netwerk nodig
- externe feedback-pen (FBIN) voor synchronisatie van de uitgangen op de clock-ingang
- TTL-compatibele in- en uitgangen
- uitgangen voorzien van 26 Ω serieweerstanden
- uitgangen geschikt voor 50 Ω transmissielijnen
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- geringe dissipatie door BiCMOS-ontwerp
- behuizing:
  52-pens thin quad flatpack (PAH)
- fabrikant: Texas Instruments



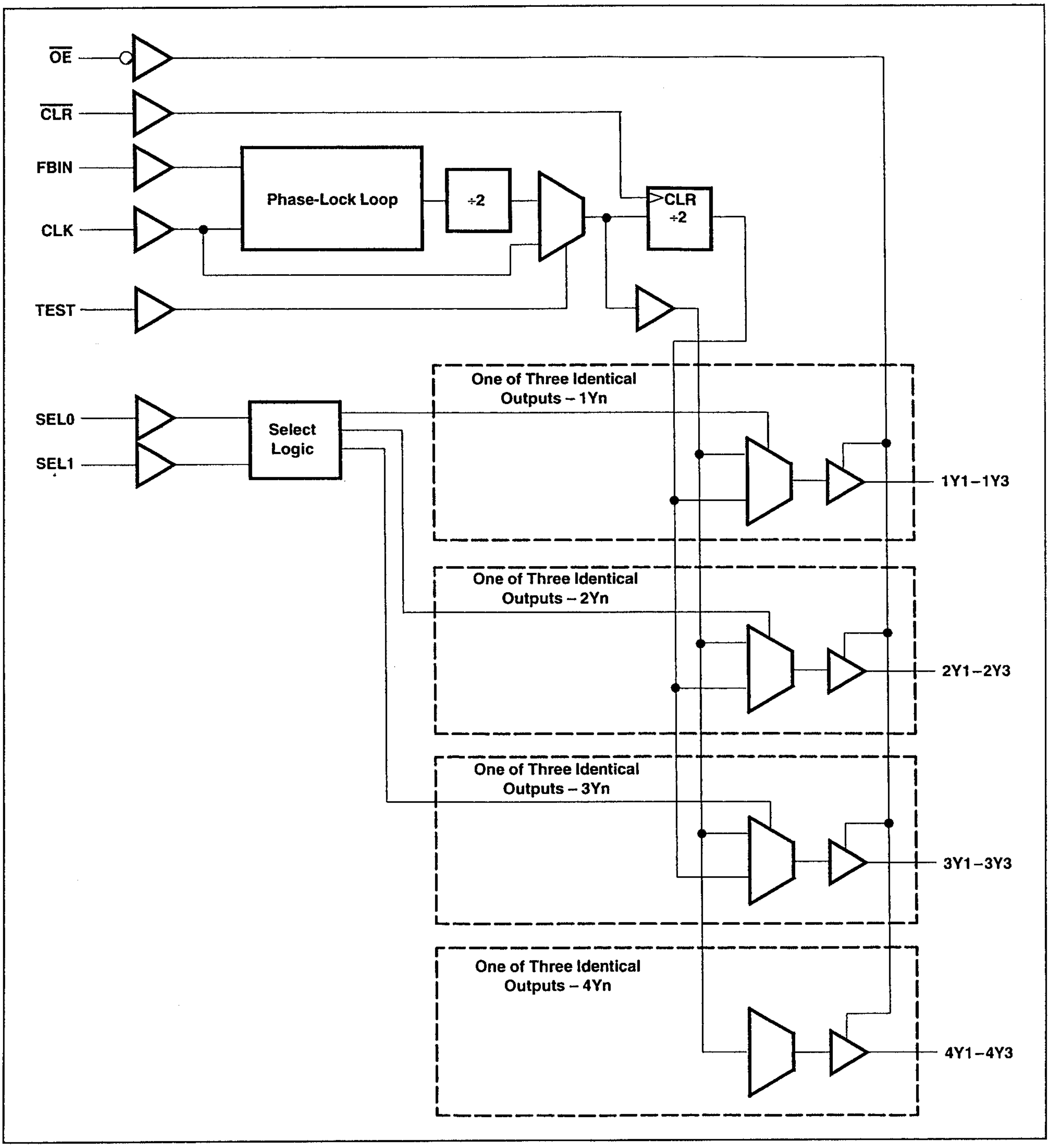
Figuur 9/9.3.2-107: Aansluitgegevens (bovenaanzicht) van de CDC2586.

9.3 Clock-drivers/clock-generatoren

TERMINAL NAME	TERMINAL NO.	I/O	DESCRIPTION
CLKIN	45	I	Clock input. CLKIN is the clock signal to be distributed by the CDC2586 clock-driver circuit. CLKIN provides the reference signal to the integrated PLL that generates the clock output signals. CLKIN must have a fixed frequency and fixed phase for the PLL to obtain phase lock. Once the circuit is powered up and a valid CLKIN signal is applied, a stabilization time is required for the PLL to phase lock the feedback signal to its reference signal.
$\overline{CLR}$	40	I	Clear. $\overline{CLR}$ resets the VCO/4 reference frequency. $\overline{CLR}$ is negative-edge triggered and should be strapped to GND or V_{CC} for normal operation.
FBIN	48	I	Feedback input. FBIN provides the feedback signal to the internal PLL. FBIN must be hard wired to one of the twelve clock outputs to provide frequency and phase lock. The internal PLL adjusts the output clocks to obtain zero phase delay between FBIN and CLKIN.
$\overline{OE}$	42	I	Output enable. $\overline{OE}$ is the output enable for all outputs. When $\overline{OE}$ is low, all outputs are enabled. When $\overline{OE}$ is high, all outputs are in the high-impedance state. Since the feedback signal for the PLL is taken directly from an output, placing the outputs in the high-impedance state interrupts the feedback loop; therefore, when a high-to-low transition occurs at $\overline{OE}$, enabling the output buffers, a stabilization time is required before the PLL obtains phase lock.
SEL1, SEL0	51, 50	I	Output configuration select. SEL0 and SEL1 select the output configuration for each output bank (e.g., 1/2x, 1x, or 2x) (see Tables 1 and 2).
TEST	41	I	TEST is used to bypass the PLL circuitry for factory testing of the device. When TEST is low, all outputs operate using the PLL circuitry. When TEST is high, the outputs are placed in a test mode that bypasses the PLL circuitry. TEST should be strapped to GND for normal operation.
1Y1−1Y3 2Y1−2Y3 3Y1−3Y3	2, 5, 8 12, 15, 18 22, 25, 28	O	Output ports. These outputs are configured by the select inputs (SEL1, SEL0) to transmit one-half or one-fourth the frequency of the VCO. The relationship between the CLKIN frequency and the output frequency is dependent on the select inputs and the frequency of the output being fed back to FBIN (see Tables 1 and 2). The duty cycle of the Y output signals is nominally 50%, independent of the duty cycle of CLKIN. Each output has an internal series resistor to dampen transmission-line effects and improve the signal integrity at the load.
4Y1−4Y3	32, 35, 38	O	Output ports. 4Y1−4Y3 transmit one-half the frequency of the VCO regardless of the state of the select inputs. The relationship between the CLKIN frequency and the output frequency is dependent on the frequency of the output being fed back to FBIN (see Tables 1 and 2). The duty cycle of the Y output signals is nominally 50%, independent of the duty cycle of CLKIN. Each output has an internal series resistor to dampen transmission-line effects and improve the signal integrity at the load.

Tabel 9/9.3.2-160: Functies van de signalen.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-108: Logisch schema (positieve logica) van de CDC2586.

Uitgangsconfiguraties

De spannings-gestuurde oscillator (VCO) in de CDC2586 heeft een frequentiebereik van 100 MHz tot 200 MHz (het dubbele van het frequentiebereik van de uitgangen). De uitgang van de VCO wordt door twee en door vier gedeeld om referentie-frequenties op de helft en een kwart van de VCO-frequentie te verkrijgen met 50 % duty-cycle. De SEL0 en SEL1 ingangen bepalen welk van de twee

signalen in elke uitgangsbank wordt gebufferd. Eén uitgang moet extern aan FBIN worden gelegd om de PLL te completeren. De VCO werkt zodanig dat de frequentie van deze uitgang overeenkomt met het CLKIN-signaal. Als een VCO/2-uitgang met FBIN is verbonden, moet de VCO op tweemaal de CLKIN-frequentie werken, waardoor de uitgangen dezelfde of de halve CLKIN-frequentie hebben.
Wordt een VCO/4-uitgang aan FBIN gelegd, dan hebben de uitgangen dezelfde of de dubbele CLKIN-frequentie.

Uitgangs-configuratie A

Uitgangs-configuratie A is geldig als een 1x-frequentie uitgang in tabel 9/9.3.2-161 met FBIN is verbonden. Het ingangs-frequentiebereik loopt dan van 50 MHz tot 100 MHz. Uitgangen die als 1/2x zijn geconfigureerd, werken op de helft van de ingangs-clockfrequentie, terwijl uitgangen die als 1x zijn geconfigureerd op de hele clock-frequentie werken.

INPUTS		OUTPUTS	
SEL1	SEL0	1/2× FREQUENCY	1× FREQUENCY
L	L	None	All
L	H	1Yn	2Yn, 3Yn, 4Yn
H	L	1Yn, 2Yn	3Yn, 4Yn
H	H	1Yn, 2Yn, 3Yn	4Yn

NOTE: n = 1, 2, 3

Tabel 9/9.3.2-161: Uitgangs-configuratie A.

Uitgangs-configuratie B

Uitgangs-configuratie B is geldig als een 1x-frequentie uitgang in tabel 9/9.3.2-162 met FBIN is verbonden. Het ingangs-frequentiebereik van CLKIN loopt dan van 25 MHz tot 50 MHz. Uitgangen die als 1x zijn geconfigureerd, werken op de hele ingangs-clockfrequentie, terwijl uitgangen die als 2x zijn geconfigureerd op de dubbele werken.

INPUTS		OUTPUTS	
SEL1	SEL0	1× FREQUENCY	2× FREQUENCY
L	L	All	None
L	H	1Yn	2Yn, 3Yn, 4Yn
H	L	1Yn, 2Yn	3Yn, 4Yn
H	H	1Yn, 2Yn, 3Yn	4Yn

NOTE: n = 1, 2, 3

Tabel 9/9.3.2-162: Uitgangs-configuratie B.

Supply voltage range, V_{CC}	−0.5 V to 4.6 V
Input voltage range, V_I (see Note 1)	−0.5 V to 7 V
Voltage range applied to any output in the high state or power-off state, V_O (see Note 1)	−0.5 V to 5.5 V
Current into any output in the low state, I_O	24 mA
Input clamp current, I_{IK} ($V_I < 0$)	−20 mA
Output clamp current, I_{OK} ($V_O < 0$)	−50 mA
Maximum power dissipation at $T_A = 55°C$ (in still air) (see Note 2)	1.2 W
Storage temperature range, T_{stg}	−65°C to 150°C

Tabel 9/9.3.2-163: Maximaal toegelaten waarden van de CDC2586.

9.3 Clock-drivers/clock-generatoren

		MIN	MAX	UNIT
V_{CC}	Supply voltage	3	3.6	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	5.5	V
I_{OH}	High-level output current		−12	mA
I_{OL}	Low-level output current		12	mA
T_A	Operating free-air temperature	0	70	°C

NOTE 3: Unused inputs must be held high or low

Tabel 9/9.3.2-164: Aanbevolen bedrijfscondities voor de CDC2586.

PARAMETER	TEST CONDITIONS			T_A = 25°C MIN	MAX	UNIT
V_{IK}	V_{CC} = 3 V,	I_I = −18 mA			−1.2	V
V_{OH}	V_{CC} = MIN to MAX†,	I_{OH} = −100 µA		V_{CC}−0.2		V
	V_{CC} = 3 V,	I_{OH} = −12 mA		2		
V_{OL}	V_{CC} = 3 V	I_{OL} = 100 µA			0.2	V
		I_{OL} = 12 mA			0.8	
I_I	V_{CC} = 0 or MAX†,	V_I = 3.6 V			±10	µA
	V_{CC} = 3.6 V,	V_I = V_{CC} or GND			±1	
I_{OZH}	V_{CC} = 3.6 V,	V_O = 3 V			10	µA
I_{OZL}	V_{CC} = 3.6 V,	V_O = 0			−10	µA
I_{CC}	V_{CC} = 3.6 V, V_I = V_{CC} or GND	I_O = 0,	Outputs high		1	mA
			Outputs low		1	
			Outputs disabled		1	
C_i	V_I = V_{CC} or GND				4	pF
C_o	V_O = V_{CC} or GND				8	pF

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

Tabel 9/9.3.2-165: Elektrische eigenschappen van de CDC2586.

			MIN	MAX	UNIT
f_{clock}	Clock frequency	VCO operating at four times the CLKIN frequency	25	50	MHz
		VCO operating at double the CLKIN frequency	50	100	
	Input clock duty cycle		40%	60%	
	Stabilization time†	After SEL1, SEL0		50	µs
		After $\overline{OE}$↓		50	
		After power up		50	
		After CLKIN		50	

† Time required for the integrated PLL circuit to obtain phase lock of its feedback signal to its reference signal. In order for phase lock to be obtained, a fixed-frequency, fixed-phase reference signal must be present at CLKIN. Until phase lock is obtained, the specifications for propagation delay and skew parameters given in the switching characteristics table are not applicable.

Tabel 9/9.3.2-166: Benodigde timing voor de CDC2586.

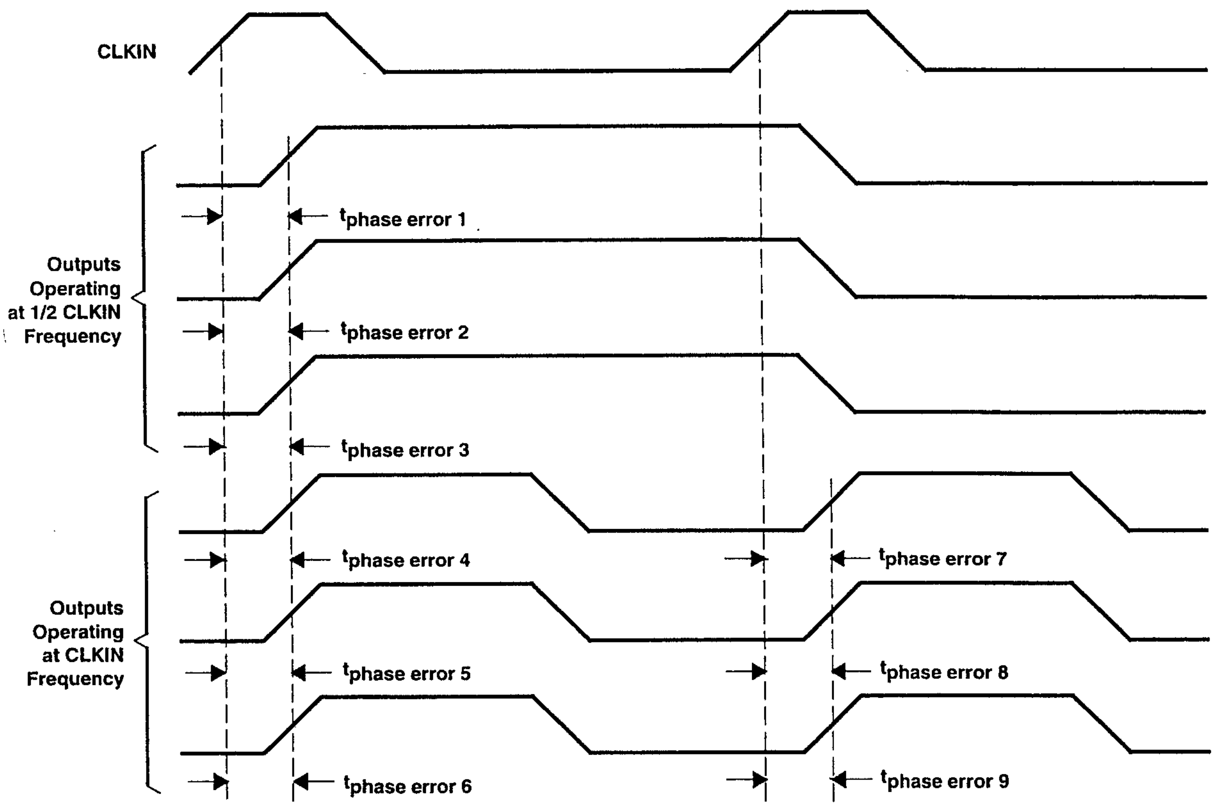
9.3 Clock-drivers/clock-generatoren

PARAMETER	FROM (INPUT)	TO (OUTPUT)	MIN	MAX	UNIT
f_{max}			100		MHz
Duty cycle		Y	45%	55%	
$t_{phase\ error}$‡	CLKIN↑	Y↑	−500	+500	ps
jitter	CLKIN↑	Y↑		200	ps
$t_{sk(o)}$‡				0.5	ns
$t_{sk(pr)}$‡				1	ns
t_r				1.4	ns
t_f				1.4	ns

‡ The propagation delay, $t_{phase\ error}$, is dependent on the feedback path from any output to FBIN. The $t_{phase\ error}$, $t_{sk(o)}$, and $t_{sk(pr)}$ specifications are valid only for equal loading of all outputs.

NOTE 4: The specifications for parameters in this table are applicable only after any appropriate stabilization time has elapsed.

Tabel 9/9.3.2-167: Schakeltijden van de CDC2586.



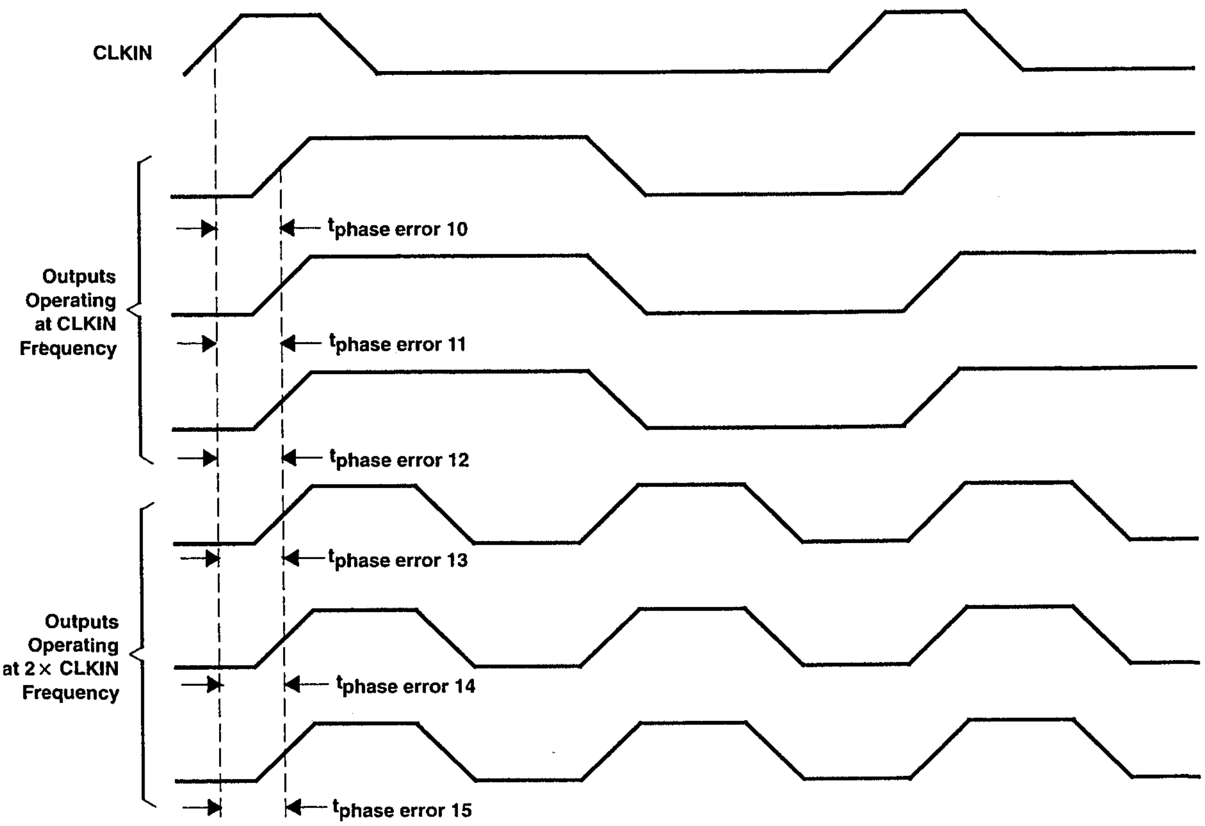
NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 1, 2, . . . 6)
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 7, 8, 9)

B. Process skew, $t_{sk(pr)}$, is calculated as the greater of:
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 1, 2, . . . 6) across multiple devices under identical operating conditions
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 7, 8, 9) across multiple devices under identical operating conditions

C. For configuration A, see Table 1

Figuur 9/9.3.2-109: Golfvormen voor de berekening van $t_{sk(o)}$ voor configuratie A.

9.3 Clock-drivers/clock-generatoren



NOTES: A. Output skew, $t_{sk(o)}$, is calculated as the greater of:
- The difference between the fastest and slowest of $t_{phase\ error\ n}$ (n = 10, 11, . . . 15)

B. Process skew, $t_{sk}(pr)$, is calculated as the greater of:
- The difference between the maximum and minimum $t_{phase\ error\ n}$ (n = 10, 11, . . . 15) across multiple devices under identical operating conditions

C. For configuration B, see Table 2

Figuur 9/9.3.2-110: Golfvormen voor de berekening van $t_{sk(o)}$ voor configuratie B bij de CDC2586.

CDC9841

PC-moederbord clock-synthesizer/driver met 3-state uitgangen

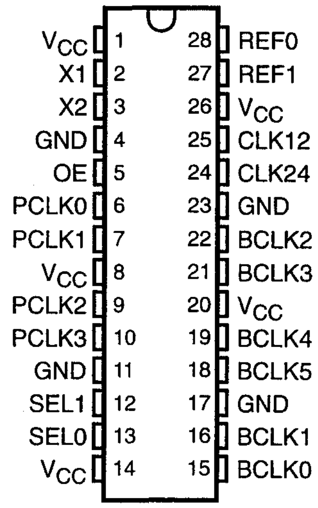
De CDC9841 is een high-performance clock-synthesizer/ driver die alle benodigde clock-signalen voor PC moederborden opwekt. De vier clock-signalen voor de centrale processor-unit (PCLKn) zijn programmeerbaar op 50, 60 of 66 MHz, door middel van SEL0 en SEL1. De zes clock-uitgangen (BCLKn) voor de peripheral-component-interconnect (PCI) hebben de halve frequentie van PCLKn en zijn 1 tot 4 ns vertraagd ten opzichte van de stijgende flank van de CPU-clock. Daarnaast leveren de vier uitgangen met vaste frequentie een 24 MHz clock (CLK24), een 12 MHz clock (CLK12) en twee gebufferde kopieën van het 14,318 MHz referentie-signaal (REF0 en REF1). Alle door de CDC9841 opgewekte frequenties zijn afkomstig van een 14,31818 MHz kristal. In plaats van het kristal kan ook een externe referentie op X1 worden aangesloten.

De CPU clock-frequentie en de 24 MHz clock-frequentie worden gegenereerd met

behulp van twee phase-lock loops (PLL's). Door de op de chip aanwezige loop-filters zijn geen externe componenten nodig. De PCI en 12 MHz clock-frequenties zijn afgeleid van respectievelijk de basis CPU- en 24 MHz clock-frequenties. In de TEST-mode kan het PLL-circuit worden overbrugd door zowel SEL0 als SEL1 HOOG te maken. In dat geval wordt een test-clock op de X1-ingang gezet. Omdat de CDC9841 op PLL's is gebaseerd, is voor de stabilisatie van de fase-lock enige tijd nodig. Deze tijd moet in acht worden genomen na het opkomen van de voedingsspanning en na het aanbrengen van een signaal met een vaste frequentie en fase op de X1-pen en na veranderingen op de SELn-ingangen. PCLKn en BCLKn leveren betrouwbare clock-signalen met zeer kleine skew en jitter. Alle uitgangen zijn 3-state en worden vrijgegeven via OE.

Technische gegevens

- genereert vier CPU-clocksignalen met programmeerbare frequentie (50, 60 of 66 MHz)
- genereert zes clock-signalen op halve CPU-frequentie voor PCI
- eén 24 MHz clock-uitgang
- eén 12 MHz clock-uitgang
- twee 14,318 MHz referentie clock-uitgangen
- alle clock-uitgangen zijn afgeleid van een enkel 14,31818 MHz kristal
- geen externe RC-netwerken nodig
- LVTTL-compatibele in- en uitgangen
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- behuizing: 28-pens small outline (DW)
- fabrikant: Texas Instruments



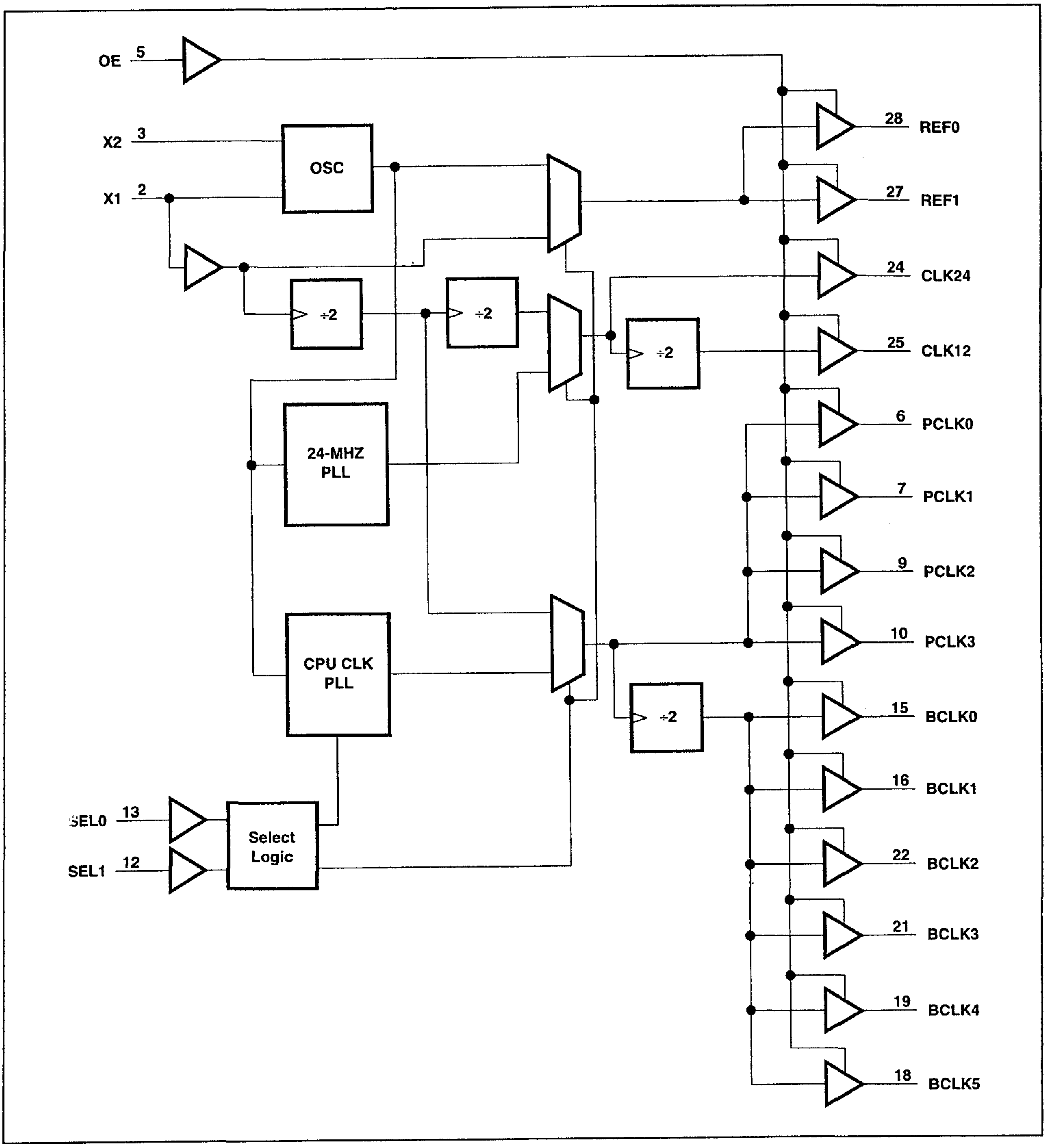
Figuur 9/9.3.2-111: Aansluitgegevens van de CDC9841 (DW-behuizing).

OE	SEL0	SEL1	X1	PCLKn	BCLKn	REFn	CLK24	CLK12
L	X	X	14.31818 MHz	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
H	L	L	14.31818 MHz	50 MHz	25 MHz	14.318 MHz	24 MHz	12 MHz
H	L	H	14.31818 MHz	60 MHz	30 MHz	14.318 MHz	24 MHz	12 MHz
H	H	L	14.31818 MHz	66 MHz	33 MHz	14.318 MHz	24 MHz	12 MHz
H	H	H	TCLK†	TCLK/2	TCLK/4	TCLK	TCLK/4	TCLK/8

† TCLK is a test clock input at the X1 input during test mode.

Tabel 9/9.3.2-168: Waarheidstabel van de CDC9841.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-112: Logisch schema (positieve logica) van de CDC9841.

9.3 Clock-drivers/clock-generatoren

Supply voltage range, V_{CC} .... −0.5 V to 4.6 V
Input voltage range, V_I (see Note 1) .... −0.5 V to 4.6 V
Voltage range applied to any output in the high state or power-off state,
V_O (see Note 1) .... −0.5 V to V_{CC} + 0.5 V
Current into any output in the low state, I_O .... 2 × I_{OHmax}
Input clamp current, I_{IK} (V_I < 0) .... −18 mA
Output clamp current, I_{OK} (V_O < 0) .... −50 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2) .... 1.2 W
Storage temperature range, T_{stg} .... −65°C to 150°C

Tabel 9/9.3.2-169: Maximaal toegelaten waarden van de CDC9841.

			MIN	MAX	UNIT
V_{CC}	Supply voltage		3.135	3.6	V
V_{IH}	High-level input voltage		2		V
V_{IL}	Low-level input voltage			0.8	V
V_I	Input voltage		0	V_{CC}	V
I_{OH}	High-level output current	REF0		−12	mA
		REF1		−8	
		PCLKn		−6	
		BCLKn		−12	
		CLK24, CLK12		−4	
I_{OL}	Low-level output current	REF0		12	mA
		REF1		8	
		PCLKn		6	
		BCLKn		12	
		CLK24, CLK12		4	
T_A	Operating free-air temperature		0	70	°C

NOTE 3: Unused inputs must be held high or low to prevent them from floating.

Tabel 9/9.3.2-170: Aanbevolen bedrijfscondities van de CDC9841.

PARAMETER	TEST CONDITIONS			MIN	MAX	UNIT
V_{IK}	V_{CC} = 3.135 V,	I_I = −18 mA			−1.2	V
V_{OH}	V_{CC} = 3.135 V	I_{OH} = −12 mA	REF0	2.5		V
		I_{OH} = −8 mA	REF1	2.5		
		I_{OH} = −6 mA	PCLKn	2.5		
		I_{OH} = −12 mA	BCLKn	2.5		
		I_{OH} = −4 mA	CLK24, CLK12	2.5		
V_{OL}	V_{CC} = 3.135 V	I_{OL} = 12 mA	REF0		0.4	V
		I_{OL} = 8 mA	REF1		0.4	
		I_{OL} = 6 mA	PCLKn		0.4	
		I_{OL} = 12 mA	BCLKn		0.4	
		I_{OL} = 4 mA	CLK24, CLK12		0.4	
I_I	V_{CC} = 3.6 V,	V_I = V_{CC} or GND			±1	µA
I_{OZ}	V_{CC} = 3.6 V,	V_O = V_{CC} or GND			±10	µA
I_{CC}	V_{CC} = 3.6 V, V_I = V_{CC} or GND	I_O = 0,	Outputs enabled†		50	mA
			Outputs disabled		1	
C_i	V_I = V_{CC} or GND					pF
C_o	V_O = V_{CC} or GND					pF
C_{pd}	V_I = 3 V or 0					pF

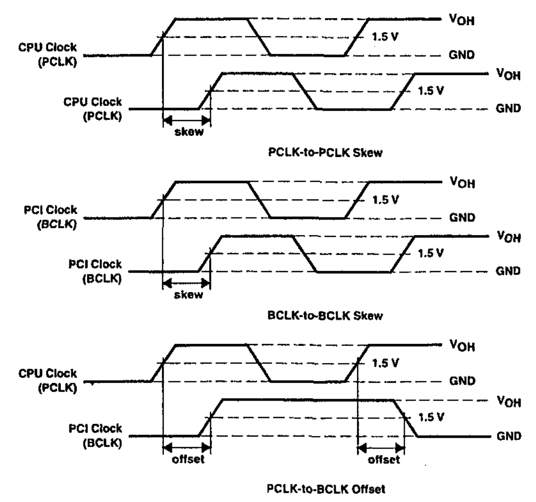
† Device in normal operating mode with no load on outputs

Tabel 9/9.3.2-171: Elektrische eigenschappen van de CDC9841.

9.3 Clock-drivers/clock-generatoren

		MIN	MAX	UNIT
Stabilization time‡	After SEL1, SEL0		5	ms
	After OE†		5	
	After power up		5	

Tabel 9/9.3.2-172: Benodigde timing voor de CDC9841.



Figuur 9/9.3.2-113: Golfvormen voor de berekening van t_{skew} en offset bij de CDC9841.

PARAMETER	FROM (INPUT)	TO (OUTPUT)		V_{CC} = 3.135 V to 3.6 V, T_A = 0°C to 70°C MIN	MAX	UNIT
t_{skew}†		PCLKn (C_L = 20 pF)			200	ps
		BCLKn (C_L = 30 pF)			400	
Offset†	PCLKn (C_L = 20 pF)	BCLKn (C_L = 30 pF)		1	4	ns
Jitter†		PCLKn (C_L = 20 pF)			±250	ps
		BCLKn (C_L = 30 pF)			±350	
Duty cycle†		Any output		45%	55%	
t_c		PCLKn (C_L = 20 pF)	SEL0 = L, SEL1 = L	20		ns
			SEL0 = L, SEL1 = H	16.7		
			SEL0 = H, SEL1 = L	15		
		BCLKn (C_L = 30 pF)	SEL0 = L, SEL1 = L	40		
			SEL0 = L, SEL1 = H	33.3		
			SEL0 = H, SEL1 = L	30		
t_r†‡		PCLKn (C_L = 20 pF), BCLKn (C_L = 30 pF)			2	ns
t_f†‡		PCLKn (C_L = 20 pF), BCLKn (C_L = 30 pF)			2	ns

† Specifications are applicable only after the PLL stabilization time has elapsed.

Tabel 9/9.3.2-173: Schakeltijden van de CDC9841.

CDC9842

PC-moederbord clock-synthesizer/driver met 3-state uitgangen

De CDC9842 is een high-performance clock-synthesizer/ driver die alle benodigde clock-signalen opwekt voor Pentium/82430X/82430VX en Pentium Pro 82440FX chipsets.

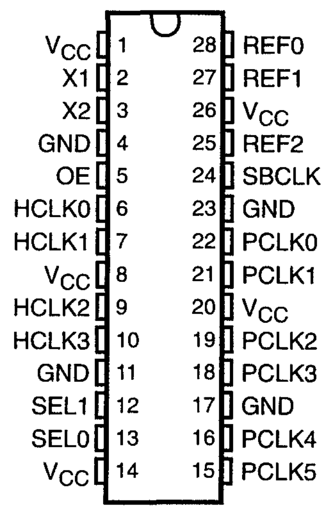
Er zijn vier host-clock-signalen (HCLKn) die programmeerbaar zijn op 50, 60 of 66 MHz via de SEL0 en SEL1 besturingsingangen. Daarnaast zijn er zes PCI clock-uitgangen (PCLKn) op de halve frequentie van HCLKn, die 1 tot 4 ns vertraagd zijn ten opzichte van de stijgende flank van de CPU-clock. Bovendien is er een universal serial bus (USB) clock-uitgang met 48 MHz (SBCLK) en drie 14,318 MHz referentie-clock-uitgangen (REF0, REF1 en REF2). Alle door de CDC9842 opgewekte frequenties zijn afgeleid van een 14,31818 MHz kristal. In plaats van het kristal kan ook een externe clock op X1 worden aangesloten. De host clock-frequentie en de 48 MHz clock-frequentie worden gegenereerd met behulp van twee phase-lock loops (PLL's). Door de op de chip aanwezige loop-filters zijn geen externe componenten nodig.

De PCI clock-frequentie is direct afgeleid van de host-clockfrequentie. In de TEST-mode kunnen de PLL's worden overbrugd door SEL0 en SEL1 beide HOOG te maken. In dat geval wordt een test-clock op de X1-ingang gezet.

Omdat de CDC9842 op PLL's is gebaseerd, duurt het even voordat de fase-lock is gestabiliseerd. Deze tijd moet in acht worden genomen na het opkomen van de voedingsspanning en na het aanbrengen van een signaal met een vaste frequentie en fase op de X1-pen en na veranderingen op de OE of SELn-ingangen.

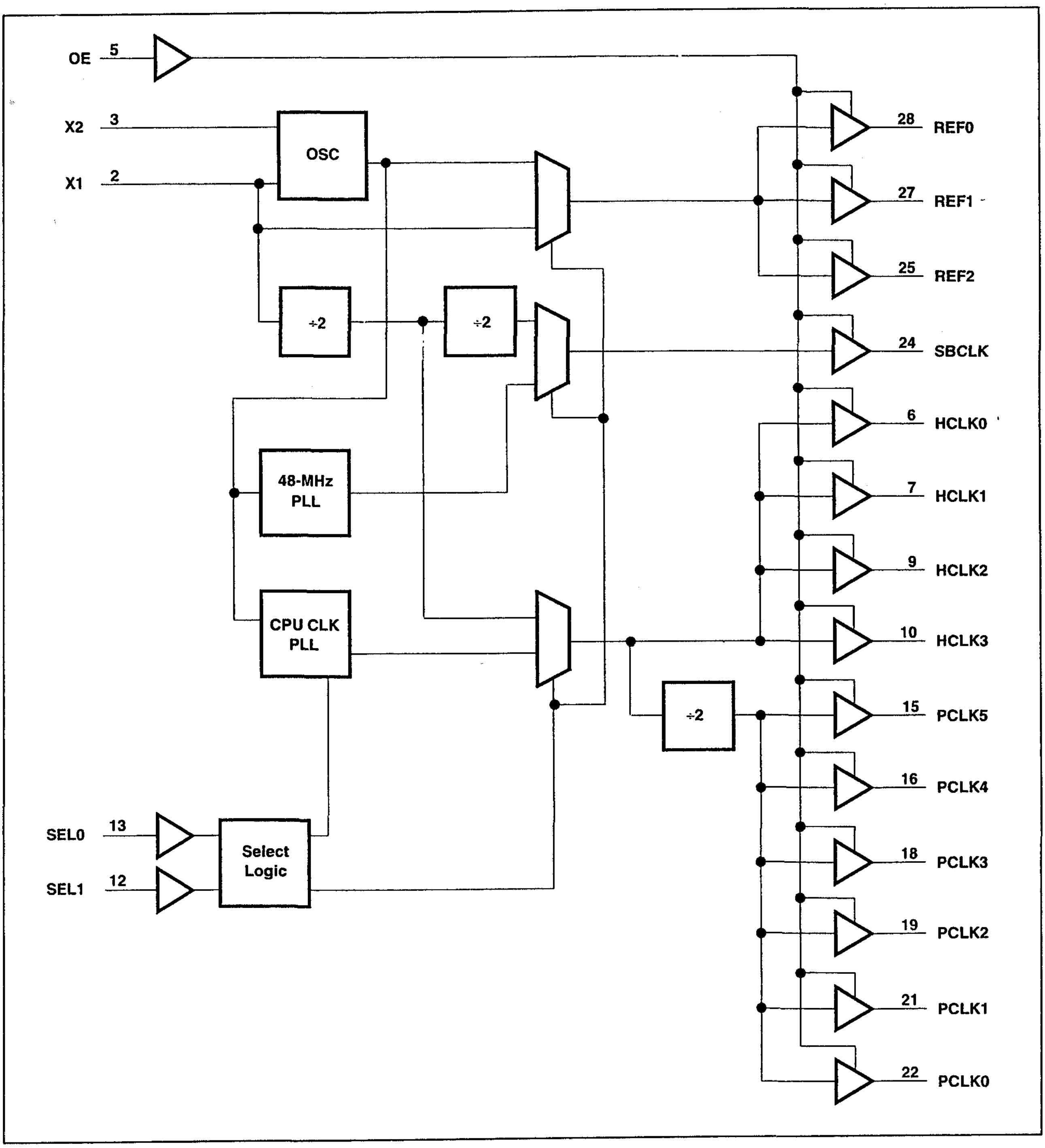
Technische gegevens

- genereert systeem-clocks voor Pentium/82430X/82430VX en Pentium Pro 82440F chipsets
- vier host-clocksignalen met programmeerbare frequentie (50, 60 of 66 MHz)
- zes PCI-clock-signalen op halve CPU-frequentie
- Eén 48 MHz USB-clock-uitgang
- drie 14,318 MHz referentie clock-uitgangen
- alle clock-uitgangen zijn afgeleid van een enkel 14,31818 MHz kristal
- door interne loop-filters geen externe RC-netwerken nodig
- LVTTL-compatibele in- en uitgangen
- voedingsspanning: 3,3 V
- gedistribueerde V_{CC} en GND-pennen
- behuizing: 28-pens small outline (DW)
- fabrikant: Texas Instruments



Figuur 9/9.3.2-114: Aansluitgegevens van de CDC9842 (DW-behuizing).

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-115: Logisch schema (positieve logica) van de CDC9842.

9.3 Clock-drivers/clock-generatoren

OE	SEL0	SEL1	X1	HCLKn	PCLKn	REFn	SBCLK
L	X	X	14.318 MHz	Hi-Z	Hi-Z	Hi-Z	Hi-Z
H	L	L	14.318 MHz	50 MHz	25 MHz	14.318 MHz	48 MHz
H	L	H	14.318 MHz	60 MHz	30 MHz	14.318 MHz	48 MHz
H	H	L	14.318 MHz	66 MHz	33 MHz	14.318 MHz	48 MHz
H	H	H	TCLK†	TCLK/2	TCLK/4	TCLK	TCLK/4

† TCLK is a test-clock input at the X1 input during test mode.

Tabel 9/9.3.2-174: Waarheidstabel van de CDC9842.

Supply voltage range, V_{CC} .... –0.5 V to 4.6 V
Input voltage range, V_I .... –0.5 V to 4.6 V
Voltage range applied to any output in the high-impedance state or power-off state,
V_O (see Note 1) .... –0.5 V to V_{CC} + 0.5 V
Current into any output in the low state, I_O .... 16 mA
Input clamp current, I_{IK} ($V_I < 0$) .... –18 mA
Output clamp current, I_{OK} ($V_O < 0$) .... –50 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2) .... 1.2 W
Storage temperature range, T_{stg} .... –65°C to 150°C

Tabel 9/9.3.2-175: Maximaal toegelaten waarden van de CDC9842.

		MIN	MAX	UNIT
V_{CC}	Supply voltage	3.135	3.6	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	V_{CC}	V
I_{OH}	High-level output current		–8	mA
I_{OL}	Low-level output current		8	mA
T_A	Operating free-air temperature	0	70	°C

NOTE 3: Unused inputs must be held high or low

Tabel 9/9.3.2-176: Aanbevolen bedrijfscondities van de CDC9842.

PARAMETER	TEST CONDITIONS			T_A = 25°C MIN	TYP‡	MAX	UNIT
V_{IK}	V_{CC} = 3.135 V,	I_I = –18 mA				–1.2	V
V_{OH}	V_{CC} = 3.135 V,	I_{OH} = –8 mA		2.5			V
V_{OL}	V_{CC} = 3.135 V,	I_{OL} = 8 mA				0.4	V
I_I	V_{CC} = 3.6 V,	V_I = V_{CC} or GND				±1	µA
I_{OZ}	V_{CC} = 3.6 V,	V_O = V_{CC} or GND					µA
I_{CC}	V_{CC} = 3.6 V, V_I = V_{CC} or GND	I_O = 0,	Outputs enabled§			50	mA
			Outputs disabled			1	mA
C_i	V_I = V_{CC} or GND				6		pF
C_o	V_O = V_{CC} or GND				6		pF

‡ All typical values are at V_{CC} = 3.3 V.
§ Device in normal operating mode with no load on outputs

Tabel 9/9.3.2-177: Elektrische eigenschappen van de CDC9842.

9.3 Clock-drivers/clock-generatoren

		MIN	MAX	UNIT
Stabilization time†	After SEL1, SEL0		5	ms
	After OE†		5	
	After power up		5	

† Time required for the integrated PLL circuit to obtain phase lock of its feedback signal to its reference signal. In order for phase lock to be obtained, a fixed-frequency, fixed-phase reference signal must be present at X1. Until phase lock is obtained, the specifications for propagation delay and skew parameters given in the switching characteristics table are not applicable.

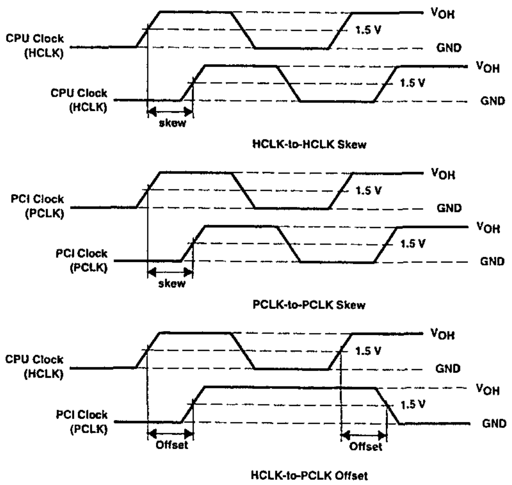
Tabel 9/9.3.2-178: Benodigde timing voor de CDC9842.

PARAMETER	FROM (INPUT)	TO (OUTPUT)		V_{CC} = 3.135 V to 3.6 V, T_A = 0°C to 70°C MIN	MAX	UNIT
t_{skew}‡		HCLKn			200	ps
		PCLKn			400	ps
Offset‡	HCLKn	PCLKn		1	4	ns
Jitter‡		HCKLn			±250	ps
		PCLKn			±350	ps
Duty cycle		Any output		45%	55%	
t_c‡		HCKLn	SEL0 = L, SEL1 = L	20		ns
			SEL0 = L, SEL1 = H	16.7		ns
			SEL0 = H, SEL1 = L	15		ns
		PCLKn	SEL0 = L, SEL1 = L	40		ns
			SEL0 = L, SEL1 = H	33.3		ns
			SEL0 = H, SEL1 = L	30		ns
t_r‡§		HCLKn			2	ns
		PCKLn				
t_f‡§		HCKLn			2	ns
		PCLKn				

‡ *Specifications are applicable only after the PLL stabilization time has elapsed.*

Tabel 9/9.3.2-179: Schakeltijden van de CDC9842.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-116: Golfvormen voor de berekening van t_{skew} en offset bij de CDC9842.

CDC9843

PC-moederbord clock-synthesizer/driver met 3-state uitgangen

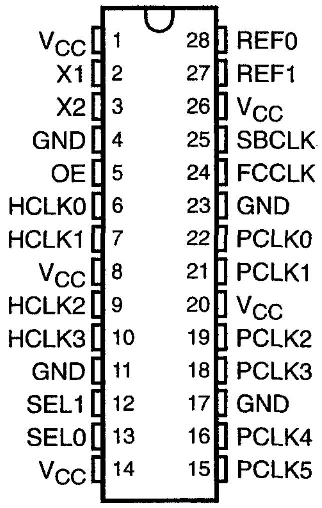
De CDC9843 is een high-performance clock-synthesizer/driver die de benodigde systeem-clock-signalen voor Pentium/82430HX/82430VX en Pentium Pro 82440FX chipsets genereert. De vier host-clock-signalen (HCLKn) zijn programmeerbaar op 50, 60 of 66 MHz door middel van de SEL0 en SEL1 besturingsingangen. Er zijn zes PCI clock-uitgangen (PCLKn) die op de halve frequentie van HCLKn werken en 1 tot 4 ns vertraagd zijn ten opzichte van de stijgende flank van de CPU-clock. Bovendien zijn een universal serial bus (USB) clock-signaal op 48 MHz (SBCLK), een floppy-besturings-clock op 24 MHz (FCCLK) en twee 14,318 MHz referentie-clock-uitgangen (REF0 en REF1) beschikbaar. Alle frequenties zijn afgeleid van een 14,31818 MHz kristal. In plaats van dit kristal kan ook een externe clock op X1 worden aangesloten.
De host clock-frequentie en de 48 MHz clock-frequentie worden gegenereerd met behulp van twee phase-lock loops (PLL's). Door de op de chip aanwezige loop-filters zijn geen externe componenten nodig.
De PCI clock-frequentie en de floppy-controller-frequentie zijn direct afgeleid van de host-clock-frequentie en de USB-frequentie. In de TEST-mode worden de PLL's overbrugd door SEL0 en SEL1 beide HOOG te maken. In dat geval moet een test-clock op de X1-ingang worden gezet. De host- en PCI-clock-uitgangen leveren betrouwbare low-skew/low-jitter clock-signalen. Alle uitgangen zijn 3-state en worden bediend door OE. Omdat de CDC9843 op PLL's is gebaseerd, is enige tijd nodig voordat de fase-lock is gestabiliseerd. Deze tijd moet in acht worden genomen na het opkomen van de voedingsspanning en na het aanbrengen van een signaal met een vaste frequentie en fase op de X1-pen en na veranderingen op de OE of SELn-ingangen.

Technische gegevens

- genereert systeem-clocks voor Pentium/82430HX/82430VX en Pentium Pro 82440F chipsets
- vier host-clocksignalen met programmeerbare frequentie (50, 60 of 66 MHz)
- zes PCI-clock-signalen op halve CPU-frequentie
- één 48 MHz USB-clock-uitgang
- één 24 MHz floppy-controller clock- uitgang
- twee 14,318 MHz referentie clock-uitgangen
- alle clock-uitgangen worden afgeleid van een 14,31818 MHz kristal
- interne loop-filters: geen externe RC-netwerken nodig
- LVTTL-compatibele in- en uitgangen
- voedingsspanning: 3,3 V

9.3 Clock-drivers/clock-generatoren

- gedistribueerde V_{CC} en GND-pennen
- behuizing: 28-pens small outline (DW)
- fabrikant: Texas Instruments



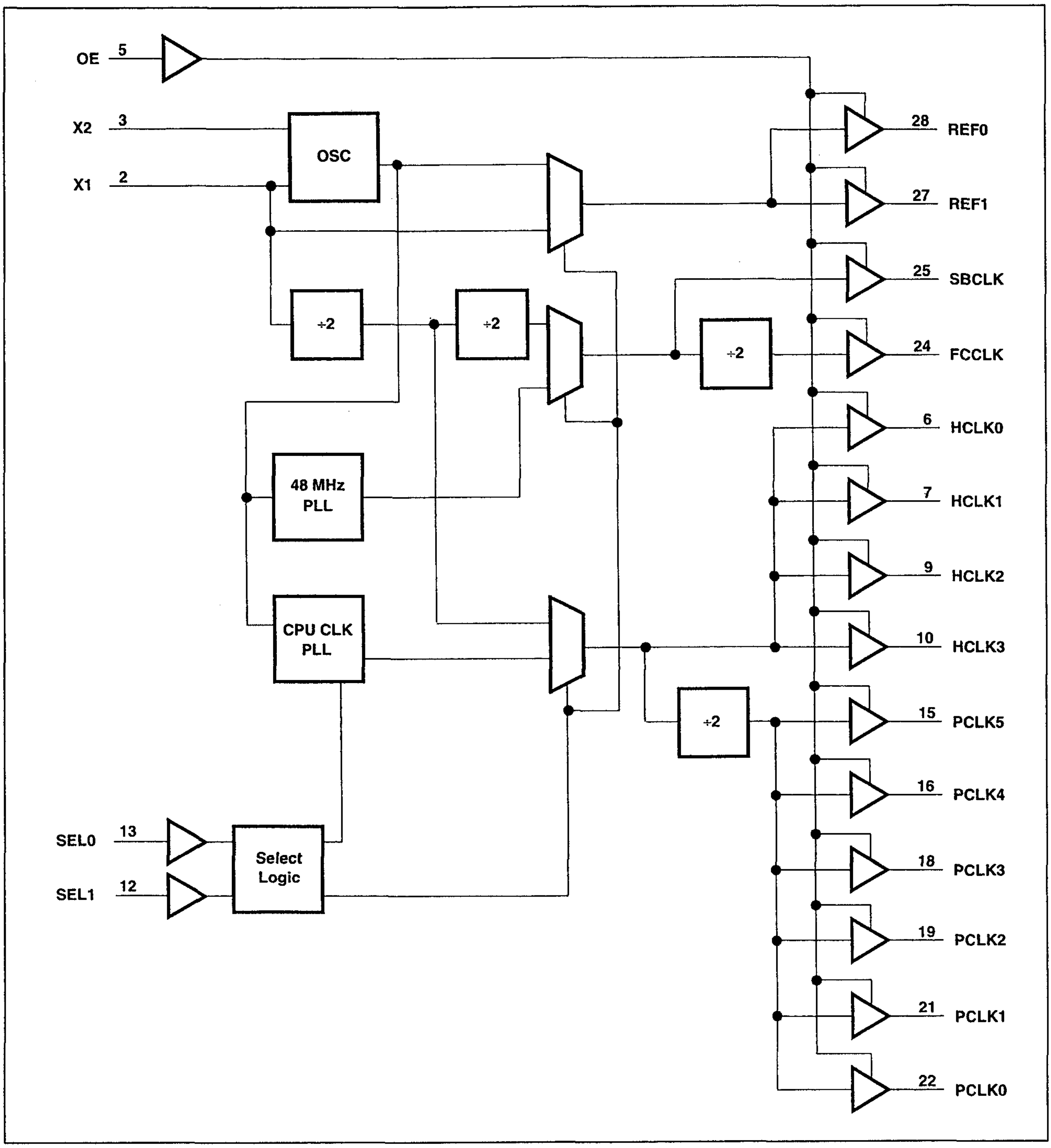
Figuur 9/9.3.2-117: Aansluitgegevens van de CDC9843 (DW-behuizing).

OE	SEL0	SEL1	X1	HCLKn	PCLKn	REFn	SBCLK	FCCLK
L	X	X	14.318 MHz	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
H	L	L	14.318 MHz	50 MHz	25 MHz	14.318 MHz	48 MHz	24 MHz
H	L	H	14.318 MHz	60 MHz	30 MHz	14.318 MHz	48 MHz	24 MHz
H	H	L	14.318 MHz	66 MHz	33 MHz	14.318 MHz	48 MHz	24 MHz
H	H	H	TCLK†	TCLK/2	TCLK/4	TCLK	TCLK/4	TCLK/8

† TCLK is a test-clock input at the X1 input during test mode.

Tabel 9/9.3.2-180: Waarheidstabel van de CDC9843.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.2-118: Logisch schema (positieve logica) van de CDC9843.

9.3 Clock-drivers/clock-generatoren

Supply voltage range, V_{CC} .... −0.5 V to 4.6 V
Input voltage range, V_I (see Note 1) .... −0.5 V to 4.6 V
Voltage range applied to any output in the high-impedance state or power-off state,
V_O (see Note 1) .... −0.5 V to V_{CC} + 0.5 V
Current into any output in the low state, I_O .... 16 mA
Input clamp current, I_{IK} (V_I < 0) .... −18 mA
Output clamp current, I_{OK} (V_O < 0) .... −50 mA
Maximum power dissipation at T_A = 55°C (in still air) (see Note 2) .... TBD
Storage temperature range, T_{stg} .... −65°C to 150°C

Tabel 9/9.3.2-181: Maximaal toegelaten waarden van de CDC9843.

		MIN	MAX	UNIT
V_{CC}	Supply voltage	3.135	3.6	V
V_{IH}	High-level input voltage	2		V
V_{IL}	Low-level input voltage		0.8	V
V_I	Input voltage	0	V_{CC}	V
I_{OH}	High-level output current		−8	mA
I_{OL}	Low-level output current		8	mA
T_A	Operating free-air temperature	0	70	°C

NOTE 3: Unused inputs must be held high or low

Tabel 9/9.3.2-182: Aanbevolen bedrijfscondities van de CDC9843.

PARAMETER	TEST CONDITIONS			MIN	TYP‡	MAX	UNIT
V_{IK}	V_{CC} = 3.135 V,	I_I = −18 mA				−1.2	V
V_{OH}	V_{CC} = 3.135 V,	I_{OH} = −8 mA		2.5			V
V_{OL}	V_{CC} = 3.135 V,	I_{OL} = 8 mA				0.4	V
I_I	V_{CC} = 3.6 V,	V_I = V_{CC} or GND				±1	µA
I_{OZ}	V_{CC} = 3.6 V,	V_O = V_{CC} or GND				±10	µA
I_{CC}	V_{CC} = 3.6 V, V_I = V_{CC} or GND	I_O = 0,	Outputs enabled§			50	mA
			Outputs disabled			1	mA
C_i	V_I = V_{CC} or GND				6		pF
C_o	V_I = V_{CC} or GND				6		pF

‡ All typical values are at V_{CC} = 3.3 V.
§ Device in normal operating mode with no load on outputs

Tabel 9/9.3.2-183: Elektrische eigenschappen van de CDC9843.

		MIN	MAX	UNIT
Stabilization time†	After SEL1, SEL0		5	ms
	After OE†		5	
	After power up		5	

† Time required for the integrated PLL circuit to obtain phase lock of its feedback signal to its reference signal. In order for phase lock to be obtained, a fixed-frequency, fixed-phase reference signal must be present at X1. Until phase lock is obtained, the specifications for propagation delay and skew parameters given in the switching characteristics table are not applicable.

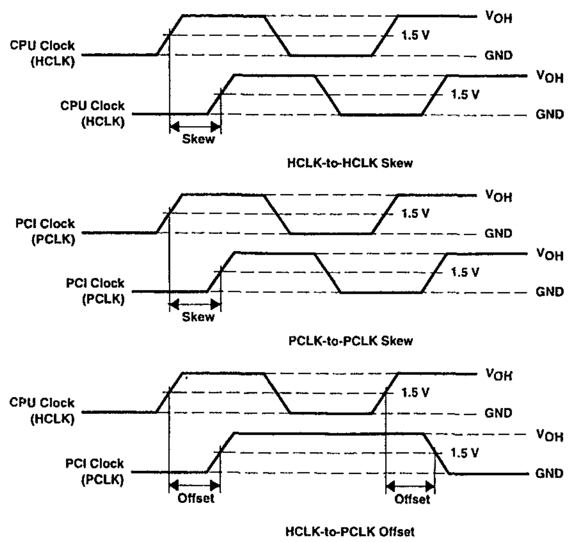
Tabel 9/9.3.2-184: Benodigde timing voor de CDC9843.

9.3 Clock-drivers/clock-generatoren

PARAMETER	FROM (INPUT)	TO (OUTPUT)		V_{CC} = 3.135 V to 3.6 V, T_A = 0°C to 70°C MIN	MAX	UNIT
t_{Skew}‡		HCLKn			200	ps
		PCLKn			400	ps
Offset‡	HCLKn	PCLKn		1	4	ns
Jitter‡		HCKLn			±250	ps
		PCKLn			±350	ps
Duty cycle‡		Any output		45%	55%	
t_c‡		HCKLn	SEL0 = L, SEL1 = L	20		ns
			SEL0 = L, SEL1 = H	16.7		ns
			SEL0 = H, SEL1 = L	15		ns
		PCLKn	SEL0 = L, SEL1 = L	40		ns
			SEL0 = L, SEL1 = H	33.3		ns
			SEL0 = H, SEL1 = L	30		ns
t_r‡§		HCLKn			2	ns
		PCKLn				
t_f‡§		HCKLn			2	ns
		PCLKn				

‡ Specifications are applicable only after the PLL stabilization time has elapsed.

Tabel 9/9.3.2-185: Schakeltijden van de CDC9843.



Figuur 9/9.3.2-119: Golfvormen voor de berekening van t_{skew} en t_{offset} bij de CDC9843.

9.3 Clock-drivers/clock-generatoren

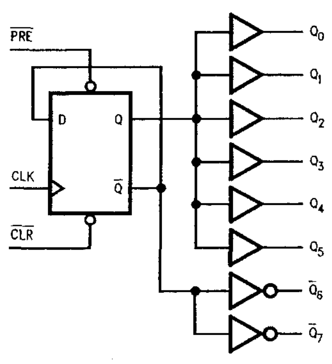
9/9.3.3

Type-beschrijving CGSxx-familie

CGS74B303, CGS64B303

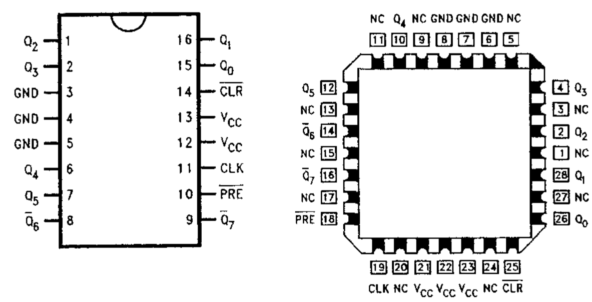
octal ÷2 skew TTL clock driver

De CGS74B303 (CGS64B303) is een clock-driver met acht uitgangen die speciaal ontwikkeld is voor zeer snelle Clock Generation and Support (CGS) toepassingen. Door de interne 2-deler is deze driver zeer geschikt voor duty-cycle recovery (het herstellen van de duty-cycle). De gegarandeerd minimale skew (tijdverschil tussen diverse uitgangen) maakt de CGS74B303 toepasbaar voor clock-frequenties tot 100 MHz.



Figuur 9/9.3.3-1: Logisch schema van de CGS74B303 (CGS64B303).

De CGS74B303 bevat 8 flip-flop's die zodanig zijn ontworpen dat de skew aan de uitgangen minimaal is. De acht uitgangen (zes in fase met CLK en twee in tegenfase) veranderen van toestand op achtereenvolgende CLK-pulsen. Door middel van de $\overline{PRE}$ en $\overline{CLR}$ ingangen kunnen de Q en $\overline{Q}$ uitgangen HOOG of LAAG worden gemaakt, onafhankelijk van de toestand op de CLK-pen.



Pin Names	Description
CLK	Clock Input
Q_0–Q_7	Outputs
$\overline{PRE}$	Preset
$\overline{CLR}$	Clear

Figuur 9/9.3.3-2: Aansluitingen van de 16-pens DIL/SOIC en 28-pens PLCC uitvoering van de CGS74B303 en CGS64B303.

Specificaties

- ÷2 clockdriver met 8 uitgangen (6 niet-inverterend, 2 inverterend)
- maximale uitgangs-skew (pin-to-pin): 1 ns
- uitgangsstroom:
  24 mA source; 48 mA sink
- ingangen TTL-compatibel
- enkele +5 V voeding
- geringe dynamische dissipatie boven 20 MHz
- ESD-beveiligd tot 4 kV

9.3 Clock-drivers/clock-generatoren

- behuizingen: 16-pens plastic DIL of SOIC of 28-pens PLCC
- bedrijfstemperatuur: 0 tot 70 °C
- industriële versie CGS64B303 (-40 tot +85 °C)
- fabrikant: National Semiconductor

Inputs			Outputs	
$\overline{CLR}$	$\overline{PRE}$	CLK	Q_0–Q_5	$\overline{Q}_6$–$\overline{Q}_7$
L	H	X	L	H
H	L	X	H	L
L	L	X	L*	L*
H	H	↑	$\overline{Q}$	Q
H	H	L	Q	$\overline{Q}$

*This state will not persist when $\overline{CLR}$/$\overline{PRE}$ returns to high.

Figuur 9/9.3.3-3: Waarheidstabel van de CGS74B303 /CGS64B303.

Supply Voltage (V_{CC})				7.0V
Input Voltage (V_I)				7.0V
Operating Free Air Temperature	74B303		0°C to +70°C	
	64B303		−40°C to +85°C	
Storage Temperature Range			−65°C to +150°C	
Typical θ_{JA}				
Airflow (LFM)	0	225	500	
Plastic (N) Package	95	70	60	°C/W
Jedec SOIC (M) Package	118	96	86	°C/W
PLCC (V) Package	69	53	45	°C/W

Tabel 9/9.3.3-1: Maximaal toegelaten waarden.

All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter	Conditions		Min	Typ	Max	Unit
V_{IK}	Input Clamp Voltage	V_{CC} = 4.5V, I_I = −18 mA				−1.2	V
V_{IH}	Minimum Input High Level Voltage			2.0			V
V_{IL}	Maximum Input Low Level Voltage					0.8	V
V_{OH}	High Level Output Voltage	I_{OH} = −2 mA, V_{CC} = 4.5V		V_{CC} − 2			V
		I_{OH} = −24 mA, V_{CC} = 4.5V		2.0			
V_{OL}	Low Level Output Voltage	V_{CC} = 4.5V, I_{OL} = 48 mA			0.35	0.5	V
I_I	Input Current @ Max Input Voltage	V_{CC} = 5.5V, V_{IH} = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = 5.5V, V_{IH} = 2.7V				20	µA
I_{IL}	Low Level Input Current	V_{CC} = 5.5V, V_{IL} = 0.4V			−0.1	−0.50	mA
I_O	Output Drive Current	V_{CC} = 5.5V, V_O = 2.25V		−50		−150	mA
I_{CC}	Supply Current	V_{CC} = 5.5V	Outputs High		27	60	mA
			Outputs Low		45	60	mA
C_{IN}	Input Capacitance	V_{CC} = 5V			5		pF

Tabel 9/9.3.3-2: Gelijkspannings-kenmerken van de CGS74B303/CGS64B303.

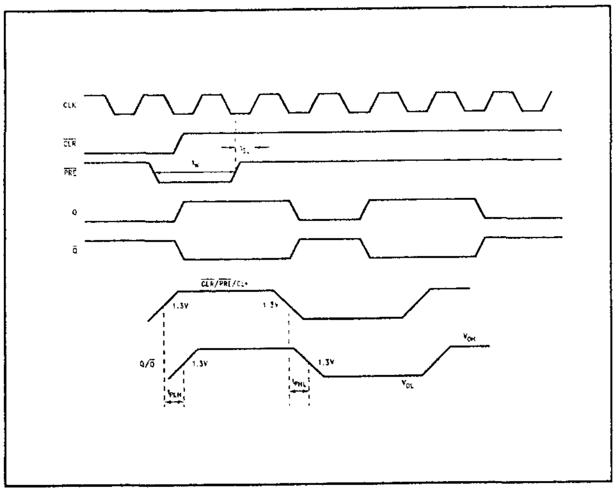
9.3 Clock-drivers/clock-generatoren

Over recommended operating conditions unless specified otherwise. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter	Package	CGS74B303 V_{CC} = 4.5V to 5.5V T_A = 0°C to +70°C C_L = 0 pF–50 pF R_L = 500Ω			CGS64B303 V_{CC} = 4.5V to 5.5V T_A = −40°C to +85°C C_L = 0 pF–50 pF R_L = 500Ω			Units
			Min	Typ	Max	Min	Typ	Max	
f_{MAX}	Maximum Input Frequency (Note 2)		110			100			MHz
t_{PLH}, t_{PHL}	Propagation Delay CLKn to O_n (Note 2)		4		8.5	4		8.5	ns
t_{PLH}, t_{PHL}	Propagation Delay PRE/CLR		4		11	4		11	ns
t_{SU}	Set Up Time before CLK		5			5			ns
t_W	CLK HI CLK LO CLR/PRE		4 4 4			4 4 4			ns
$t_{OSHL\ Q}$	Maximum Skew Common Edge Output-to-Output Variation (Notes 1, 2)			0.5	1.0		0.5	1.0	ns
$t_{OSLH\ Q}$	Maximum Skew Common Edge Output-to-Output Variation (Notes 1, 2)			0.5	1.0		0.5	1.0	ns
$t_{OSHL\ \overline{Q}}$	Maximum Skew Common Edge Output-to-Output Variation (Notes 1, 2)	PDIP		0.3	0.6		0.3	0.6	ns
		SOIC		0.3	0.75		0.3	0.75	
		PLCC							
$t_{OSLH\ \overline{Q}}$	Maximum Skew Common Edge Output-to-Output Variation (Notes 1, 2)	PDIP		0.3	0.6		0.3	0.6	ns
		SOIC		0.3	0.75		0.3	0.75	
		PLCC							
$t_{OSLH/HL\ Q,\overline{Q}}$	Maximum Skew Common Edge Output-to-Output Variation (Notes 1, 2)			1.0	1.6		1.0	1.75	ns
$t_{PS\ Q}$	Maximum Skew Pin (Signal) Transition Variation (Notes 1, 2)				1.0			1.2	ns
t_{rise}, t_{fall}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V) 0 pF–30 pF Loads			1.1 0.9	2.0 2.0		1.1 0.9	2.0 2.0	ns

Tabel 9/9.3.3-3: Schakeltijden van de CGS74B303/CGS64B303.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.3-4: Golfvormen voor het bepalen van de skew (zie ook tabel 9/9.3.3-3).

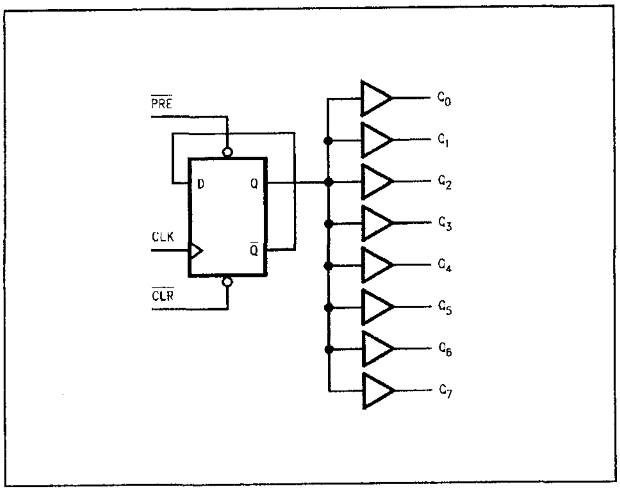
CGS74B304, CGS64B304

octal ÷2 skew TTL clock driver

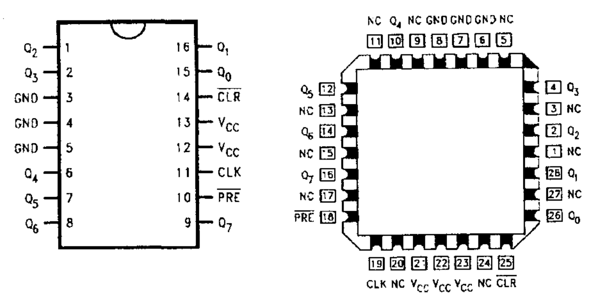
De CGS74B304 (CGS64B304) is, net als de CGS74B303, een clockdriver met acht uitgangen, speciaal ontwikkeld voor zeer snelle Clock Generation and Support (CGS) toepassingen. De CGS74B304 heeft ook 8 flip-flop's die aan de uitgangen een minimale skew opleveren. De acht uitgangen (alle acht in fase met CLK) veranderen van toestand op achtereenvolgende CLK-pulsen. Door de interne 2-deler is deze driver zeer geschikt voor duty-cycle recovery (het herstellen van de duty-cycle). Door middel van de $\overline{PRE}$ en $\overline{CLR}$ ingangen kunnen de Q-uitgangen HOOG of LAAG worden gemaakt, onafhankelijk van de toestand op de CLK-pen.

Specificaties

- ÷2 clockdriver met 8 niet-inverterende uitgangen
- maximale uitgangs-skew (pin-to-pin): 900 ps
- uitgangsstroom: 24 mA source; 48 mA sink
- ingangen TTL-compatibel
- enkele +5 V voeding
- geringe dynamische dissipatie boven 20 MHz
- ESD-beveiligd tot 4 kV
- behuizingen: 16-pens plastic DIL of SOIC of 28-pens PLCC
- bedrijfstemperatuur: 0 tot 70 °C
- industriële versie CGS64B304 (-40 tot +85 °C)
- fabrikant: National Semiconductor



Figuur 9/9.3.3-5: Logisch schema van de CGS74B304 (CGS64B304).



Pin Names	Description
CLK	Clock Input
Q_0–Q_7	Outputs
$\overline{PRE}$	Preset
$\overline{CLR}$	Clear

Figuur 9/9.3.3-6: Aansluitingen van de 16-pens DIL/SOIC en 28-pens PLCC uitvoering van de CGS74B304 en CGS64B304.

9.3 Clock-drivers/clock-generatoren

Inputs			Outputs
CLR	PRE	CLK	Q_0–Q_7
L	H	X	L
H	L	X	H
L	L	X	L*
H	H	↑	$\overline{Q}_0$
H	H	L	Q_0

*This state will not persist when CLR/PRE returns to high.

Figuur 9/9.3.3-7: Waarheidstabel van de CGS74B304/CGS64B304.

Supply Voltage (V_{CC})				7.0V
Input Voltage (V_I)				7.0V
Operating Free Air Temperature	74B304		0°C to +70°C	
	64B304		−40°C to +85°C	
Storage Temperature Range			−65°C to +150°C	
Typical θ_{JA}				
Airflow (LFM)	0	225	500	°C/W
Plastic (N) Package	95	70	60	°C/W
Jedec SOIC (M) Package	118	96	86	°C/W
PLCC (V) Package	69	53	45	°C/W

Tabel 9/9.3.3-4: Maximaal toegelaten waarden.

Over recommended operating conditions unless specified otherwise. All typical values are measured at V_{CC} = 5V, T_A = 25°C

Symbol	Parameter	Conditions		Min	Typ	Max	Units
V_{IK}	Input Clamp Voltage	V_{CC} = 4.5V, I_I = −18 mA				−1.2	V
V_{IH}	Minimum Input High Level Voltage			2.0			V
V_{IL}	Maximum Input Low Level Voltage					0.8	V
V_{OH}	High Level Output Voltage	I_{OH} = −2 mA, V_{CC} = 4.5V		V_{CC} − 2			V
		I_{OH} = 24 mA, V_{CC} = 4.5V		2.0			
V_{OL}	Low Level Output Voltage	V_{CC} = 4.5V, I_{OL} = 48 mA			0.35	0.5	V
I_I	Input Current @ Max Input Voltage	V_{CC} = 5.5V, V_{IH} = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = 5.5V, V_{IH} = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = 5.5V, V_{IL} = 0.4V			−0.1	−0.50	mA
I_O	Output Drive Current	V_{CC} = 5.5V, V_O = 2.25V		−50		−150	mA
I_{CC}	Supply Current	V_{CC} = 5.5V	Outputs High		20	30	mA
			Outputs Low		42	55	mA
C_{IN}	Input Capacitance	V_{CC} = 5V			5		pF

Tabel 9/9.3.3-5: Gelijkspannings-kenmerken van de CGS74B304/CGS64B304.

9.3 Clock-drivers/clock-generatoren

Over recommended operating conditions unless specified otherwise. All typical values are measured at V_{CC} = 5V, T_A = 25°C

Symbol	Parameter		CGS74B304 V_{CC} = 4.5V to 5.5V T_A = 0°C to +70°C C_L = 0 pF–50 pF R_L = 500Ω			CGS64B304 V_{CC} = 4.5V to 5.5V T_A = −40°C to +85°C C_L = 0 pF–50 pF R_L = 500Ω			Units
			Min	Typ	Max	Min	Typ	Max	
f_{MAX}	Maximum Input Frequency (Note 2)		110			100			MHz
t_{PLH}, t_{PHL}	Propagation Delay CLKn to O_n (Note 2)		4		8.5	4		8.5	ns
t_{PLH}, t_{PHL}	Propagation Delay PRE/CLR (Note 2)		4		11	4		11	ns
t_{SU}	Set Up Time before CLK		5			5			ns
t_W	CLK HI CLK LO CLR/PRE		4 4 4			4 4 4			ns
$t_{OSHL\,Q}$	Maximum Skew Common Edge Output-to-Output Variation (Notes 1, 2)			0.5	0.9		0.5	0.9	ns
$t_{OSLH\,Q}$	Maximum Skew Common Edge Output-to-Output Variation (Notes 1, 2)			0.5	0.9		0.5	0.9	ns
t_{PS}	Maximum Skew. Pin (Signal) Transition Variation (Note 1)	PDIP			1.1			1.1	ns
		SOIC			1.1			1.1	
		PLCC			1.3			1.3	
t_{rise}, t_{fall}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V) 0 pF–30 pF Loads (Note 2)			1.1 0.9	2.0 2.0		1.1 0.9	2.0 2.0	ns

Tabel 9/9.3.3-6: Schakeltijden van de CGS74B304/CGS64B304.

CGS74B305, CGS64B305

octal ÷2 skew TTL clock driver

De CGS74B305 (CGS64B305) is een clock-driver met acht uitgangen (4 inverterend en 4 niet-inverterend) die speciaal ontwikkeld is voor zeer snelle Clock Generation and Support (CGS) toepassingen. De interne 2-deler maakt de driver bijzonder geschikt voor duty-cycle recovery, waarbij de skew (tijdverschil tussen diverse uitgangen) gegarandeerd klein is. De CGS74B305 is samengesteld uit flip-flop's, waarvan de uitgangen (vier in fase met CLK en vier in tegenfase) veranderen van toestand op achtereenvolgende $\overline{CLK}$-pulsen. Door middel van de $\overline{PRE}$ en $\overline{CLR}$ ingangen kunnen de Q en $\overline{Q}$ uitgangen HOOG of LAAG worden gemaakt, onafhankelijk van de toestand op de CLK-pen.

Specificaties

- ÷2 clockdriver met 8 uitgangen (4 niet-inverterend, 4 inverterend)
- maximale uitgangs-skew (pin-to-pin): 750 ps
- uitgangsstroom: 24 mA source; 48 mA sink
- ingangen TTL-compatibel
- enkele +5 V voeding
- geringe dynamische dissipatie boven 20 MHz
- ESD-beveiligd tot 4 kV
- behuizingen: 16-pens plastic DIL of SOIC of 28-pens PLCC
- bedrijfstemperatuur: 0 tot 70 °C
- industriële versie CGS64B305 (-40 tot +85 °C)
- fabrikant: National Semiconductor

9.3 Clock-drivers/clock-generatoren

CGS74B305

Inputs			Outputs	
CLR	PRE	CLK	Q_0–Q_3	$\overline{Q}_4$–$\overline{Q}_7$
L	H	X	L	H
H	L	X	H	L
L	L	X	L*	L*
H	H	↑	$\overline{Q}_0$	Q_0
H	H	L	Q_0	$\overline{Q}_0$

*This state will not persist when CLR/PRE returns to high.

Figuur 9/9.3.3-10: Waarheidstabel van de CGS74B305/CGS64B305.

Supply Voltage (V_{CC})				7.0V
Input Voltage (V_I)				7.0V
Operating Free Air Temperature	74B305		0°C to +70°C	
	64B305		−40°C to +85°C	
Storage Temperature Range			−65°C to +150°C	
Typical θ_{JA}				
Airflow (LFM)	0	225	500	°C/W
Plastic (N) Package	95	70	60	°C/W
Jedec SOIC (M) Package	118	96	86	°C/W
PLCC (V) Package	69	53	45	°C/W

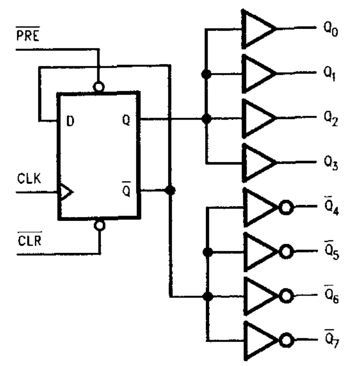
Tabel 9/9.3.3-7: Maximaal toegelaten waarden.

Over recommended operating conditions unless specified otherwise. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

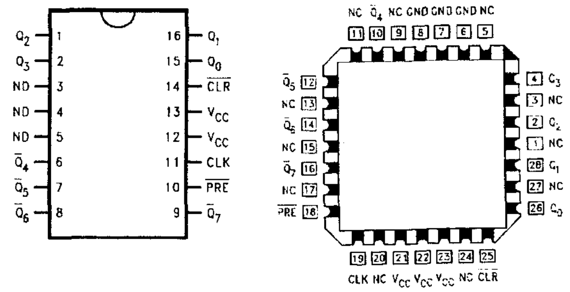
Symbol	Parameter	Conditions		Min	Typ	Max	Unit
V_{IK}	Input Clamp Voltage	V_{CC} = 4.5V, I_I = −18 mA				−1.2	V
V_{IH}	Minimum Input High Level Voltage			2.0			V
V_{IL}	Maximum Input Low Level Voltage					0.8	V
V_{OH}	High Level Output Voltage	I_{OH} = −2 mA, V_{CC} = 4.5V		V_{CC} − 2			V
		I_{OH} = 24 mA, V_{CC} = 4.5V		2.0			
V_{OL}	Low Level Output Voltage	V_{CC} = 4.5V, I_{OL} = 48 mA			0.35	0.5	V
I_I	Input Current @ Max Input Voltage	V_{CC} = 5.5V, V_{IH} = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = 5.5V, V_{IH} = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = 5.5V, V_{IL} = 0.4V			−0.1	−0.50	mA
I_O	Output Drive Current	V_{CC} = 5.5V, V_O = 2.25V		−50		−150	mA
I_{CC}	Supply Current 303	V_{CC} = 5.5V	Outputs High		27	60	mA
			Outputs Low		45	60	mA
I_{CC}	Supply Current 304	V_{CC} = 5.5V	Outputs High		20	30	mA
			Outputs Low		42	55	mA
I_{CC}	Supply Current	V_{CC} = 5.5V	Outputs High		35	45	mA
			Outputs Low		42	55	mA
C_{IN}	Input Capacitance	V_{CC} = 5V			5		pF

Tabel 9/9.3.3-8: Gelijkspannings-kenmerken van de CGS74B305/CGS64B305.

9.3 Clock-drivers/clock-generatoren

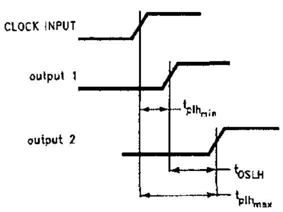
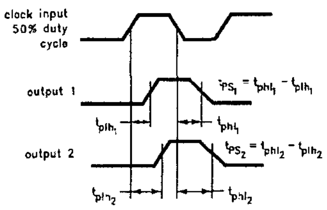


Figuur 9/9.3.3-8: Logisch schema van de CGS74B305 (CGS64B305).



Pin Names	Description
CLK	Clock Input
Q_0–Q_7	Outputs
PRE	Preset
CLR	Clear

Figuur 9/9.3.3-9: Aansluitingen van de 16-pens DIL/SOIC en 28-pens PLCC uitvoering van de CGS74B305 en CGS64B305.

Definition	Example	Significance
t_{OSHL}, t_{OSLH} **Common Edge Skew:** Output Skew for HIGH-to-LOW Transitions: $t_{OSHL} = \lvert t_{PHL_{max}} - t_{PHL_{min}} \rvert$ Output Skew for LOW-to-HIGH Transitions: $t_{OSLH} = \lvert t_{PLH_{max}} - t_{PLH_{min}} \rvert$ Propagation delays are measured across the outputs of any given device.		• **t_{OS}**, Output Skew or Common Edge Skew • Skew parameter to observe propagation delay differences in applications requiring synchronous data/clock operations.
t_{PS} **Pin Skew or Transition Skew:** $t_{PS} = \lvert t_{PHL_i} - t_{PLH_i} \rvert$ Both HIGH-to-LOW and LOW-to-HIGH propagation delays are measured at each output pin across the given device. T_{PS} is the maximum difference for outputs i = 0 to 7 within a device package.		• **t_{PS}**, Pin Skew or Transition Skew • Skew parameter to observe duty cycle degradation of any output signal (pin).

Figuur 9/9.3.3-11: Golfvormen voor het bepalen van de minimum skew parameters (zie ook tabel 9/9.3.3-9).

9.3 Clock-drivers/clock-generatoren

Over recommended operating conditions unless specified otherwise. All typical values are measured at V_{CC} = 5V, T_A = 25°C

Symbol	Parameter	CGS74B305 V_{CC} = 4.5V to 5.5V, T_A = 0°C to 70°C, C_L = 0 pF–50 pF, R_L = 500Ω			CGS64B305 V_{CC} = 4.5V to 5.5V, T_A = −40°C to +85°C, C_L = 0 pF–50 pF, R_L = 500Ω			Units
		Min	Typ	Max	Min	Typ	Max	
f_{MAX}	Maximum Input Frequency (Note 2)	110			100			MHz
t_{PLH}, t_{PHL}	Propagation Delay CLKn to O_n (Note 2)	4		8.5	4		8.5	ns
t_{PLH}, t_{PHL}	Propagation Delay PRE/CLR (Note 2)	4		11	4		11	ns
t_{SU}	Set Up Time before CLK	5			5			ns
t_W	CLK HI CLK LO CLR/PRE	4 4 4			4 4 4			ns
t_{OSHL} Q	Maximum Skew Common Edge Output-to-Output Variation (Notes 1, 2)		0.4	0.75		0.4	0.75	ns
t_{OSLH} Q	Maximum Skew Common Edge Output-to-Output Variation (Notes 1, 2)		0.4	0.75		0.4	0.75	ns
t_{OSHL} $\overline{Q}$	Maximum Skew Common Edge Output-to-Output Variation (Notes 1, 2)		0.4	0.75		0.4	0.75	ns
t_{OSLH} $\overline{Q}$	Maximum Skew Common Edge Output-to-Output Variation (Notes 1, 2)		0.4	0.75		0.4	0.75	ns
$t_{OSLH/HL}$ Q,$\overline{Q}$	Maximum Skew Common Edge Output-to-Output Variation (Notes 1, 2)		0.9	1.45		0.9	1.45	ns
t_{PS}	Maximum Skew Pin (Signal) Transition Variation (Note 1) — PDIP			1.45			1.45	ns
	SOIC			1.45			1.45	
	PLCC			1.35			1.35	
t_{rise}, t_{fall}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V) 0 pF–30 pF Loads (Note 2)		1.1 0.9	2.0 2.0		1.1 0.9	2.0 2.0	ns

Tabel 9/9.3.3-9: Schakeltijden van de CGS74B305/CGS64B305.

CGS74CT2524, CGS74LCT2524

quad minimum skew TTL/CMOS clock driver

De CGS74(L)CT2524 is een clockdriver met vier niet-inverterende uitgangen die speciaal ontwikkeld is voor zeer snelle Clock Generation and Support (CGS) toepassingen. De driver heeft een gegarandeerd kleine skew van maximaal 300 ps (tijdverschil tussen de uitgangen).

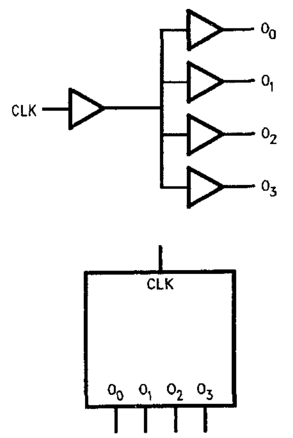
De CGS74(L)CT2524 is ontworpen voor signaal-opwekking en clock-distributie. De CGS74CT2524 is TTL-compatibel. De CGS74LCT2524 is een low-voltage uitvoering hiervan die op 3,3 V werkt en CMOS-compatibel is.

Specificaties

- clockdriver met 4 niet-inverterende uitgangen
- maximale uitgangs-skew (pin-to-pin): 300 ps

9.3 Clock-drivers/clock-generatoren

- CGS74CT2524: TTL-compatibel: 24 mA source/sink, enkele +5 V voeding
- CGS74LCT2524: CMOS-compatibel: 12 mA source/sink, enkele +3,3 V voeding
- geringe dynamische dissipatie boven 20 MHz
- ESD-beveiligd tot 2 kV
- behuizingen: 8-pens SOIC (CGS74CT2524 ook DIL)
- bedrijfstemperatuur: -40 tot +85 °C
- fabrikant: National Semiconductor

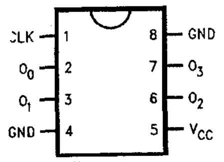


Figuur 9/9.3.3-12: Logisch schema en logisch symbool van de CGS74CT2524 en CGS74LCT2524.

Inputs CLK	Outputs O_0–O_3
L	L
H	H

L = Low Logic Level
H = High Logic Level

Figuur 9/9.3.3-14: Waarheidstabel van de CGS74CT2524 en CGS74LCT2524.



Pin Names	Description
CLK	Clock Input
O_0–O_3	Outputs

Figuur 9/9.3.3-13: Aansluitingen van de CGS74CT2524 en CGS74LCT2524.

Parameter			
Supply Voltage (V_{CC})			−0.5 to 7.0V
DC Input Voltage Diode Current (I_{IK})			
V = −0.5V			−20 mA
V = V_{CC} +0.5V			+20 mA
DC Input Voltage (V_I)			−0.5V to (V_{CC} +0.5V)
DC Output Diode (Current) (I_O)			
V = −0.5V			−20 mA
V = V_{CC} +0.5V			+20 mA
DC Output Voltage (V_O)			−0.5V to (V_{CC} +0.5V)
DC Output Source or Sink Current (I_O)			±50 mA
DC V_{CC} or Ground Current per Output Pin (I_{CC} or I_{GND})			±50 mA
Storage Temperature (T_{STG})			−65°C to +150°C
Junction Temperature (θ_{JA})	0	225	500 LFM
M	167	132	117°C/W
N	115	79	62 °C/W

Tabel 9/9.3.3-10: Maximaal toegelaten waarden van de CGS74CT2524 en CGS74LCT2524.

9.3 Clock-drivers/clock-generatoren

Over recommended operating conditions unless specified otherwise.

Symbol	Parameter	V_{CC} (V)	CGS74CT2524			Units	Conditions
			$T_A = +25°C$		$T_A = -40°C$ to $+85°C$		
			Typ	Guaranteed Limits			
V_{IH}	Minimum High Level Input Voltage	4.5 5.5	1.5 1.5	2.0 2.0	2.0 2.0	V	$V_{OUT} = 0.1V$ or $V_{CC} = -0.1V$
V_{IL}	Maximum Low Level Input Voltage	4.5 5.5	1.5 1.5	0.8 0.8	0.8 0.8	V	$V_{OUT} = 0.1V$ or $V_{CC} = -0.1V$
V_{OH}	Minimum High Level Output Voltage	4.5 5.5	4.49 5.49	4.4 5.4	4.4 5.4	V	$V_{IN} = V_{IH}$ $I_{OUT} = -50\ \mu A$
		4.5 5.5		3.86 4.86	3.76 4.76	V	$V_{IN} = V_{IH}$ $I_{OH} = -24$ mA
V_{OL}	Minimum Low Level Output Voltage	4.5 5.5	0.001 0.001	0.1 0.1	0.1 0.1	V	$V_{IN} = V_{IL}$ $I_{OUT} = 50\ \mu A$
		4.5 5.5		0.36 0.36	0.44 0.44	V	$V_{IN} = V_{IL}$ $I_{OL} = 24$ mA
I_{IN}	Maximum Input Leakage Current	5.5		±0.1	±1.0	mA	$V_I = V_{CC}$, GND
I_{CCT}	Maximum I_{CC}/Input	5.5	0.6		1.5	mA	$V_I = V_{CC} - 2.1V$
I_{OLD}	Minimum Dynamic Output Current	5.5			75	mA	$V_{OLD} = 1.65V$ Max
I_{OHD}		5.5			−75	mA	$V_{OHD} = 3.85V$ Min
I_{CC}	Maximum Quiescent Supply Current	5.5		8.0	80	µA	$V_{IN} = V_{CC}$ or GND

Tabel 9/9.3.3-11: Gelijkspannings-kenmerken van de CGS74CT2524.

9.3 Clock-drivers/clock-generatoren

Over recommended operating conditions unless specified otherwise. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter	CGS74CT2524 V_{CC} = 4.5V to 5.5V, T_A = −40°C to +85°C, C_L = 50 pF, R_L = 500Ω				Units
		Package	Min	Typ	Max	
F_{max}	Maximum Operating Frequency			100		MHz
t_{OSHL}	Maximum Skew Common Edge Output-to-Output Variation (Note 1)	M M (Note 2) N			300 450 500	ps
t_{OSLH}	Maximum Skew Common Edge Output-to-Output Variation (Note 1)	M M (Note 2) N			300 450 500	ps
t_{PS}	Maximum Skew Pin (Signal) Transition Variation (Note 3)				1.0	ns
t_{rise} t_{fall}	Rise Time/Fall Time (from 0.8V to 2.0V/2.0V to 0.8V)				1.5	ns
T_{High}	Time High	4				ns
T_{Low}	Time Low	4				ns

Note 1: Output-to-Output Skew is defined as the absolute value of the difference between the actual propagation delay from any outputs within the same packaged device. The specifications apply to any outputs switching in the same direction either HIGH to LOW (t_{OSHL}) or LOW to HIGH (t_{OSLH}) or in opposite directions both HL and LH (t_{OST}). t_{OSHL} and t_{OSLH} are characterized and guaranteed by design @1 MHz.

Note 2: Characterized at 66 MHz. Parameter guaranteed by design.

Note 3: Pin transition skew is the absolute difference between High-to-Low and Low-to-High propagation delay measure at a given output pin.

Note 4: Load capacitance includes the test jig.

		Min	Typ	Max	
t_{PLH}	Low-to-High Propagation Delay CLK to O_n	3.5		9.0	ns
t_{PHL}	High-to-Low Propagation Delay CLK to O_n	3.5		9.0	ns

Tabel 9/9.3.3-12: Schakeltijden van de CGS74CT2524.

9.3 Clock-drivers/clock-generatoren

Over recommended operating conditions unless specified otherwise.

Symbol	Parameter	Conditions	V_{CC} (V)	CGS74LCT2524 $T_A = +25°C$ Typ	$T_A = +25°C$ Guaranteed Limits	$T_A = -40°C$ to $+85°C$ Guaranteed Limits	Units
V_{IH}	Minimum High Level Input Voltage	$V_{OUT} = 0.1V$ or $V_{CC} = -0.1V$	3.3	1.5	2.0	2.0	V
V_{IL}	Maximum Low Level Input Voltage	$V_{OUT} = 0.1V$ or $V_{CC} = -0.1V$	3.3	1.5	0.8	0.8	V
V_{OH}	Minimum High Level Output Voltage	$V_{IN} = V_{IL}$ or V_{IH}, $I_{OUT} = -50\ \mu A$	3.3		2.9	2.9	V
		$V_{IN} = V_{IL}$ or V_{IH}, $I_{OH} = -12$ mA	3.3		2.5	2.4	V
V_{OL}	Minimum Low Level Output Voltage	$V_{IN} = V_{IL}$ or V_{IH}, $I_{OUT} = 50\ \mu A$	3.3		0.1	0.1	V
		$V_{IN} = V_{IL}$ or V_{IH}, $I_{OL} = -12$ mA	3.3		0.3	0.4	V
I_{IN}	Maximum Input Leakage Current	$V_{IN} = V_{CC}$, GND	3.6		±0.1	±1.0	μA
I_{CCT}	Maximum I_{CC}/Input	$V_{IN} = 2.4V$	3.6			100	μA
I_{OLD}	Minimum Dynamic Output Current	$V_{OLD} = 0.8V$ (max)	3.6			36	mA
I_{OHD}		$V_{OHD} = 2.0V$ (min)	3.6			−25	mA
I_{CC}	Maximum Quiescent Supply Current	$V_{IN} = V_{CC}$ or GND	3.6		2.5	10	μA

Tabel 9/9.3.3-13: Gelijkspannings-kenmerken van de CGS74LCT2524.

9.3 Clock-drivers/clock-generatoren

Over recommended operating conditions unless specified otherwise. All typical values are measured at V_{CC} = 3.3V, T_A = 25°C

Symbol	Parameter	LCT2524 V_{CC} = 3.0V to 3.6V T_A = −40°C to +85°C C_L = 50 pF R_L = 500Ω			Units
		Min	Typ	Max	
f_{max}	Maximum Operating Frequency		75		MHz
t_{OSHL}	Maximum Skew Common Edge Output-to-Output Variation (Note 1)			300	ps
t_{OSLH}	Maximum Skew Common Edge Output-to-Output Variation (Note 1)			300	ps
t_{PS}	Maximum Skew Pin (Signal) Transition Variation (Note 2)			2.5	ns
t_{RISE} t_{FALL}	Rise Time/Fall Time (from 0.8V to 2.0V/2.0V to 0.8V)			1.75	ns
T_{HIGH}	Time High	4			ns
T_{LOW}	Time Low	4			ns

Note 1: Output-to-Output Skew is defined as the absolute value of the difference between the actual propagation delay for any outputs within the same packaged device. The specifications apply to any outputs switching in the same direction either HIGH-to-LOW (t_{OSHL}) or LOW-to-HIGH (t_{OSLH}) or in opposite directions both HL and LH (t_{OST}). Limits are characterized and guaranteed by design @ 66 MHz.

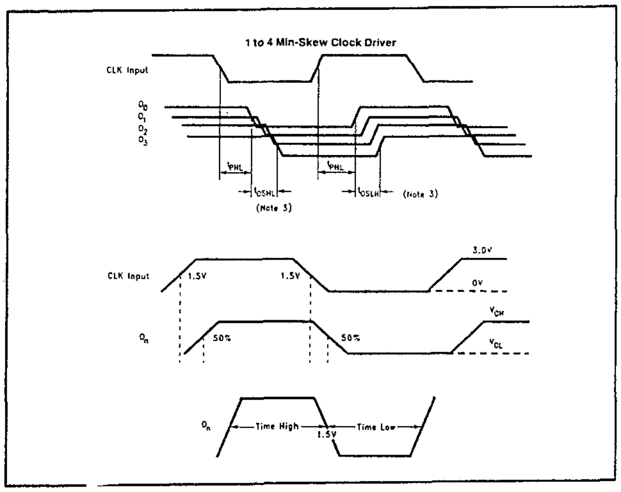
Note 2: Pin transition skew is the absolute difference between HIGH-to-LOW and LOW-to-HIGH propagation delay, measured at a given output pin.

Note 3: Refer to Minimum Skew Parameters Measurement Information Chart for definitions of each skew specification.

Note 4: Load capacitance includes the test jig.

		Min	Typ	Max	
t_{PLH}	Low-to-High Propagation Delay CLK to O_n	6		15.0	ns
t_{PHL}	High-to-Low Propagation Delay CLK to O_n	6		15.0	ns

Tabel 9/9.3.3-14: Schakeltijden van de CGS74LCT2524.



Figuur 9/9.3.3-15: Golfvormen voor het bepalen van de minimum skew parameters.

CGS74B2525

octal minimum skew TTL clock driver

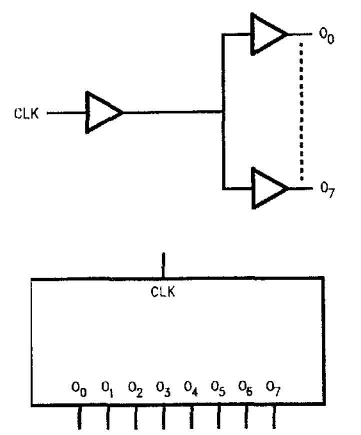
De CGS74B2525 is een clockdriver met acht niet-inverterende uitgangen die speciaal ontwikkeld is voor Clock Generation and Support (CGS) toepassingen boven 20 MHz (33 MHz en 50 MHz). De driver is speciaal ontworpen voor signaal-opwekking en clock-distributie en heeft een gegarandeerd kleine skew van maximaal 600 ps (tijdverschil tussen de uitgangen).

Specificaties

- clockdriver met 8 niet-inverterende uitgangen
- maximale uitgangs-skew (pin-to-pin): 600 ps

9.3 Clock-drivers/clock-generatoren

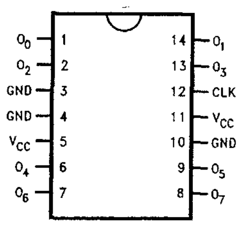
- uitgangsstroom: 48 mA source; 64 mA sink
- TTL-compatibele ingang
- enkele +5 V voeding
- geringe dynamische dissipatie boven 20 MHz
- ESD-beveiligd tot 4 kV
- behuizing: 14-pens plastic DIL of SOIC
- bedrijfstemperatuur: 0 tot +70 °C
- fabrikant: National Semiconductor



Figuur 9/9.3.3-16: Logisch schema en logisch symbool van de CGS74B2525.

Inputs	Outputs
CLK	O_0–O_7
L	L
H	H

Figuur 9/9.3.3-18: Waarheidstabel van de CGS74B2525.



Pin Names	Description
CLK	Clock Input
O_0–O_7	Outputs

Figuur 9/9.3.3-17: Aansluitingen van de CGS74B2525.

Supply Voltage (V_{CC})		7.0V
Input Voltage (V_I)		7.0V
Operating Free Air Temperature		0°C to +70°C
Storage Temperature Range		−65°C to +150°C
Junction Temperature (θ_{JA})		
Plastic (N) Package	104	°C/W
JEDEC SOIC (M) Package	120	°C/W

Tabel 9/9.3.3-15: Maximaal toegelaten waarden van de CGS74B2525.

9.3 Clock-drivers/clock-generatoren

over recommended operating conditions unless specified otherwise. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter	Conditions		Min	Typ	Max	Units
V_{IK}	Input Clamp Voltage	V_{CC} = 4.5V, I_I = −18 mA				−1.2	V
V_{IH}	Minimum Input High Level Voltage			2.0			V
V_{IL}	Maximum Input Low Level Voltage					0.8	V
V_{OH}	High Level Output Voltage	I_{OH} = −3 mA, V_{CC} = 4.5V		2.4			V
		I_{OH} = −48 mA, V_{CC} = 4.5V		2.0			
V_{OL}	Low Level Output Voltage	V_{CC} = 4.5V, I_{OL} = 64 mA			0.35	0.5	V
I_I	Input Current @ Max Input Voltage	V_{CC} = 5.5V, V_{IH} = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = 5.5V, V_{IH} = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = 5.5V, V_{IH} = 0.4V				−0.5	mA
I_O	Output Drive Current	V_{CC} = 5.5V, V_O = 2.25V		−50		−150	mA
I_{CC}	Supply Current	V_{CC} = 5.5V	Outputs High		8	15	mA
			Outputs Low		32	42	mA
C_{IN}	Input Capacitance	V_{CC} = 5V			5		pF

Tabel 9/9.3.3-16: Gelijkspannings-kenmerken van de CGS74B2525.

Over recommended operating conditions unless specified otherwise.

Symbol	Parameter	CGS74B2525 V_{CC} = 4.5V to 5.5V, R_L = 500Ω, C_L = 50 pF			Units
		Min	Typ	Max	
t_{PLH} t_{PHL}	Propagation Delay CLK to O_n	2 2	3.0 3.0	4.8 4.8	ns
f_{max}	Maximum Operating Frequency	50			MHz
t_{OSHL}	Maximum Skew Common Edge Output-to-Output Variation (Note 2)		150	600	ps
t_{OSLH}	Maximum Skew Common Edge Output-to-Output Variation (Note 2)		150	600	ps
t_{OST}	Maximum Skew Opposite Edge Output-to-Output Variation (Note 2)		0.7	1.5	ns
t_{PV}	Maximum Skew Part-to-Part Variation Skew (Note 3)			1.75	ns
t_{PS}	Maximum Skew Pin (Signal) Transition Variation (Note 2)		0.6	1.5	ns
t_{rise}, t_{fall}	Maximum Rise/Fall Time (from 0.8V to 2.0V/2.0V to 0.8V)			1.6 1.4	ns ns

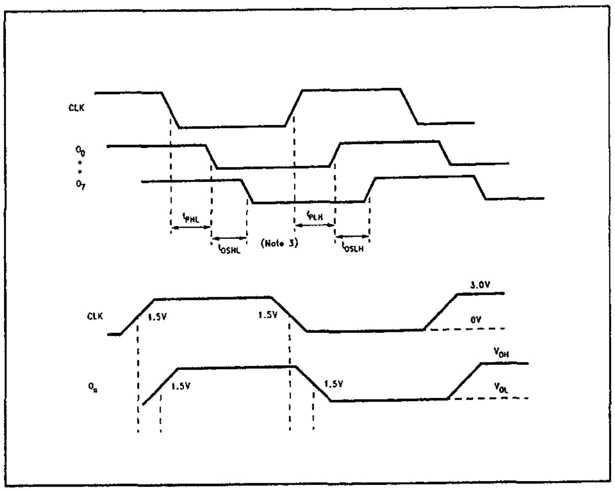
Note 2: Output-to-Output Skew is defined as the absolute value of the difference between the actual propagation delay for any outputs within the same packaged device. The specifications apply to any outputs switching in the same direction either HIGH to LOW (t_{OSHL}) or LOW to HIGH (t_{OSLH}) or in opposite directions both HL and LH (t_{OST}). Parameters t_{OST} and t_{PS} guaranteed by design. t_{OSHL} and t_{OSLH} are characterized and guaranteed by design @ 1 MHz.

Note 3: Part-to-part skew is defined as the absolute value of the difference between the propagation delay for any outputs from device to device. The parameter is specified for a given set of conditions (i.e., capacitive load, V_{CC}, temperature, # of outputs switching, etc.). Parameter guaranteed by design.

Note 4: Load capacitance includes the test jig.

Tabel 9/9.3.3-17: Schakeltijden van de CGS74B2525.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.3-19: Golfvormen voor het bepalen van de minimum skew parameters.

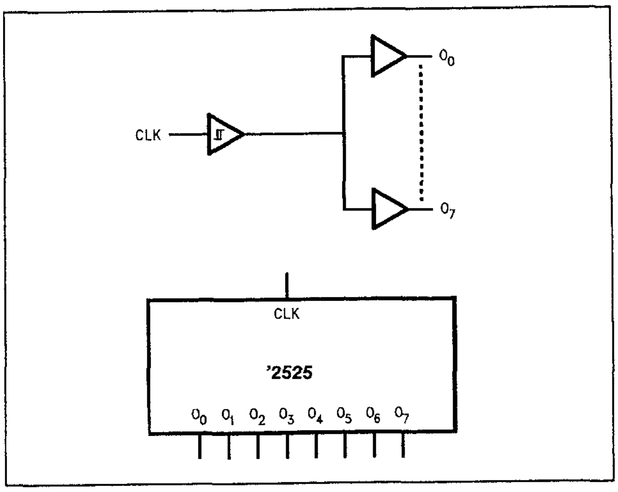
CGS74C2525, CGS74CT2525, CGS74C2526, CGS74CT2526

octal minimum skew CMOS/TTL clockdriver met clock-select

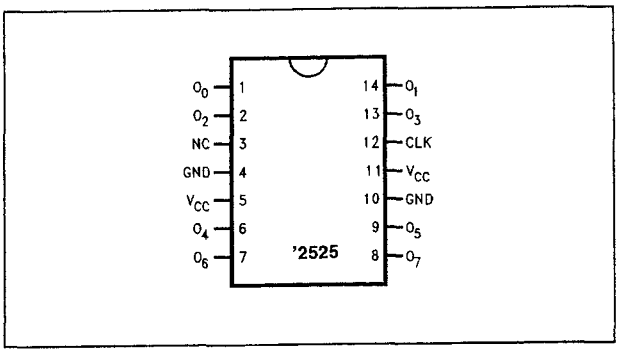
De CGS74C(T)2525 is een CMOS clockdriver met acht niet-inverterende uitgangen voor Clock Generation and Support (CGS) toepassingen boven 20 MHz. De CGS74C(T)2526 heeft bovendien een clock-select ingang, waarmee uit twee ingangs-clocksignalen kan worden gekozen.
De "C"-versie is CMOS-compatibel; de "CT"-uitvoering TTL-compatibel.
Deze drivers zijn speciaal ontworpen voor signaal-opwekking en clock-distributie.

Specificaties

- clockdrivers met 8 niet-inverterende uitgangen
- CGS74C(T)2525: 1 clock-ingang
- CGS74C(T)2526: gemultiplexte clock
- maximale uitgangs-skew (pin-to-pin): 600 ps
- symmetrische uitgangsstroom: 24 mA source/sink
- "CT": TTL-compatibele ingang (enkele +5 V voeding)
- geringe dynamische dissipatie boven 20 MHz
- ESD-beveiligd tot 2 kV
- behuizing:
  CGS74C(T)2525:
  14-pens plastic DIL of SOIC
  CGS74C(T)2526:
  16-pens plastic DIL of SOIC
- bedrijfstemperatuur: -40 tot +85 °C
- fabrikant: National Semiconductor



Figuur 9/9.3.3-20: Logisch schema en logisch symbool van de CGS74C(T)2525.



Figuur 9/9.3.3-21: Aansluitingen van de CGS74C(T)2525.

9.3 Clock-drivers/clock-generatoren

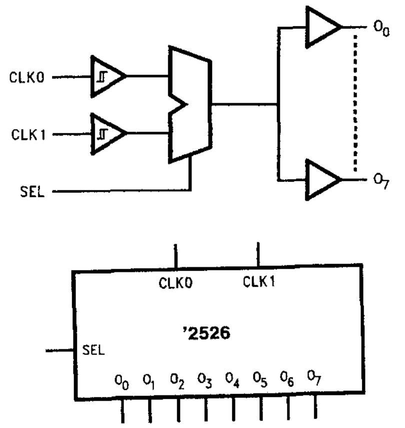
Inputs	Outputs
CLK	O_0–O_7
L	L
H	H

Figuur 9/9.3.3-22: Waarheidstabel van de CGS74C(T)2525.

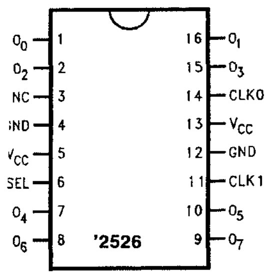
Inputs			Outputs
CLK0	CLK1	SEL	O_0–O_7
L	X	L	L
H	X	L	H
X	L	H	L
X	H	H	H

L = Low Voltage Level
H = High Voltage Level
X = Immaterial

Figuur 9/9.3.3-25: Waarheidstabel van de CGS74C(T)2526.



Figuur 9/9.3.3-23: Logisch schema en logisch symbool van de CGS74C(T)2526.



Pin Names	Description
CLK	Clock Input ('2525)
CLK0, CLK1	Clock Inputs ('2526)
O_0–O_7	Outputs
SEL	Clock Select ('2526)

Figuur 9/9.3.3-24: Aansluitingen van de CGS74C(T)2526.

Supply Voltage (V_{CC})	−0.5V to +7.0V
DC Input Diode Current (I_{IK})	
V_I = −0.5V	−20 mA
V_I = V_{CC} +0.5V	+0.2 mA
DC Input Voltage (V_I)	−0.5V to (V_{CC} +0.5V)
DC Output Diode Current (I_{OK})	
V_O = 0.5V	−20 mA
V_O = V_{CC} +0.5V	+20 mA
DC Output Voltage (V_O)	−0.5V to (V_{CC} +0.5V)
DC Output Source or Sink Current (I_O)	±50 mA
DC V_{CC} or Ground Current per Output Pin (I_{CC} or I_{GND})	±50 MA
Storage Temperature (T_{STG})	−65°C to +150°C
Junction Temperature (θ_{JA})	
Plastic (N) 14-Lead	102°C/W
Plastic (M) 14-Lead	128°C/W
Plastic (N) 16-Lead	97°C/W
Plastic (M) 16-Lead	124°C/W

Tabel 9/9.3.3-18: Maximaal toegelaten waarden van de CGS74C(T)2525 en CGS74C(T)2526.

9.3 Clock-drivers/clock-generatoren

Over recommended operating conditions unless specified otherwise.

Symbol	Parameter	V_{CC} (V)	CGS74C $T_A = +25°C$		54AC $T_A = -55°C$ to $+125°C$	CGS74C $T_A = -40°C$ to $+85°C$	Units	Conditions
			Typ	Guaranteed Limits				
V_{IH}	Minimum High Level Input Voltage	3.0 4.5 5.5	1.5 2.25 2.75	2.1 3.15 3.85	2.1 3.15 3.85	2.1 3.15 3.85	V	$V_{OUT} = 0.1V$ or $V_{CC} - 0.1V$
V_{IL}	Maximum Low Level Input Voltage	3.0 4.5 5.5	1.5 2.25 2.75	0.9 1.35 1.65	0.9 1.35 1.65	0.9 1.35 1.65	V	$V_{OUT} = 0.1V$ or $V_{CC} - 0.1V$
V_{OH}	Minimum High Level Output Voltage (Note 2)	3.0 4.5 5.5	2.99 4.49 5.49	2.9 4.4 5.4	2.9 4.4 5.4	2.9 4.4 5.4	V	$I_{OUT} = -50\ \mu A$
		3.0 4.5 5.5		2.56 3.86 4.86	2.4 3.7 4.7	2.46 3.76 4.76	V	$V_{IN} = V_{IL}$ or V_{IH} I_{OH} −12 mA −24 mA −24 mA
V_{OL}	Maximum Low Level Output Voltage (Note 2)	3.0 4.5 5.5	0.002 0.001 0.001	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V	$I_{OUT} = 50\ \mu A$
		3.0 4.5 5.5		0.36 0.36 0.36	0.40 0.50 0.50	0.44 0.44 0.44	V	$V_{IN} = V_{IL}$ or V_{IH} I_{OL} 12 mA 24 mA 24 mA
I_{IN}	Maximum Input Leakage Current (Note 3)	5.5		±0.1	±1.0	±1.0	μA	$V_I = V_{CC}$, GND
I_{OLD}	Minimum Dynamic Output Current (Note 4)	5.5			50	75	mA	$V_{OLD} = 1.65V$ Max
I_{OHD}		5.5			−50	−75	mA	$V_{OHD} = 3.85V$ Min
I_{CC}	Maximum Quiescent Supply Current (Note 3)	5.5		8.0	80.0	80.0	μA	$V_{IN} = V_{CC}$ or GND

Tabel 9/9.3.3-19: Gelijkspannings-kenmerken van de "C"-versie: CGS74C2525 en CGS74C2526.

9.3 Clock-drivers/clock-generatoren

AC Electrical Characteristics Over recommended operating conditions unless specified otherwise.

Symbol	Parameter	V_{CC} Range (V) (Note 6)	CGS74C $T_A = +25°C$ $C_L = 50$ pF			54AC $T_A = -55°C$ to $+125°C$ $C_L = 50$ pF		CGS74C $T_A = -40°C$ to $+85°C$ $C_L = 50$ pF			Units
			Min	Typ	Max	Min	Max	Min	Typ	Max	
t_{PLH}, t_{PHL}	Propagation Delay CLK to O_n ('2525)	3.3 5.0	3.0 3.2	6.5 5.0	11.0 7.8	3.0 2.5	11.0 8.2	3.0 2.9		12.5 8.1	ns
t_{PLH}, t_{PHL}	Propagation Delay CLKn to O_n ('2526)	3.3 5.0	3.0 3.6	7.0 5.5	13.0 7.8			3.0 3.3		14.0 8.6	ns
t_{PLH}, t_{PHL}	Propagation Delay SEL to O_n ('2526)	3.3 5.0	3.0 4.0	8.0 6.5	14.0 8.5			3.0 3.5		15.0 9.5	ns
t_{OSHL}	Maximum Skew Common Edge Output-to-Output (Note 7) Variation	3.3 5.0		0.3 0.2			1.5 1.0			600 500	ps
t_{OSLH}	Maximum Skew Common Edge Output-to-Output (Note 7) Variation	3.3 5.0		0.3 0.2			1.5 1.0			600 500	ps
t_{OST}	Maximum Skew Opposite Edge Output-to-Output (Note 7) Variation	5.0		0.4	1.0		1.5 1.0			1.0	ns
t_{PV}	Maximum Skew Part-to-Part Variation (Note 8) 'C2525 'CT2525 'C2526	5.0			3.5		4.0				ns
	'CT2526	5.0			5.0						ns
t_{rise}, t_{fall}	Maximum Rise/Fall Time (20% to 80% V_{CC})	5.0			3.0		4.0			3.75	ns
t_{rise}, t_{fall}	Maximum Rise/Fall Time (0.8V/2.0V and 2.0V/0.8V)			0.9					1.1		ns

Tabel 9/9.3.3-20: Schakeltijden van de "C"-versie: CGS74C2525 en CGS74C2526.

9.3 Clock-drivers/clock-generatoren

Over recommended operating conditions unless specified otherwise.

Symbol	Parameter	V_{CC} (V)	CGS74CT		54ACT	CGS74CT	Units	Conditions
			$T_A = +25°C$		$T_A =$ −55°C to +125°C	$T_A =$ −40°C to +85°C		
			Typ	Guaranteed Limits				
V_{IH}	Minimum High Level Input Voltage	4.5 5.5	1.5 1.5	2.0 2.0	2.0 2.0	2.0 2.0	V	$V_{OUT} = 0.1V$ or $V_{CC} - 0.1V$
V_{IL}	Maximum Low Level Input Voltage	4.5 5.5	1.5 1.5	0.8 0.8	0.8 0.8	0.8 0.8	V	$V_{OUT} = 0.1V$ or $V_{CC} - 0.1V$
V_{OH}	Minimum High Level Output Voltage (Note 2)	4.5 5.5	4.49 5.49	4.4 5.4	4.4 5.4	4.4 5.4	V	$I_{OUT} = -50\ \mu A$
		4.5 5.5		3.86 4.86	3.70 4.70	3.76 4.76	V	$V_{IN} = V_{IL}$ or V_{IH} I_{OH} −24 mA −24 mA
V_{OL}	Maximum Low Level Output Voltage (Note 2)	4.5 5.5	0.001 0.001	0.1 0.1	0.1 0.1	0.1 0.1	V	$I_{OUT} = 50\ \mu A$
		4.5 5.5		0.36 0.36	0.50 0.50	0.44 0.44	V	$V_{IN} = V_{IL}$ or V_{IH} I_{OL} 24 mA 24 mA
I_{IN}	Maximum Input Leakage Current	5.5		±0.1	±1.0	±1.0	μA	$V_I = V_{CC}$, GND
I_{CCT}	Maximum I_{CC}/Input	5.5	0.6		1.6	1.5	mA	$V_I = V_{CC} - 2.1V$
I_{OLD}	Minimum Dynamic Output Current (Note 4)	5.5			50	75	mA	$V_{OLD} = 1.65V$ Max
I_{OHD}		5.5			−50	−75	mA	$V_{OHD} = 3.85V$ Min
I_{CC}	Maximum Quiescent Supply Current (Note 5)	5.5		8.0	160.0	80.0	μA	$V_{IN} = V_{CC}$ or GND

Tabel 9/9.3.3-21: Gelijkspannings-kenmerken van de "CT"-versie: CGS74CT2525 en CGS74CT2526.

9.3 Clock-drivers/clock-generatoren

AC Electrical Characteristics Over recommended operating conditions unless specified otherwise.

Symbol	Parameter	V_{CC} Range (V) (Note 6)	CGS74CT $T_A = +25°C$ $C_L = 50$ pF			54ACT $T_A = -55°C$ to $+125°C$ $C_L = 50$ pF		CGS74CT $T_A = -40°C$ to $+85°C$ $C_L = 50$ pF		Units
			Min	Typ	Max	Min	Max	Min	Max	
t_{PLH}, t_{PHL}	Propagation Delay CLK to O_n ('2525)	5.0	4.6	6.5	9.0			4.0	10.1	ns
t_{PLH}, t_{PHL}	Propagation Delay CLKn to O_n ('2526)	5.0	5.8	8.5	11.1			5.1	12.4	ns
t_{PLH}, t_{PHL}	Propagation Delay SEL to O_n ('2526)	5.0	5.1	8.5	12.4			4.4	14.1	ns
t_{OSHL}	Maximum Skew Common Edge Output-to-Output (Note 7) Variation	5.0		0.2					550	ps
t_{OSLH}	Maximum Skew Common Edge Output-to-Output (Note 7) Variation	5.0		0.2					550	ps
t_{OST}	Maximum Skew Opposite Edge Output-to-Output (Note 7) Variation	5.0		0.4					1.0	ns
t_{PV}	Maximum Skew Part-to-Part Variation (Note 8) — AC2525, ACT2525, AC2526	5.0			3.5					ns
	Maximum Skew Part-to-Part Variation (Note 8) — ACT2526	5.0			5.0					ns
t_{rise}, t_{fall}	Maximum Rise/Fall Time (20% to 80% V_{CC})	5.0			3.0				3.75	ns
t_{rise}, t_{fall}	Maximum Rise/Fall Time (0.8V/2.0V and 2.0V/0.8V)			0.9				1.1		ns

Note 2: All outputs loaded; thresholds on input associated with output under test.

Note 3: I_{IN} and I_{CC} @ 3.0V are guaranteed to be less than or equal to the respective limit @ 5.5V V_{CC}.
I_{CC} for 54AC @ 25°C is identical to CGS74C @ 25°C.

Note 4: Maximum test duration 2.0 ms, one output loaded at a time.

Note 5: I_{CC} for 54ACT @ 25°C is identical to CGS74CT @ 25°C.

Note 6: Voltage Range 5.0 is 5.0V ±0.5V, voltage range 3.3 is 3.3V ±0.3V.

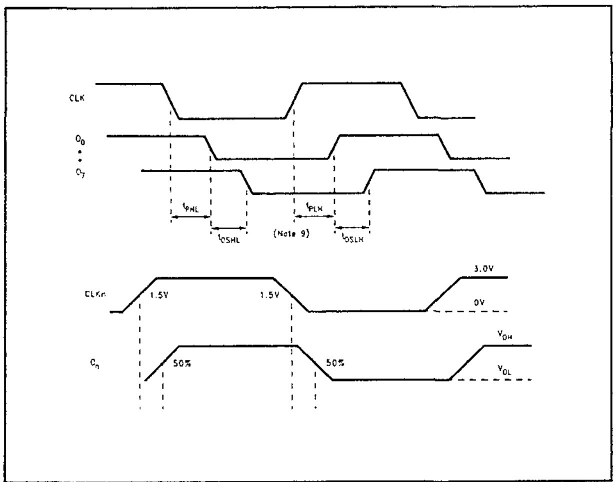
Note 7: Output-to-Output Skew is defined as the absolute value of the difference between the actual propagation delay for any outputs within the same packaged device. The specifications apply to any outputs switching in the same direction either HIGH to LOW (t_{OSHL}) or LOW to HIGH (t_{OSLH}) or in opposite directions both HL and LH (t_{OST}). t_{OSHL} and t_{OSLH} are characterized and guaranteed by design @ 1 MHz.

Note 8: Part-to-part skew is defined as the absolute value of the difference between the propagation delay for any outputs from device to device. The parameter is specified for a given set of conditions (i.e., capacitive load, V_{CC}, temperature, # of outputs switching, etc.). Parameter guaranteed by design.

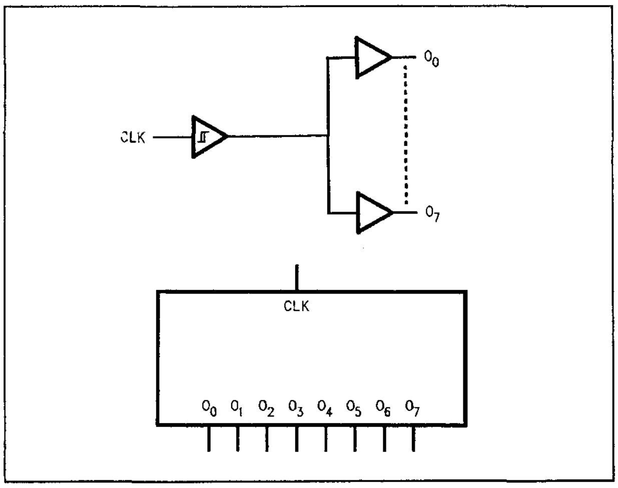
Note 9: Load capacitance includes the test jig.

Tabel 9/9.3.3-22: Schakeltijden van de "CT"-versie: CGS74CT2525 en CGS74CT2526.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.3-26: Golfvormen voor het bepalen van de minimum skew parameters.



Figuur 9/9.3.3-27: Logisch schema en logisch symbool van de CGS74CT2527.

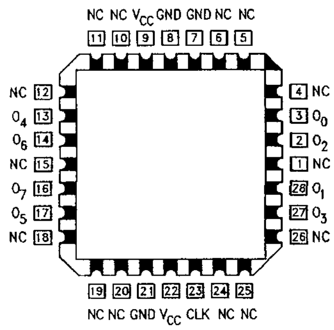
CGS74CT2527

octal minimum skew TTL clockdriver

De CGS74CT2527 is een CMOS clockdriver met acht niet-inverterende uitgangen voor Clock Generation and Support (CGS) toepassingen boven 20 MHz. In feite is de CGS74CT2527 de "high-performance" uitvoering van de CGS74CT2525. De CGS74CT2527 heeft namelijk een outputskew van slechts 300 ps.

Specificaties

- clockdriver met 8 niet-inverterende uitgangen
- TTL-compatibele clock-ingang met Schmitt-trigger
- maximale uitgangs-skew (pin-to-pin): 300 ps
- symmetrische uitgangsstroom: 24 mA source/sink
- enkele +5 V voeding
- ESD-beveiligd tot 2 kV
- behuizing: 28-pens PLCC
- bedrijfstemperatuur: -40 tot +85 °C
- fabrikant: National Semiconductor



Pin Names	Description
CLK	Clock Input
O_0–O_7	Outputs

Figuur 9/9.3.3-28: Aansluitingen van de CGS74CT2527.

Inputs	Outputs
CLK	**O_0–O_7**
L	L
H	H

Figuur 9/9.3.3-29: Waarheidstabel van de CGS74CT2527.

9.3 Clock-drivers/clock-generatoren

Supply Voltage (V_{CC})	−0.5V to +7.0V
DC Input Diode Current (I_{IK})	
$V_i = -0.5V$	−20 mA
$V_i = V_{CC} + 0.5V$	+20 mA
DC Input Voltage (V_I)	−0.5V to (V_{CC} +0.5V)
DC Output Diode Current (I_O)	
$V_o = 0.5V$	−20 mA
$V_o = V_{CC} + 0.5V$	+20 mA
DC Output Voltage (V_O)	−0.5V to (V_{CC} +0.5V)
DC Output Source or Sink Current (I_O)	±50 mA
DC V_{CC} or Ground Current per Output Pin (I_{CC} or I_{GND})	±50 MA
Storage Temperature (T_{STG})	−65°C to +150°C
Junction Temperature (θ_{JA})	
PLCC (0 LFM Air Flow)	71°C/W
PLCC (225 LFM Air Flow)	53°C/W
PLCC (500 LFM Air Flow)	47°C/W

Tabel 9/9.3.3-23: Maximaal toegelaten waarden van de CGS74CT2527.

Over recommended operating conditions unless specified otherwise.

Symbol	Parameter	V_{CC} (V)	CGS74CT $T_A = +25°C$ Typ	CGS74CT $T_A = +25°C$ Guaranteed Limits	CGS74CT $T_A = -40°C$ to $+85°C$ Guaranteed Limits	Units	Conditions
V_{IH}	Minimum High Level Input Voltage	4.5 5.5	1.5 1.5	2.0 2.0	2.0 2.0	V	$V_{OUT} = 0.1V$ or $V_{CC} - 0.1V$
V_{IL}	Maximum Low Level Input Voltage	4.5 5.5	1.5 1.5	0.8 0.8	0.8 0.8	V	$V_{OUT} = 0.1V$ or $V_{CC} - 0.1V$
V_{OH}	Minimum High Level Output Voltage (Note 1)	4.5 5.5	4.49 5.49	4.4 5.4	4.4 5.4	V	$V_{IN} = V_{IH}$ $I_{OUT} = -50\ \mu A$
		4.5 5.5		3.86 4.86	3.76 4.76	V	$V_{IN} = V_{IH}$ I_{OH} −24 mA
V_{OL}	Minimum Low Level Output Voltage (Note 1)	4.5 5.5	0.001 0.001	0.1 0.1	0.1 0.1	V	$V_{IN} = V_{IL}$ $I_{OUT} = 50\ \mu A$
		4.5 5.5		0.36 0.36	0.44 0.44	V	$V_{IN} = V_{IL}$ I_{OL} 24 mA
I_{IN}	Maximum Input Leakage Current	5.5		±0.1	±1.0	mA	$V_I = V_{CC}$, GND
I_{CCT}	Maximum I_{CC}/Input	5.5	0.6		1.5	mA	$V_I = V_{CC} - 2.1V$
I_{OLD}	Minimum Dynamic Output Current (Note 2)	5.5			75	mA	$V_{OLD} = 1.65V$ Max
I_{OHD}		5.5			−75	mA	$V_{OHD} = 3.85V$ Min
I_{CC}	Minimum Quiescent Supply Current	5.5		8.0	80.0	μA	$V_{IN} = V_{CC}$ or GND

Note 1: All outputs loaded; thresholds on input associated with output under test.

Note 2: Maximum test duration 2.0 ms, one output loaded at a time.

Tabel 9/9.3.3-24: Gelijkspannings-kenmerken van de CGS74CT2527.

9.3 Clock-drivers/clock-generatoren

AC Electrical Characteristics

Over Recommended Operating conditions unless specified otherwise. All typical values are measured at V_{CC} = 5V, T_A = 25°C

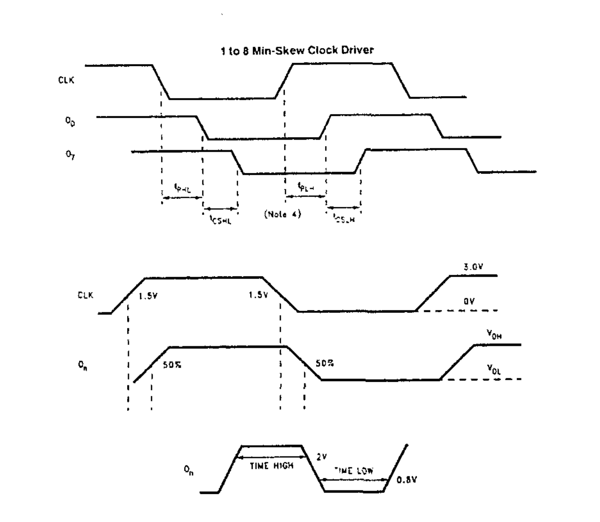
Symbol	Parameter	CGS74CT2527 V_{CC} = 4.5V to 5.5V, T_A = −40°C to +85°C, C_L = 50 pF, R_L = 500Ω			Units
		Min	Typ	Max	
f_{MAX}	Maximum Frequency		100		MHz
t_{PLH}	Low-to-High Propagation Delay CLK to O_n	3.0		10.5	ns
t_{PHL}	High-to-Low Propagation Deay CLK to O_n	3.0		10.5	ns
t_{OSHL}	Maximum Skew Common Edge Output-to-Output Variation (Note 3)		150	300	ps
t_{OSLH}	Maximum Skew Common Edge Output-to-Output Variation (Note 3)		150	300	ps
t_{rise}, t_{fall}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V)			1.5	ns
T_{High}	Time High	4			ns
T_{Low}	Time Low	4			ns

Note 3: Output-to-Output Skew is defined as the absolute value of the difference between the actual propagation delay for any outputs within the same packaged device. The specifications apply to any outputs switching in the same direction either HIGH to LOW (t_{OSHL}) or LOW to HIGH (t_{OSLH}) or in opposite directions both HL and LH (t_{OST}). Characterized at 1 MHz and 66 MHz, Parameter guaranteed by design.

Note 4: Refer to Test philopophy and definitions section for skew specifications.

Note 5: Load capacitance includes the test jig.

Tabel 9/9.3.3-25: Schakeltijden van de CGS74CT2527.



Figuur 9/9.3.3-30: Golfvormen voor het bepalen van de minimum skew parameters.

CGS74B2528, CGS64B2528

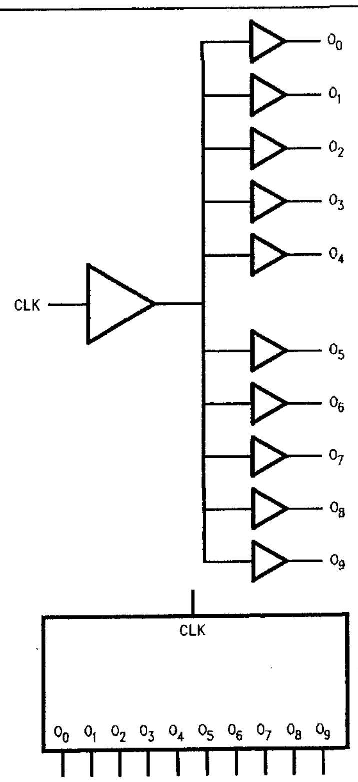
decimal minimum skew TTL clockdriver

De CGS74B2528 (CGS64B2528) is een clockdriver met tien uitgangen die speciaal ontwikkeld is voor zeer snelle Clock Generation and Support (CGS) toepassingen boven 50 MHz. De CGS74B2528 heeft een gegarandeerd lage skew (tijdverschil tussen diverse uitgangen) van slechts 300 ps. De CGS64B2528 is de industriële versie van deze clockdriver.

Specificaties

- clockdriver met 10 niet-inverterende uitgangen
- maximale uitgangs-skew (pin-to-pin): 450 ps
- TTL-compatibele clock-ingang
- uitgangsstroom: 48 mA source; 64 mA sink
- enkele +5 V voeding

9.3 Clock-drivers/clock-generatoren

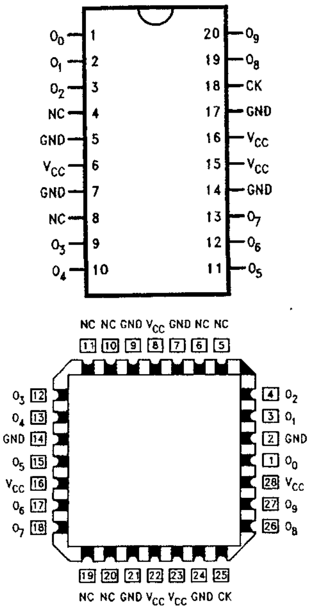


Figuur 9/9.3.3-31: Logisch schema en logisch symbool van de CGS74B2528 (CGS64B2528).

Supply Voltage (V_{CC})			7.0V	
Input Voltage (V_I)			7.0V	
Operating Temperature	64 Grade		−40°C to +85°C	
	74 Grade		0°C to +70°C	
Storage Temperature Range			−65°C to +150°C	
Typical θ_{JA}	M	N	V	
0 LFM	89	71	64	°C/W
225 LFM	71	57	52	°C/W
500 LFM	63	48	45	°C/W

Tabel 9/9.3.3-26: Maximaal toegelaten waarden van de CGS74B2528 (CGS64B2528).

- geringe dynamische dissipatie boven 20 MHz
- ESD-beveiligd tot 4 kV
- behuizing:
  20-pens DIL of SOIC en 28-pens PLCC
- bedrijfstemperatuur:
  CGS74B2528: 0 tot 70 °C
  CGS64B2528: -40 tot +85 °C
- fabrikant: National Semiconductor



Pin Names	Description
CLK	Clock Input
O_0–O_9	Outputs

Figuur 9/9.3.3-32: Aansluitingen (20-pens DIL of SOIC en 28-pens PLCC) van de CGS74B2528 (CGS64B2528).

Inputs	Outputs
CLK	O_0–O_9
L	L
H	H

L = Low Logic Level
H = High Logic Level

Figuur 9/9.3.3-33: Waarheidstabel van de CGS74B2528 (CGS64B2528).

9.3 Clock-drivers/clock-generatoren

Over recommended operating conditions unless specified otherwise. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter	Conditions		Min	Typ	Max	Units
V_{IK}	Input Clamp Voltage	V_{CC} = 4.5V, I_I = −18 mA				−1.2	V
V_{IH}	Minimum Input High Level Voltage			2.0			V
V_{IL}	Maximum Input Low Level Voltage					0.8	V
V_{OH}	High Level Output Voltage	I_{OH} = −3 mA, V_{CC} = 4.5V		2.4			V
		I_{OH} = 48 mA, V_{CC} = 4.5V		2.0			
V_{OL}	Low Level Output Voltage	V_{CC} = 4.5V, I_{OL} = 64 mA			0.35	0.5	V
I_I	Input Current @ Max Input Voltage	V_{CC} = 5.5V, V_{IH} = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = 5.5V, V_{IH} = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = 5.5V, V_{IL} = 0.4V			−0.5	−0.75	mA
I_O	Output Drive Current	V_{CC} = 5.5V, V_O = 2.25V		−50		−150	mA
I_{CC}	Supply Current	V_{CC} = 5.5V	Outputs High		24	35	mA
			Outputs Low		45	65	mA
C_{IN}	Input Capacitance	V_{CC} = 5V			5		pF

Tabel 9/9.3.3-27: Gelijkspannings-kenmerken van de CGS74B2528 (CGS64B2528).

AC Electrical Characteristics

Over recommended operating conditions unless specified otherwise. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

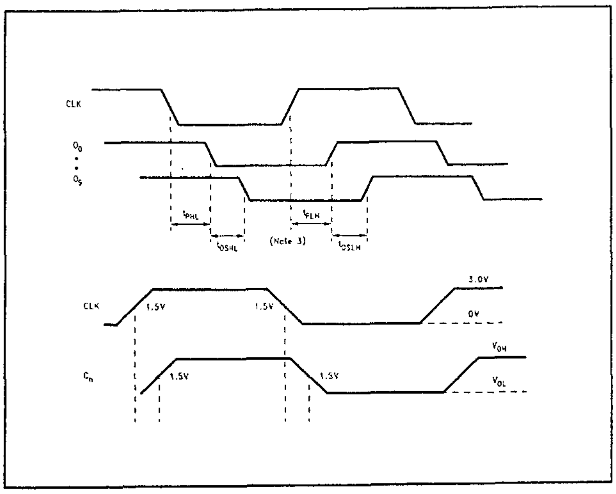
Symbol	Parameter		V_{CC} = 4.5V to 5.5V, C_L = 50 pF, R_L = 500Ω			Units
			Min	Typ	Max	
f_{MAX}	Frequency Maximum			80		MHz
t_{PLH}	Low-to-High Propagation Delay CLK to O_n M, N Pkg.		3.0	4.5	7.0	ns
	Low-to-High Propagation Delay CLK to O_n V Pkg.		2.5	4.5	6.5	
t_{PHL}	High-to-Low Propagation Delay CLK to O_n M, N Pkg.		3.0	4.5	7.0	ns
	High-to-Low Propagation Delay CLK to O_n V Pkg.		2.5	4.5	6.5	
t_{OSHL}	Maximum Skew Common Edge Output-to-Output Variation (Note 1)	N M V (Note 2)			700 450 450 550	ps
t_{OSLH}	Maximum Skew Common Edge Output-to-Output Variation (Note 1)	N M V (Note 2)			700 450 450 550	ps
t_{PS}	Maximum Skew Pin (Signal) Transition Variation	N M V			750 750 850	ps
t_{rise}, t_{fall}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V)	CGS74			1.5	ns
		CGS64			1.75	

Note 1: t_{OSHL} and t_{OSLH} characterized and guaranteed by design @ 1 MHz.

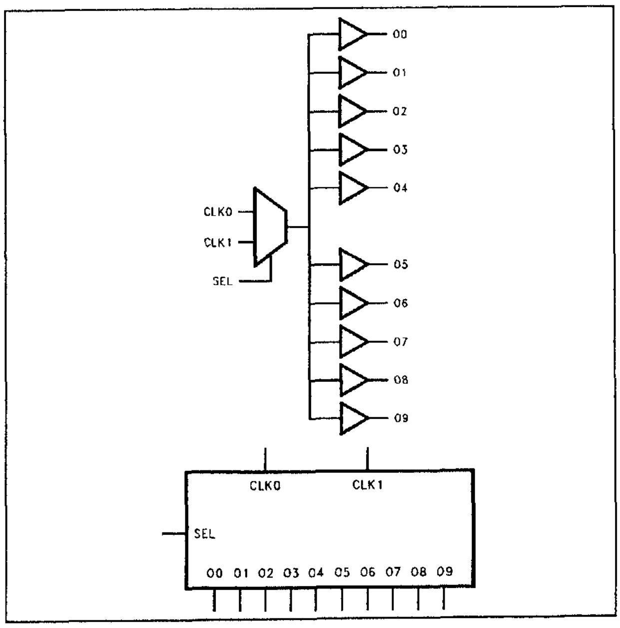
Note 2: Measured at 66 MHz. Parameter guaranteed by design.

Tabel 9/9.3.3-28: Schakeltijden van de CGS74B2528 (CGS64B2528).

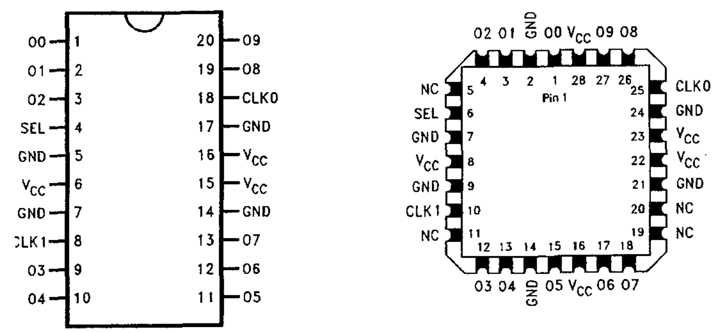
9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.3-34: Golfvormen voor het bepalen van de minimum skew parameters.



Figuur 9/9.3.3-35: Logisch schema en logisch symbool van de CGS74B2529 (CGS64B2529).



Pin Names	Description
CLK0, CLK1	Clock Input
O0–O9	Outputs
SEL	Clock Select

Figuur 9/9.3.3-36: Aansluitingen (20-pens DIL of SOIC en 28-pens PLCC) van de CGS74B2529 (CGS64B2529).

CGS74B2529, CGS64B2529

decimal minimum skew TTL clockdriver met clock-select

De CGS74B2528 (CGS64B2528) is een clockdriver met tien uitgangen voor zeer snelle Clock Generation and Support (CGS) toepassingen boven 50 MHz. Deze clockdriver heeft bovendien een clock-select ingang, waarmee uit twee ingangs-clocksignalen kan worden gekozen. De CGS74B2529 heeft een gegarandeerd lage skew (tijdverschil tussen diverse uitgangen) van slechts 500 ps. De CGS64B2529 is de industriële versie van deze clockdriver.

9.3 Clock-drivers/clock-generatoren

Specificaties

- clockdriver met 10 niet-inverterende uitgangen
- TTL-compatibele gemultiplexte clock
- maximale uitgangs-skew (pin-to-pin): 500 ps
- uitgangsstroom: 48 mA source; 64 mA sink
- enkele +5 V voeding
- geringe dynamische dissipatie boven 20 MHz
- ESD-beveiligd tot 4 kV
- behuizing: 20-pens DIL of SOIC en 28-pens PLCC
- bedrijfstemperatuur: CGS74B2529: 0 tot 70 °C CGS64B2529: -40 tot +85 °C
- fabrikant: National Semiconductor

Inputs			Outputs
CLK0	CLK1	SEL	O0–O9
L	X	L	L
H	X	L	H
X	L	H	L
X	H	H	H

L = Low Logic Level
H = High Logic Level
X = Immaterial

Figuur 9/9.3.3-37: Waarheidstabel van de CGS74B2529 (CGS64B2529).

Supply Voltage (V_{CC})				7.0V
Input Voltage (V_I)				7.0V
Operating Temperature				
64 Grade				−40°C to +85°C
74 Grade				0°C to +70°C
Storage Temperature Range				−65°C to +150°C
Typical θ_{JA}	**Airflow**	**M**	**V**	
	0 LFM	89	64	°C/W
	225 LFM	71	52	°C/W
	500 LFM	63	45	°C/W

Tabel 9/9.3.3-29: Maximaal toegelaten waarden van de CGS74B2529 (CGS64B2529).

Over recommended operating conditions unless specified otherwise. All typical values are measured at V_{CC} = 5V, T_A = 25°C

Symbol	Parameter	Conditions		Min	Typ	Max	Units
V_{IK}	Input Clamp Voltage	V_{CC} = 4.5V, I_I = −18 mA				−1.2	V
V_{IH}	Minimum Input High Level Voltage			2.0			V
V_{IL}	Maximum Input Low Level Voltage					0.8	V
V_{OH}	High Level Output Voltage	I_{OH} = −3 mA, V_{CC} = 4.5V		2.4			V
		I_{OH} = 48 mA, V_{CC} = 4.5V		2.0			
V_{OL}	Low Level Output Voltage	V_{CC} = 4.5V, I_{OL} = 64 mA			0.35	0.5	V
I_I	Input Current @ Max Input Voltage	V_{CC} = 5.5V, V_{IH} = 7V				0.1	mA
I_{IH}	High Level Input Current	V_{CC} = 5.5V, V_{IH} = 2.7V				20	μA
I_{IL}	Low Level Input Current	V_{CC} = 5.5V, V_{IL} = 0.4V			−0.5	−0.75	mA
I_O	Output Drive Current	V_{CC} = 5.5V, V_O = 2.25V		−50		−150	mA
I_{CC}	Supply Current '2529	V_{CC} = 5.5V	Outputs High		24	35	mA
			Outputs Low		45	65	mA
C_{IN}	Input Capacitance	V_{CC} = 5.5V			5		pF

Tabel 9/9.3.3-30: Gelijkspannings-kenmerken van de CGS74B2529 (CGS64B2529).

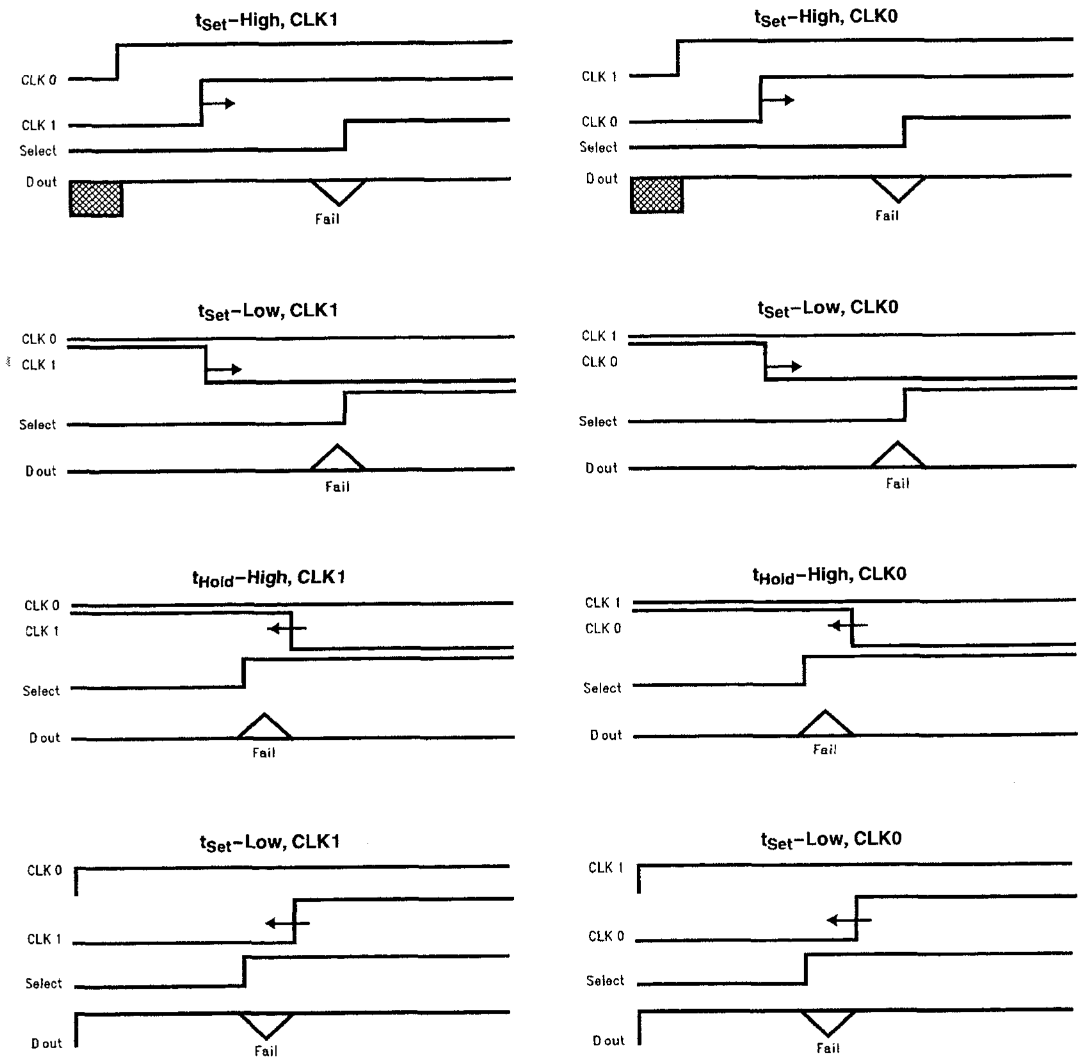
9.3 Clock-drivers/clock-generatoren

Over recommended operating conditions unless specified otherwise. All typical values are measured at V_{CC} = 5V, T_A = 25°C

Symbol	Parameter	Package	V_{CC} = 4.5V to 5.5V, C_L = 50 pF, R_L = 500Ω Min	Typ	Max	Units
t_{OSHL}	Maximum Skew Common Edge Output-to-Output Variation (Note 1)	M V			500 500	ps
t_{OSLH}	Maximum Skew Common Edge Output-to-Output Variation (Note 1)	M V			500 500	ps
t_{PS}	Maximum Skew Pin (Signal) Transition Variation (Note 1)	M V			750 850	ps
t_{Set} (Note 2)	Setup Time High Select to CLK0 or 1 Setup Time Low Select to CLK0 or 1	All	−2.0 −2.0			ns
t_{Hold} (Note 2)	Hold Time High Sel to CLK0 Hold Time High Sel to CLK1 Hold Time Low Sel to CLK0 Hold Time Low Sel to CLK1		5.0 5.0 8.0 8.0			ns
t_{rise}, t_{fall}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V)	CGS74			1.5	ns
		CGS64			1.75	
f_{MAX}	Frequency Maximum			80		MHz
t_{PLH}	Low-to-High Propagation Delay CLK0,1 to O_n	M	3.0	5.5	7.0	ns
	Low-to-High Propagation Delay CLK0,1 to O_n	V	2.5	5.5	6.0	
t_{PHL}	High-to-Low Propagation Delay CLK0,1 to O_n	M	3.0	5.5	7.0	ns
	High-to-Low Propagation Delay CLK0,1 to O_n	V	2.5	5.5	6.0	

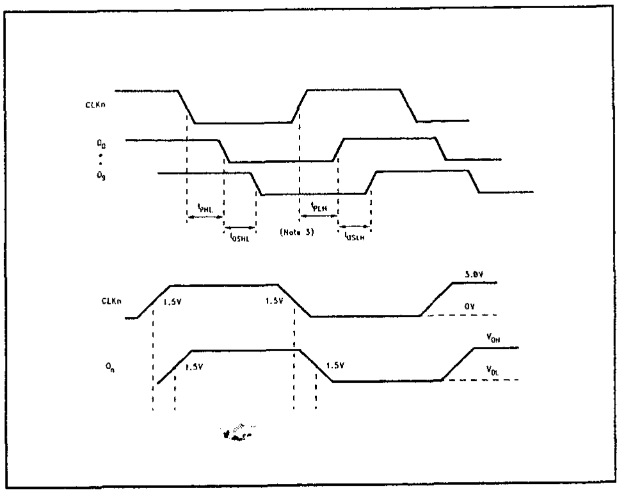
Tabel 9/9.3.3-31: Schakeltijden van de CGS74B2529 (CGS64B2529).

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.3-38: Tijddiagrammen voor de CGS64/74B2529.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.3-39: Golfvormen voor het bepalen van de minimum skew parameters.

- maximale uitgangs-skew (pin-to-pin): 500 ps
- uitgangsstroom: 48 mA source; 64 mA sink
- enkele +5 V voeding
- geringe dynamische dissipatie boven 20 MHz
- ESD-beveiligd tot 4 kV
- behuizing: 28-pens PLCC
- bedrijfstemperatuur: -40 tot +85 °C
- fabrikant: National Semiconductor

CGS100P2530, CGS100P2531

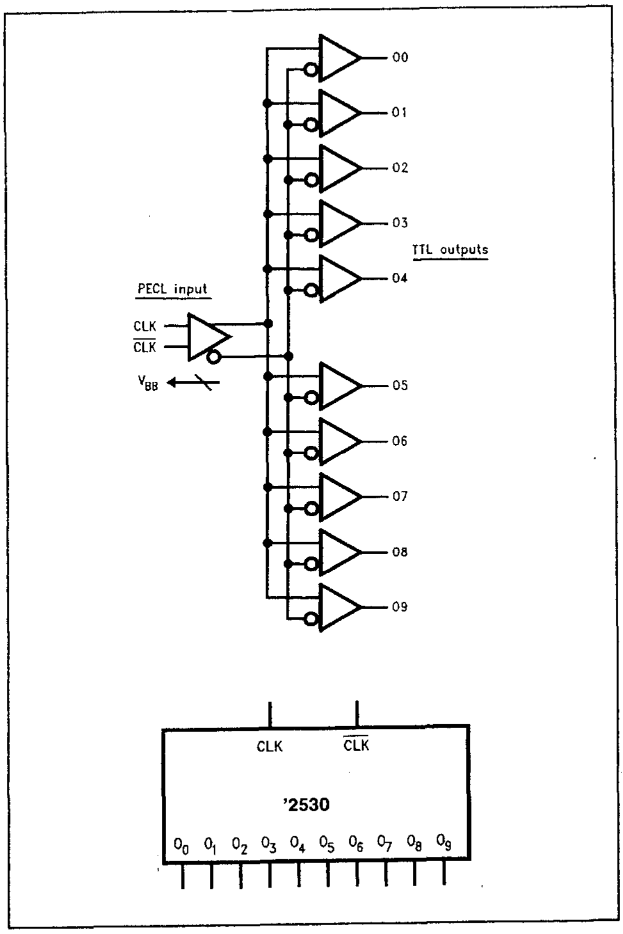
decimal minimum skew ECL clockdriver

De CGS100P2530 en CGS100P2531 zijn clockdrivers met tien uitgangen voor zeer snelle Clock Generation and Support (CGS) toepassingen boven 50 MHz. Deze clockdrivers zijn bedoeld om ECL-signalen om te zetten in TTL-signalen.

De CGS100P2530 heeft één ECL clock-ingang, terwijl de CGS100P2531 een clock-select ingang heeft, waarmee uit twee ECL ingangs-clocksignalen kan worden gekozen. Als SEL = 1 wordt CLK1 gekozen; bij SEL = 0 is dat CLK0. Beide clockdrivers hebben een gegarandeerd lage skew (tijdverschil tussen diverse uitgangen) van slechts 500 ps en werken op een enkele voedingsspanning van 5V.

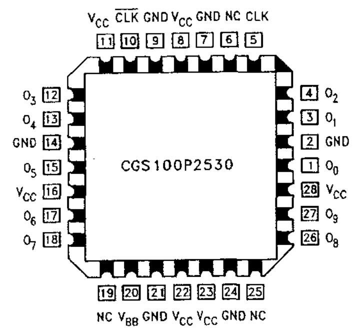
Specificaties

- CGS100P2530: clockdriver met 10 uitgangen
- CGS100P2531: clockdriver met 10 uitgangen met gemultiplexte clock
- ingangen: ECL-compatibel; uitgangen: TTL-compatibel

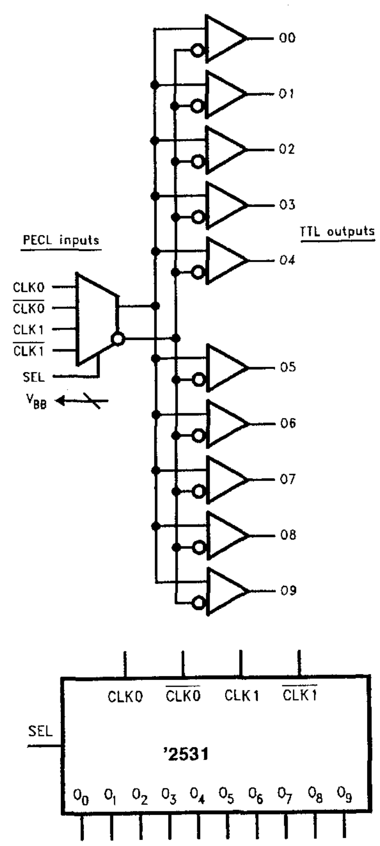


Figuur 9/9.3.3-40: Logisch schema en logisch symbool van de CGS100P2530.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.3-41: Aansluitingen (28-pens PLCC) van de CGS100P2530.

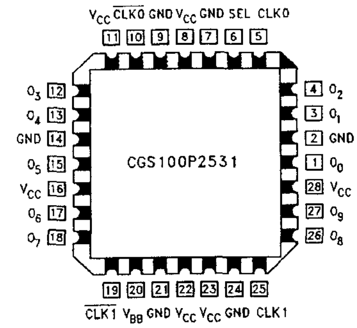


Figuur 9/9.3.3-43: Logisch schema en logisch symbool van de CGS100P2531.

Inputs		Outputs
CLK	$\overline{CLK}$	O_0–O_9
L	H	L
H	L	H
L	L	U
H	H	U
L	V_{BB}	L*
H	V_{BB}	H*
V_{BB}	X	V_{BB}

L = Low Logic Level
H = High Logic Level
X = Don't Care
U = Undefined
* = Single Ended Operation

Figuur 9/9.3.3-42: Waarheidstabel van de CGS100P2530.



Pin Names	Description
CLK	PECL Differential Clock Input ('2530)
CLK0, CLK1	PECL Differential Clock Input ('2531)
O_0–O_9	TTL Outputs
SEL	PECL Clock Select ('2531)

Figuur 9/9.3.3-44: Aansluitingen (28-pens PLCC) van de CGS100P2531.

9.3 Clock-drivers/clock-generatoren

Inputs					Outputs
CLK0	$\overline{CLK0}$	CLK1	$\overline{CLK1}$	SEL	O_0–O_9
L	H	X	X	L	L
H	L	X	X	L	H
L	L	X	X	L	U
H	H	X	X	L	U
L	V_{BB}	X	X	L	L*
H	V_{BB}	X	X	L	H*
X	X	L	H	H	L
X	X	H	L	H	H
X	X	L	L	H	U
X	X	H	H	H	U
X	X	L	V_{BB}	H	L*
X	X	H	V_{BB}	H	H*

Figuur 9/9.3.3-45: Waarheidstabel van de CGS100P2531.

Storage Temperature	−65°C to +150°C
Maximum Junction Temperature Plastic	150°C
V_{CC} Pin Potential to Ground Pin	−0.5V to +7.0V
TTL Input Voltage (Note 1)	−0.5V to +7.0V
TTL Input Current (Note 1)	−30 mA to +5.0 mA
V_{BB} Output Current	−5.0 mA to +1.0 mA
ECL Input Potential to GND Pin	−0.5V to V_{CC} +0.5V
Typical θ_{JA}	
0 LFM Airflow	69°C/W
225 LFM	53°C/W
500 LFM	45°C/W
Voltage Applied to Output (with V_{CC} = 0V)	−0.5V to V_{CC}
Current Applied to Output in Low State (Max)	Twice the Rated I_{OL} (mA)
ESD Last Passing Voltage (Min)	2000V

Tabel 9/9.3.3-32: Maximaal toegelaten waarden van de CGS100P2530 en CGS100P2531.

Over recommended operating conditions unless specified otherwise. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter		Conditions	Min	Typ	Max	Units
V_{OH}	High Level Output Voltage		I_{OH} = −3 mA, V_{CC} = 4.5V	2.4			V
			I_{OH} = 48 mA, V_{CC} = 4.5V	2.0			
V_{OL}	Low Level Output Voltage		V_{CC} = 4.5V, I_{OL} = 64 mA		0.375	0.55	V
V_{BB}	Output Reference Voltage		I_{VBB} = −1 mA	V_{CC} − 1.38		V_{CC} − 1.26	V
V_{DIFF}	Input Voltage Differential		Required for Full Output Swing	150			mV
V_{CM}	Common Mode Voltage		High Level	V_{CC} − 1.6		V_{CC} − 0.4	V
V_{IH}	Input High Voltage		Guarantee HIGH Signal for All Inputs	V_{CC} − 1.165		V_{CC} − 0.87	V
V_{IL}	Input Low Voltage		Guarantee LOW Signal for All Inputs	V_{CC} − 1.83		V_{CC} − 1.475	V
I_{IL}	Low Level Input Current		V_{IN} = V_{IL} (min)	0.50			μA
I_{IH}	High Level Input Current		V_{IN} = V_{IH} (max)			50	μA
I_{CBO}	Input Leakage Current		V_{IN} = 0	−10			μA
I_{CCH}	Supply Current	'2530	V_{CC} = 5.5V			30	mA
		'2531				33	
I_{OS}	Output Current Drive		V_{CC} = 5.5V, V_O = 2.25V	−50		−150	mA
I_{CCL}	Supply Current	'2530	V_{CC} = 5.5V			72	mA
		'2531				75	

Tabel 9/9.3.3-33: Gelijkspannings-kenmerken van de CGS100P2530 en CGS100P2531.

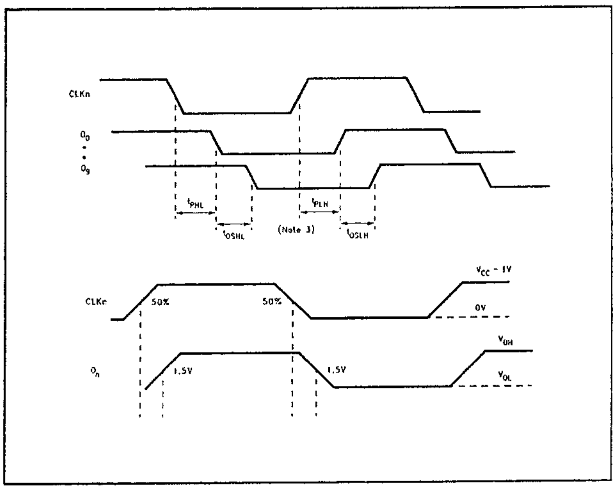
9.3 Clock-drivers/clock-generatoren

typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter	CGS100P V_{CC} = 4.5V to 5.5V, T_A = −40°C to +85°C, C_L = 50 pF, R_L = 500Ω			Units
		Min	Typ	Max	
f_{MAX}	Frequency Maximum	70			MHz
t_{PLH}	Low-to-High Propagation Delay CLKn to O_n ('2530)	3.4	5.0	7.0	ns
t_{PHL}	High-to-Low Propagation Delay CLKn to O_n ('2530)	3.4	5.0	7.0	ns
t_{PLH}, t_{PHL}	Propagation Delay CLKn to O_n ('2531)	4.0 4.0	5.0 5.0	8.0 8.0	ns
t_{PLH}, t_{PHL}	Propagation Delay SEL to O_n ('2531)	5.0 5.0	5.0 5.0	10.0 10.0	ns
t_{OSHL}	Maximum Skew Common Edge Output-to-Output Variation (Note 2)		150	500	ps
t_{OSLH}	Maximum Skew Common Edge Output-to-Output Variation (Note 2)		150	500	ps
t_{PS}	Maximum Skew Pin (Signal) Transition Variation (Note 2)		0.6	1.1	ns
t_{rise}, t_{fall}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V)		1.0	1.5	ns

Note 2: Output-to-Output Skew is defined as the absolute value of the difference between the actual propagation delay for any outputs within the same packaged device. The specifications apply to any outputs switching in the same direction either HIGH to LOW (t_{OSHL}) or LOW to HIGH (t_{OSLH}) or in opposite directions both HL and LH (t_{OST}). t_{OSHL} and t_{OSLH} are characterized and guaranteed by design @ 1 MHz. See Figures A and B of Parameter Measurement Information.

Tabel 9/9.3.3-34: Schakeltijden van de CGS100P2530 en CGS100P2531.



Figuur 9/9.3.3-46: Golfvormen voor het bepalen van de minimum skew parameters.

CGS700

low skew 1-to-9 PLL CMOS clockdriver

De CGS700 is een kant en klare clockdriver voor moderne, snelle processoren. De negen uitgangssignalen zijn naar keuze afkomstig van drie vaste ingangsreferenties. De XTALIN-ingangspen kan op een kristaloscillator met een frequentie van 25, 33 of 40 MHz worden aangesloten. Deze ingangsfrequentie wordt door de PLL (Phase-Locked Loop), die gebruik maakt van een ladingspomp en een intern loop-filter, met maximaal 4 vermenigvuldigd. De CGS700 heeft een 3-state control-pen om de uitgangen te sperren, terwijl de PLL nog steeds ge"locked" is. Door deze functie kan de print worden getest zonder op het locken te hoeven wachten.

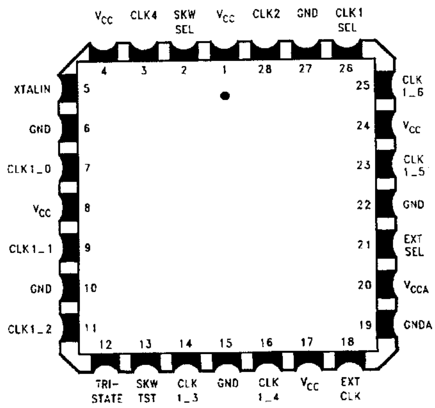
9.3 Clock-drivers/clock-generatoren

Tevens zijn twee pennen aanwezig (EXTSEL en EXTCLK) waarmee de chip via een externe bron kan worden getest. Door de EXTSEL-pen HOOG te maken schakelt de ingang van de External-Clock_Mux over van de uitgang van de VCO + Counter naar de externe clock-ingang EXTCLK.
De CLK1SEL-pen verandert de uitgangsfrequentie van de CLK1_0 tot en met CLK1_6 uitgangen.
Bij normaal bedrijf (als de CLK1SEL-pen HOOG is) hebben deze uitgangen dezelfde frequentie als de ingangs kristal-oscillator, terwijl op CLK2 en CLK4 respectievelijk de dubbele en de viervoudige ingangsfrequentie verschijnen. Als de CLK1SEL-pen LAAG is gemaakt, krijgen de CLK1-uitgangen de dubbele ingangsfrequentie (dezelfde als op de CLK2-uitgang), terwijl CLK4 nog steeds de viervoudige frequentie afgeeft.
Daarnaast zijn er nog twee pennen voor uitgebreider test-mogelijkheden: met de SKWSEL en SKWTST pennen kunnen de uitgang van de counter en de skew van de uitgangsdrivers worden getest, zonder de VCO te gebruiken. In deze testmode is de CLK4 frequentie gelijk aan de SKWTST ingangsfrequentie, terwijl CLK2 hiervan de helft is en CLK1 een kwart (zie de waarheidstabel). Hierbij geldt de functionaliteit van CLK1SEL ook.

Specificaties

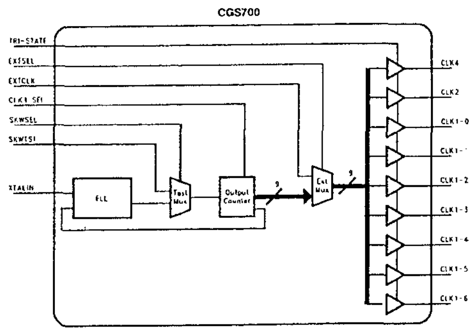
- low skew (500 ps) PLL clockdriver met 9 uitgangen
- Pentium en PowerPC compatibel
- uitgangsfrequentie: 25 tot 160 MHz
- uitgangen werkend op 4x, 2x en 1x de referentie-frequentie voor multi-frequency bus-toepassingen
- selecteerbare uitgangsfrequentie
- 3-state uitgangs-besturing (met gelockte PLL)
- intern loop-filter
- aparte analoge en digitale V_{CC} en GND-pennen
- laagfrequent testmode zonder PLL
- symmetrische uitgangsstroom: +30 mA/-30 mA
- ESD-beveiligd tot 2 kV
- behuizing: 28-pens PLCC
- bedrijfstemperatuur: 0 tot 70 °C (CGS700V: commercieel type)
- fabrikant: National Semiconductor

Pin	Name	Description
1	V_{CC}	Digital V_{CC}
2	SKWSEL	Skew Test Selector Pin
3	CLK4	4X Clock Output
4	V_{CC}	Digital V_{CC}
5	XTALIN	Crystal Oscillator Input
6	GND	Digital Ground
7	CLK1_0	1X Clock Output
8	V_{CC}	Digital V_{CC}
9	CLK1_1	1X Clock Output
10	GND	Digital Ground
11	CLK1_2	1X Clock Output
12	TRI-STATE	Output TRI-STATE Control
13	SKWTST	Skew Testing Pin
14	CLK1_3	1X Clock Output
15	GND	Digital Ground
16	CLK1_4	1X Clock Output
17	V_{CC}	Digital V_{CC}
18	EXTCLK	External Test Clock
19	GNDA	Analog Ground
20	V_{CCA}	Analog V_{CC}
21	EXTSEL	External Clock Mux Selector
22	GND	Digital Ground
23	CLK1_5	1X Clock Output
24	V_{CC}	Digital V_{CC}
25	CLK1_6	1X Clock Output
26	CLK1SEL	CLK1 Multiplier Selector
27	GND	Digital Ground
28	CLK2	2X Clock Output



Figuur 9/9.3.3-47: Aansluitingen (28-pens PLCC) van de CGS700.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.3-48: Logisch schema van de CGS700.

Supply Voltage (V_{CC})	−0.5V to +7.0V
DC Input Voltage Diode Current (I_{IK})	
V = −0.5V	−20 mA
V = V_{CC} + 0.5V	+20 mA
DC Input Voltage (V_I)	−0.5V to V_{CC} + 0.5V
DC Output Diode Current (I_O)	
V = −0.5V	−20 mA
V = V_{CC} + 0.5V	+20 mA
DC Output Voltage (V_O)	−0.5V to V_{CC} + 0.5V
DC Output Source or Sink Current (I_O)	±60 mA
DC V_{CC} or Ground Current per Output Pin (I_{CC} or I_{GND})	±60 mA
Storage Temperature (T_{STG})	−65°C to +150°C
Junction Temperature	150°C
Power Dissipation (Static and Dynamic) (Note B)	1400 mW

Tabel 9/9.3.3-35: Maximaal toegelaten waarden van de CGS700.

Input						Output		
CLK1 SEL	EXT SEL	EXT CLK	SKW SEL	SKW TST	TRI-STATE	CLK4	CLK2	CLK1
*H	L	X	L	X	H	$4 \times f_{IN}$	$2 \times f_{IN}$	f_{IN}
*L	L	X	L	X	H	$4 \times f_{IN}$	$2 \times f_{IN}$	$2 \times f_{IN}$
X	H	⎍	X	X	H	⎍	⎍	⎍
H	L	X	H	⎍	H	$1 \times f_{tst}$	$\frac{1}{2} \times f_{tst}$	$\frac{1}{4} \times f_{tst}$
L	L	X	H	⎍	H	$1 \times f_{tst}$	$\frac{1}{2} \times f_{tst}$	$\frac{1}{2} \times f_{tst}$
X	X	X	X	X	L	Z	Z	Z

*Steady State phase, frequency lock.

Figuur 9/9.3.3-49: Waarheidstabel van de CGS700.

9.3 Clock-drivers/clock-generatoren

Over recommended operating free air temperature range. All typical values are measured at V_{CC} = 5V, T_A = 25°C

Symbol	Parameter	Conditions	V_{CC} = 4.5V–5.5V T_A = 0°C–70°C Min	Typ	Max	Units
V_{IH}	Minimum Input High Level Voltage		2.0			V
V_{IL}	Maximum Input Low Level Voltage				0.8	V
V_{OH}	Minimum Output High Level Voltage	I_{OUT} = −50 μA	V_{CC} − 0.1			V
		I_{OH} = −30 mA	V_{CC} − 0.6			
V_{OL}	Maximum Output Low Level Voltage	I_{OUT} = 50 μA			0.1	V
		I_{OL} = 30 mA			0.6	
I_{OHD}	High Level Output Current	V_{OH} = V_{CC} − 1.0V	50	110	170	mA
I_{OLD}	Low Level Output Current	V_{OL} = 1.0V	50	110	170	mA
I_{IN}	Leakage Current	V_{IN} = 0.4V or 4.6V	−50		50	μA
$I_{OZL/H}$	Output Leakage Current					
C_{IN}	Input Capacitance				10.0	pF
I_{CC}	Quiescent Digital + Analog Current (No Load)	V_{IN} = V_{CC}, GND		3.0	5.0	mA
I_{CCT}	I_{CC} per TTL Input	V_{IN} = V_{CC} − 2.1, GND			2.5	

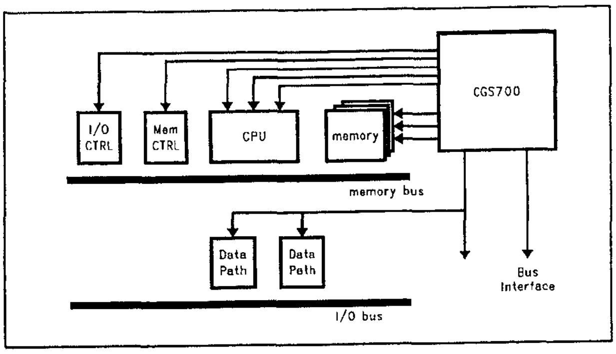
Tabel 9/9.3.3-36: Gelijkspannings-kenmerken van de CGS700.

Over recommended operating free air temperature range. All typical values are measured at V_{CC} = 5V, T_A = 25°C

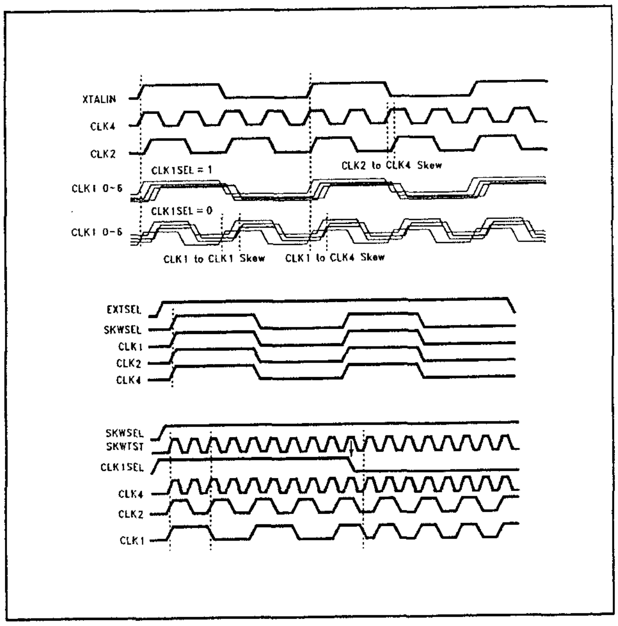
Symbol	Parameter			V_{CC} = 4.5V–5.5V F_{IN} = 25 MHz–40 MHz T_A = 0°C–70°C C_L = Circuit 1 and 2 R_L = Circuit 1 and 2 Min	Typ	Max	Units	Notes
t_{rise}	Output Rise	CLK4 CLK2 CLK1	0.8V–2.6V 1.0V–V_{CC} − 1.0V 1.0V–V_{CC} − 1.0V			2.0	ns	(Notes 1, 5)
		ALL	0.8V–2.0V			1.5		
t_{fall}	Output Fall	CLK4 CLK2 CLK1	2.6V–0.8V V_{CC} − 1.0V–1.0V V_{CC} − 1.0V–1.0V			2.0	ns	(Notes 1, 5)
		ALL	2.0V–0.8V			1.5		
t_{skew}	Maximum Edge-to-Edge Output Skew	+ to + Edges + to + Edges + to + Edges	CLK1__CLK1 CLK1__CLK4 CLK2__CLK4			400 1000 1000	ps	(Notes 2, 5)
t_{lock}	Time to Lock the Output to the Synch Input					100	μs	
t_{cycle}	Output Duty Cycle		CLK1 Outputs CLK2 Output CLK4 Output	49 49 35		51 51 65	%	(Notes 3, 5)
J_{LT}	Output Jitter (Long Term)					0.3	ns	(Notes 4, 5)
F_{MIN}	Minimum XTALIN Frequency					15	MHz	
F_{MAX}	Maximum XTALIN Frequency					43	MHz	

Tabel 9/9.3.3-37: Schakeltijden van de CGS700.

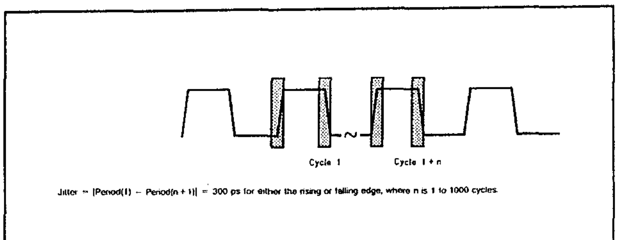
9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.3-50: Toepassingsvoorbeeld met de CGS700.



Figuur 9/9.3.3-51: Golfvormen en timing bij de CGS700.



Figuur 9/9.3.3-52: Jitter bij de CGS700.

CGS701A

low skew 1-to-8 PLL CMOS clockdriver

Ook de CGS701A is een kant en klare clockdriver voor nieuwe, snelle processoren. De acht uitgangssignalen zijn naar keuze afgeleid van drie vaste ingangs-referenties. De XTALIN-ingangspen kan worden aangedreven door een kristal-oscillator met een frequentie van 25, 33 of 40 MHz. Deze ingangsfrequentie wordt door de PLL (die gebruik maakt van een ladingspomp en een intern loop-filter) met maximaal 4 vermenigvuldigd. De CGS701A heeft een 3-state besturingspen om de uitgangen te sperren. Door deze functie kan bij lage frequenties worden getest.

Ook zijn er twee pennen (EXTSEL en EXTCLK) waarmee de chip via een externe bron kan worden getest.

Door de EXTSEL-pen HOOG te maken schakelt de ingang van de External-Clock_Mux over van de uitgang van de VCO + Counter naar een extern clock-signaal via SKWTST.

De CLK1SEL-pen verandert de uitgangsfrequentie van de CLK1_0 tot en met CLK1_5 uitgangen. Bij normaal bedrijf (als CLK1SEL-pen = HOOG is) hebben deze uitgangen dezelfde frequentie als de ingangskristal-oscillator, terwijl op CLK2 en CLK4 respectievelijk de dubbele en de viervoudige ingangsfrequentie verschijnen.

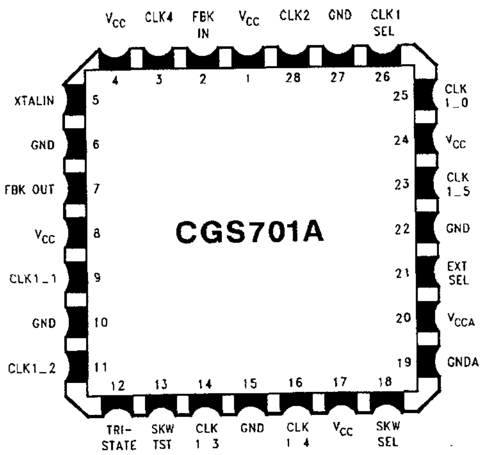
Als de CLK1SEL-pen = LAAG is gemaakt, krijgen de CLK1-uitgangen de dubbele ingangsfrequentie (dezelfde als op de CLK2-uitgang), terwijl CLK4 nog steeds de viervoudige frequentie afgeeft.

Daarnaast is er nog een pen voor uitgebreider test-mogelijkheden: met de SKWSEL-pen kan de uitgang van de counter en de skew van de uitgangsdrivers worden getest zonder de VCO te gebruiken. In deze testmode is de CLK4 frequentie gelijk aan de SKWTST ingangsfrequentie, terwijl CLK2 hiervan de helft en CLK1 een kwart is (zie de waarheidstabel).

Hierbij geldt de functionaliteit van CLK1SEL ook.

9.3 Clock-drivers/clock-generatoren

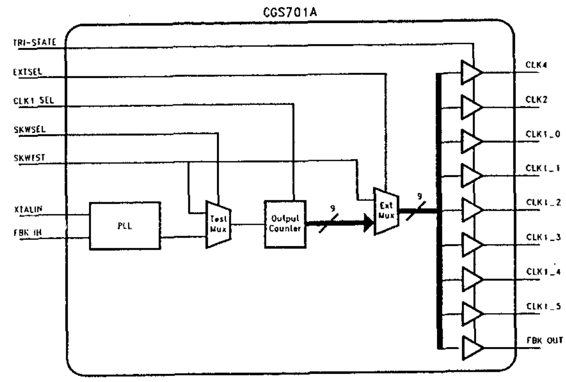
Pin	Name	Description
1	V_{CC}	Digital V_{CC}
2	FBK IN	Feedback Input Pin
3	CLK4	4X Clock Output
4	V_{CC}	Digital V_{CC}
5	XTALIN	Crystal Oscillator Input
6	GND	Digital Ground
7	FBK OUT	Feedback Output Pin
8	V_{CC}	Digital V_{CC}
9	CLK1_1	1X Clock Output
10	GND	Digital Ground
11	CLK1_2	1X Clock Output
12	TRI-STATE	Output TRI-STATE Control
13	SKWTST	Skew Testing Pin
14	CLK1_3	1X Clock Output
15	GND	Digital Ground
16	CLK1_4	1X Clock Output
17	V_{CC}	Digital V_{CC}
18	SKWSEL	Skew Test Selector Pin
19	GNDA	Analog Ground
20	V_{CCA}	Analog V_{CC}
21	EXTSEL	External Clock MUX Selector
22	GND	Digital Ground
23	CLK1_5	1X Clock Output
24	V_{CC}	Digital V_{CC}
25	CLK1_0	1X Clock Output
26	CLK1SEL	CLK1 Multiplier Selector
27	GND	Digital Ground
28	CLK2	2X Clock Output



Figuur 9/9.3.3-53: Aansluitingen (28-pens PLCC) van de CGS701A.

Specificaties

- low skew (400 ps) PLL clockdriver met 8 uitgangen
- Pentium en PowerPC compatibel
- uitgangsfrequentie: 25 tot 160 MHz
- uitgangen werkend op 4x, 2x en 1x de referentie-frequentie voor multi-frequency bus-toepassingen
- selecteerbare uitgangsfrequentie
- 3-state uitgangs-besturing met gelockte PLL
- intern loop-filter
- aparte analoge en digitale V_{CC} en GND-pennen
- laagfrequent testmode zonder PLL
- symmetrische uitgangsstroom: +30 mA/-30 mA
- ESD-beveiligd tot 2 kV
- behuizing: 28-pens PLCC
- bedrijfstemperatuur:
  CGS701AV: 0 tot 70 °C
  CGS701ATV: -40 tot +85 °C
- fabrikant: National Semiconductor



Figuur 9/9.3.3-54: Logisch schema van de CGS701A.

Supply Voltage (V_{CC})	−0.5V to +7.0V
DC Input Voltage Diode Current (I_{IK})	
V = −0.5V	−20 mA
V = V_{CC} + 0.5V	+20 mA
DC Input Voltage (V_I)	−0.5V to V_{CC} + 0.5V
DC Output Diode Current (I_O)	
V = −0.5V	−20 mA
V = V_{CC} + 0.5V	+20 mA
DC Output Voltage (V_O)	−0.5V to V_{CC} + 0.5V
DC Output Source or Sink Current (I_O)	±60 mA
DC V_{CC} or Ground Current per Output Pin (I_{CC} or I_{GND})	±60 mA
Storage Temperature (T_{STG})	−65°C to +150°C
Junction Temperature	150°C
Power Dissipation (Static and Dynamic) (Note B)	1400 mW

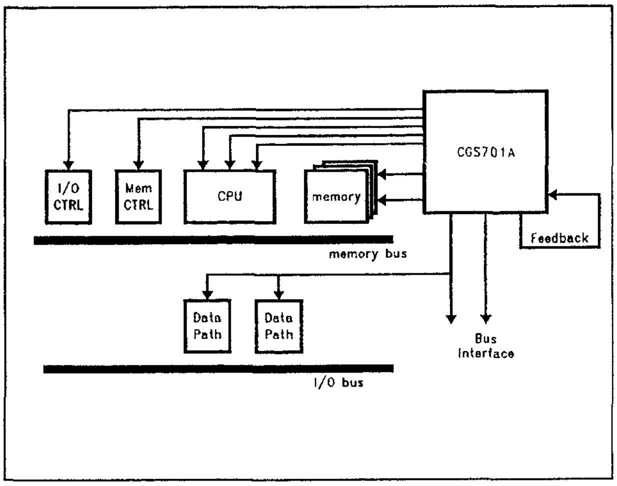
Tabel 9/9.3.3-38: Maximaal toegelaten waarden van de CGS701A.

9.3 Clock-drivers/clock-generatoren

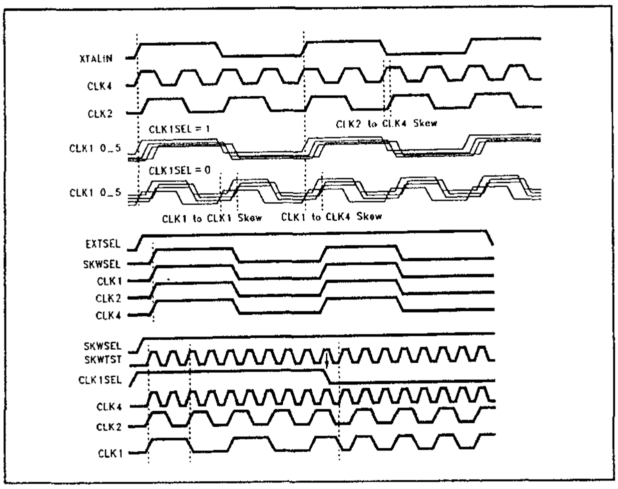
Input						Output		
CLK1 SEL	EXT SEL	EXT CLK	SKW SEL	SKW TST	TRI-STATE	CLK4	CLK2	CLK1
*H	L	X	L	X	H	4 x f in	2 x f in	f in
*L	L .	X	L	X	H	4 x f in	2 x f in	2 x f in
X	H	⎍	X	X	H	⎍	⎍	⎍
H	L	X	H	⎍	H	1 x f tst	½ x f tst	¼ x f tst
L	L	X	H	⎍	H	1 x f tst	½ x f tst	½ x f tst
X	X	X	X	X	L	Z	Z	Z

*Steady state phase, frequency lock

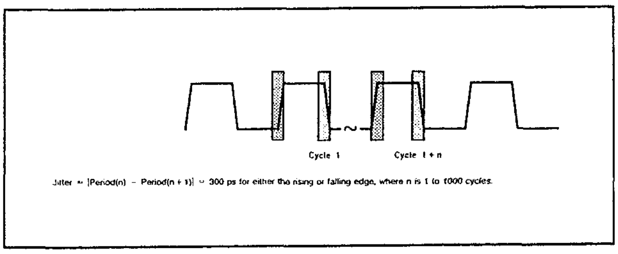
Figuur 9/9.3.3-55: Waarheidstabel van de CGS701A.



Figuur 9/9.3.3-56: Toepassingsvoorbeeld van de CGS701A.



Figuur 9/9.3.3-57: Golfvormen en timing bij de CGS701A.



Figuur 9/9.3.3-58: Jitter bij de CGS701A.

9.3 Clock-drivers/clock-generatoren

Over recommended operating free air temperature range. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter	V_{CC} = 4.5V–5.5V T = 0°C to 70°C Min	Typ	Max	Units	Conditions
V_{IH}	Minimum Input High Level Voltage	2.0			V	
V_{IL}	Maximum Input Low Level Voltage			0.8	V	
V_{OH}	Minimum Output High Level Voltage	V_{CC} − 0.1			V	I_{OUT} = −50 µA
		V_{CC} − 0.6				I_{OH} = −30 mA
V_{OL}	Maximum Output Low Level Voltage			0.1	V	I_{OUT} = 50 µA
				0.6		I_{OL} = 30 mA
I_{OHD}	High Level Output Current	−50	−110	−170	mA	V_{OH} = V_{CC} − 1.0V
I_{OLD}	Low Level Output Current	50	110	170	mA	V_{OL} = 1.0V
I_{IN}	Leakage Current	−50		50	µA	V_{IN} = 0.4V or 4.6V
$I_{OZL/H}$	Output Leakage Current					
C_{IN}	Input Capacitance			10.0	pF	
I_{CC}	Quiescent digital + analog Current (No Load)		3.0	5.0	mA	V_{IN} = V_{CC}, GND
I_{CCT}	I_{CC} per TTL Input			2.5		V_{IN} = V_{CC} − 2.1, GND

Tabel 9/9.3.3-39: Gelijkspannings-kenmerken van de CGS701A.

9.3 Clock-drivers/clock-generatoren

Over recommended operating free air temperature range. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter				V_{CC} = 4.5V–5.5V F_{IN} = 25 to 40 MHz T = 0°C to +70°C C_L = Circuit 1 R_L = Circuit 1			Units	Notes
					Min	**Typ**	**Max**		
t_{rise}	Output Rise	CLK4 CLK2 CLK1	0.8V to 2.6V 1.0V to V_{CC} − 1.0V 1.0V to V_{CC} − 1.0V				2.0	ns	(Note 1, 7)
		All	0.8V to 2.0V				1.5		
t_{fall}	Output Fall	CLK4 CLK2 CLK1	2.6V to 0.8V V_{CC} − 1.0V to 1.0V V_{CC} − 1.0V to 1.0V				2.0	ns	(Note 1, 7)
		All	0.8V to 2.0V				1.5		
t_{SKEW}	Maximum Edge-to-Edge Output Skew		+ to + Edges + to + Edges + to + Edges	CLK1_CLK1 CLK1_CLK4 CLK2_CLK4			400 1000 1000	ps	(Note 2, 7)
t_{LOCK}	Time to Lock the Output to the Synch Input					20	100	μs	
t_{CYCLE}	Output Duty Cycle			CLK1 Outputs CLK2 Output CLK4 Output	49 49 35		51 51 65	%	(Note 3, 7)
J_{LT}	Output Jitter (Long Term)						0.3	ns	(Note 4, 7)
t_{PD}	Propogation Delay from XTALIN to FBKOUT				−0.3		+0.3	ns	(Notes 2, 4, 5, 6, 7)
F_{MIN}	Minimum XTALIN Frequency						15	MHz	
F_{MAX}	Maximum XTALIN Frequency						43	MHz	

Note 1: t_{rise} and t_{fall} parameters are measured at the pin of the device.

Note 2: Skew is measured at 50% of V_{CC} for CLK1 and CLK2 while it is being measured at 1.4V for CLK4. Limits are guaranteed by design.

Note 3: Output duty cycle is measured at $V_{DD}/2$ for CLK1 and CLK2 while it is being measured at 1.4V for CLK4. Limits are guaranteed by design.

Note 4: Jitter parameter is characterized and is guaranteed by design only. It measures the uncertainty of either the positive or the negative edge over 1000 cycles. It is also measured at output levels of $V_{CC}/2$. Refer to *Figure 3* for further explanation.

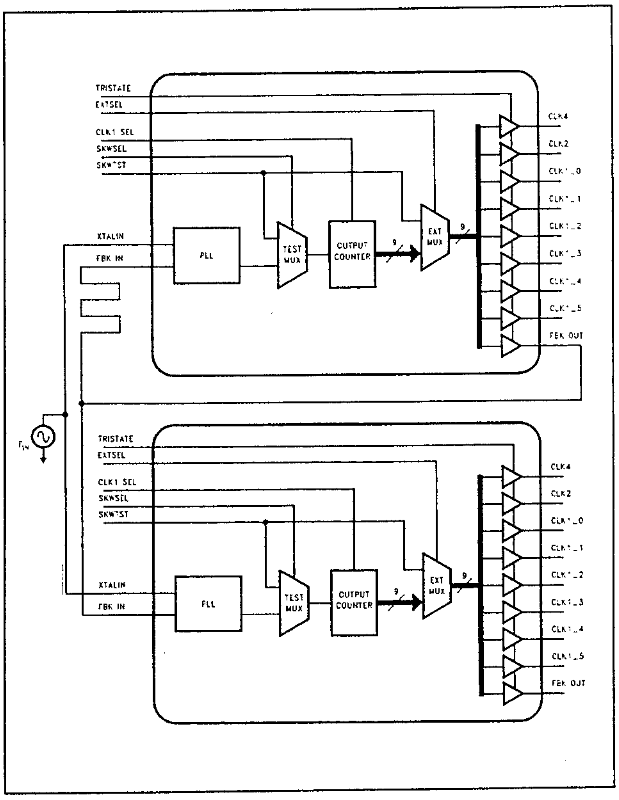
Note 5: Measured from the ref. input to any output pin. The length of the feedback and XTALIN traces will impact this delay time.

Note 6: This parameter includes pin-to-pin skew, longterm jitter over 1000 cycles, part-to-part variation as well as propagation delay thru the device.

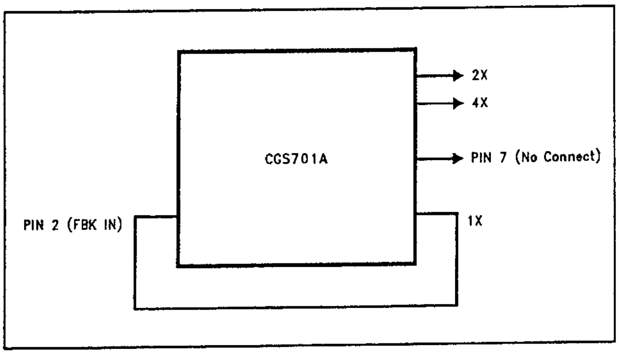
Note 7: The GNDA pins of the 701 must be as free of noise as possible for minimum jitter. Separate analog ground plane is recommended for the PCB. Also the V_{CCA} pin requires extra filtering to further reduce noise. Ferrite beads for filtering and bypass capacitors are suggested for the V_{CCA} pin.

Tabel 9/9.3.3-40: Schakeltijden van de CGS701A.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.3-59: Cascade-schakeling van twee CGS701A's.



Figuur 9/9.3.3-60: Externe feedback bij de CGS701A. Elke 1X-uitgang (CLK1_0 t/m CLK1_5) kan in de plaats van de FBK-uitgang worden gebruikt. Is dat het geval, dan is pen 7 een no connect en kunnen de 1x-uitgangen niet meer in de 2x-mode worden gebruikt.

CGS702

low skew 1-to-9 PLL

CMOS clockdriver met verbeterde EMI

De CGS702 is een kant en klare clockdriver voor moderne, snelle processoren. Voor de negen uitgangssignalen kan naar keuze worden uitgegaan van drie vaste ingangsreferenties. De CGS702 is een, qua EMI onderdrukking, verbeterde versie van de CGS700. De XTALIN-ingangspen kan op een kristaloscillator met een frequentie van 25, 33 of 40 MHz worden aangesloten.

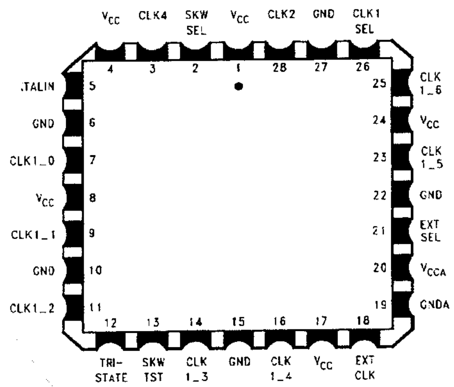
Deze ingangsfrequentie wordt door de PLL (met ladingspomp en intern loop-filter) met maximaal 4 vermenigvuldigd. De CGS702 heeft een 3-state besturingspen om de uitgangen te sperren, terwijl de PLL nog steeds ge"locked" is. Door deze functie kan de print worden getest zonder op het locken te hoeven wachten.

Daarnaast zijn er twee pennen (EXTSEL en EXTCLK) waarmee de chip via een externe bron kan worden getest. Door de EXTSEL-pen HOOG te maken schakelt de ingang van de External-Clock_Mux over van de uitgang van de VCO + Counter naar de externe clock-ingang EXTCLK. De CLK1SEL-pen verandert de uitgangsfrequentie van de CLK1_0 tot en met CLK1_6 uitgangen. Bij normaal bedrijf (als de CLK1SEL-pen HOOG is) hebben deze uitgangen dezelfde frequentie als de ingangskristal-oscillator, terwijl op CLK2 en CLK4 respectievelijk de dubbele en de viervoudige ingangsfrequentie verschijnen. Als de CLK1SEL-pen LAAG is gemaakt, krijgen de CLK1-uitgangen de dubbele ingangsfrequentie (dezelfde als op de CLK2-uitgang), terwijl CLK4 nog steeds de viervoudige frequentie afgeeft. Dan zijn er nog twee pennen voor uitgebreider testmogelijkheden: met de SKWSEL en SKWTST pennen kunnen de uitgang van de counter en de skew van de uitgangsdrivers worden getest, zonder gebruik te maken van de VCO. In deze testmode is de CLK4 frequentie gelijk aan de SKWTST ingangsfrequentie, terwijl CLK2 hiervan de helft is en CLK1 een kwart (zie de waarheidstabel).

(wordt vervolgd)

9.3 Clock-drivers/clock-generatoren

Pin	Name	Description
1	V_{CC}	Digital V_{CC}
2	SKWSEL	Skew Test Selector Pin
3	CLK4	4x Clock Output
4	V_{CC}	Digital V_{CC}
5	XTALIN	Crystal Oscillator Input
6	GND	Digital Ground
7	CLK1_0	1x Clock Output
8	V_{CC}	Digital V_{CC}
9	CLK1_1	1x Clock Output
10	GND	Digital Ground
11	CLK1_2	1x Clock Output
12	TRI-STATE	Output TRI-STATE Control
13	SKWTST	Skew Testing Pin
14	CLK1_3	1x Clock Output
15	GND	Digital Ground
16	CLK1_4	1x Clock Output
17	V_{CC}	Digital V_{CC}
18	EXTCLK	External Test Clock
19	GNDA	Analog Ground
20	V_{CCA}	Analog V_{CC}
21	EXTSEL	External Clock MUX Selector
22	GND	Digital Ground
23	CLK1_5	1x Clock Output
24	V_{CC}	Digital V_{CC}
25	CLK1_6	1x Clock Output
26	CLK1SEL	CLK1 Multiplier Selector
27	GND	Digital Ground
28	CLK2	2x Clock Output

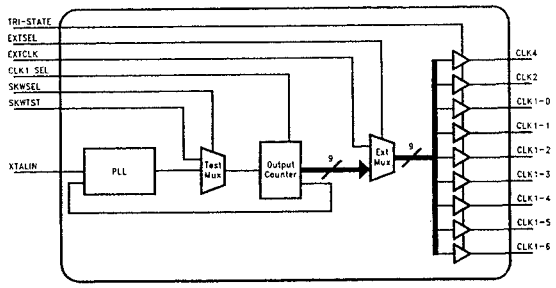


Figuur 9/9.3.3-61: Aansluitingen (28-pens PLCC) van de CGS702.

Hierbij geldt de functionaliteit van CLK1SEL ook.

Specificaties

- low skew (500 ps) PLL clockdriver met 9 uitgangen
- verminderde EMI t.o.v. de CGS700
- Pentium en PowerPC compatibel
- uitgangsfrequentie: 25 tot 160 MHz
- uitgangen werkend op 4x, 2x en 1x de referentie-frequentie voor multi-frequency bus-toepassingen
- selecteerbare uitgangsfrequentie
- 3-state uitgangs-besturing met gelockte PLL
- intern loop-filter
- aparte analoge en digitale V_{CC} en GND-pennen
- laagfrequent testmode zonder PLL
- symmetrische uitgangsstroom: +30 mA/-30 mA
- ESD-beveiligd tot 2 kV
- behuizing: 28-pens PLCC
- bedrijfstemperatuur: 0 tot 70 °C (CGS702V)
- fabrikant: National Semiconductor



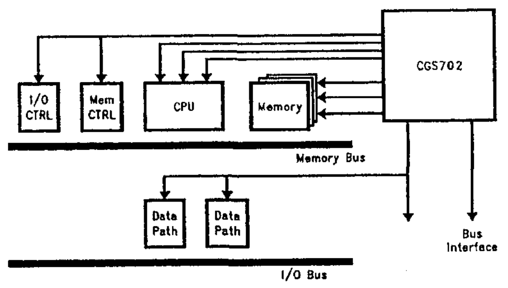
Figuur 9/9.3.3-62: Logisch schema van de CGS702.

Input						Output		
CLK1 SEL	EXT SEL	EXT CLK	SKW SEL	SKW TST	TRI-STATE	CLK4	CLK2	CLK1
H*	L	X	L	X	H	4x f_{IN}	2x f_{IN}	f_{IN}
L*	L	X	L	X	H	4x f_{IN}	2x f_{IN}	2x f_{IN}
X	H	⎍	X	X	H	⎍	⎍	⎍
H	L	X	H	⎍	H	1x f_{TST}	½x f_{TST}	¼x f_{TST}
L	L	X	H	⎍	H	1x f_{TST}	½x f_{TST}	½x f_{TST}
X	X	X	X	X	L	Z	Z	Z

*Steady state phase, frequency lock.

Figuur 9/9.3.3-63: Waarheidstabel van de CGS702.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.3-64: Toepassingsvoorbeeld van de CGS702.

Supply Voltage (V_{CC})	−0.5V to 7.0V
DC Input Voltage Diode Current (I_{IK})	
V = −0.5V	−20 mA
V = V_{CC} + 0.5V	+20 mA
DC Input Voltage (V_I)	−0.5V to V_{CC} + 0.5V
DC Output Diode Current (I_O)	
V = −0.5V	−20 mA
V = V_{CC} + 0.5V	+20 mA
DC Output Voltage (V_O)	−0.5V to V_{CC} + 0.5V
DC Output Source or Sink Current (I_O)	±60 mA
DC V_{CC} or Ground Current per Output Pin (I_{CO} or I_{GND})	±60 mA
Storage Temperature (T_{STG})	−65°C to +150°C
Junction Temperature	150°C
Power Dissipation (Static and Dynamic) (Note 2)	1400 mW

Tabel 9/9.3.3-41: Maximaal toegelaten waarden van de CGS702.

over recommended operating free air temperature range. All typical values are measured at V_{CC} = 5V, T_A = 25°C

Symbol	Parameter	Conditions	V_{CC}	V_{CC} = 4.5V to 5.5V, T = 0°C to 70°C Min	Typ	Max	Units
V_{IH}	Minimum Input High Level Voltage		4.5 5.5	2.0 2.0			V
V_{IL}	Maximum Input Low Level Voltage		4.5 5.5			0.8 0.8	V
V_{OH}	Minimum Output High Level Voltage	I_{OH} = −50 μA	4.5 5.5	4.4 5.4	4.4 5.4		V
		I_{OH} = −30 mA	4.5 5.5	V_{CC} − 0.6 V_{CC} − 0.6			
V_{OL}	Maximum Output Low Level Voltage	I_{OL} = 50 μA	4.5 5.5			0.1 0.1	V
		I_{OL} = 30 mA	4.5 5.5			0.6 0.6	
I_{OH}	High Level Output Current	V_{OH} = V_{CC} − 1.0V	4.5	50	110	170	mA
I_{OL}	Low Level Output Current	V_{OL} = 1.0V	4.5	50	110	170	mA
I_{IN}	Leakage Current	V_{IN} = 0.4V or 4.6V	4.5 5.5	−50		50.0	μA
$I_{OZL/H}$	Output Leakage Current	V_{IN} = GND V_{OUT} = V_{CC} or GND	5.5	−5.0		+5.0	μA
C_{IN}	Input Capacitance		4.5 5.0			10.0	pF
I_{CC}	Quiescent Analog + Digital Current (No Load)	V_{IN} = V_{CC} or GND	5.5		3	5.0	mA
I_{CCT}	I_{CC} per TTL Input	V_{IN} = V_{CC} − 2.1 or GND	5.5			2.5	

Tabel 9/9.3.3-42: Gelijkspannings-kenmerken van de CGS702.

9.3 Clock-drivers/clock-generatoren

over recommended operating free air temperature range. All typical values are measured at V_{CC} = 5V, T_A = 25°C

Symbol	Parameter			V_{CC} = 4.5V to 5.5V, f_{IN} = 25 MHz to 40 MHz, T = 0°C to 70°C, C_L = Circuit 1 and 2, R_L = Circuit 1 and 2			Units	Notes
				Min	Typ	Max		
t_{RISE}	Output Rise	CLK4 CLK2 CLK1	0.8V to 2.6V 1.0V to V_{CC} − 1.0V 1.0V to V_{CC} − 1.0V			2.0	ns	(Note 1)
t_{FALL}	Output Fall	CLK4 CLK2 CLK1	2.6V to 0.8V V_{CC} − 1.0V to 1.0V V_{CC} − 1.0V to 1.0V			2.0	ns	(Note 1)
t_{SKEW}	Maximum Edge-to-Edge Output Skew	+ to + Edges + to + Edges + to + Edges	CLK1_CLK1 CLK1_CLK4 CLK2_CLK4			500 1000 1500	ps	(Note 2)
t_{LOCK}	Time to Lock the Output to the XTALIN Input					100	µs	
t_{CYCLE}	Output Duty Cycle		CLK1 Outputs CLK2 Output CLK4 Output	49 49 35		51 51 65	%	(Note 3)
J_{LT}	Output Jitter (Long Term)					300	ps	(Notes 4, 5)
J_{CC}	Output Jitter (Cycle to Cycle)	CLK1		−75		+75	ps	(Notes 4, 5, 6)
		CLK2			±250		ps	(Notes 4, 5, 7)
		CLK4			±250		ps	(Notes 4, 5, 7)
F_{MIN}	Minimum XTALIN Frequency					15	MHz	
F_{MAX}	Maximum XTALIN Frequency					43	MHz	

Note 1: t_{RISE} and t_{FALL} parameters are measured at the pin of the device

Note 2: Skew is measured at 50% of V_{CC} for CLK1 and CLK2. While it is measured at 1.4V for CLK4.

Note 3: Output duty cycle is measured at $V_{DD}/2$ for CLK1 and CLK2. While it is measured at 1.4V for CLK4.

Note 4: Jitter parameter is characterized and is guaranteed by design only. It measures the uncertainty of either the positive or the negative edge over 1000 cycles. It is also measured at output levels of $V_{CC}/2$. Refer to *Figure 2* for further explanation.

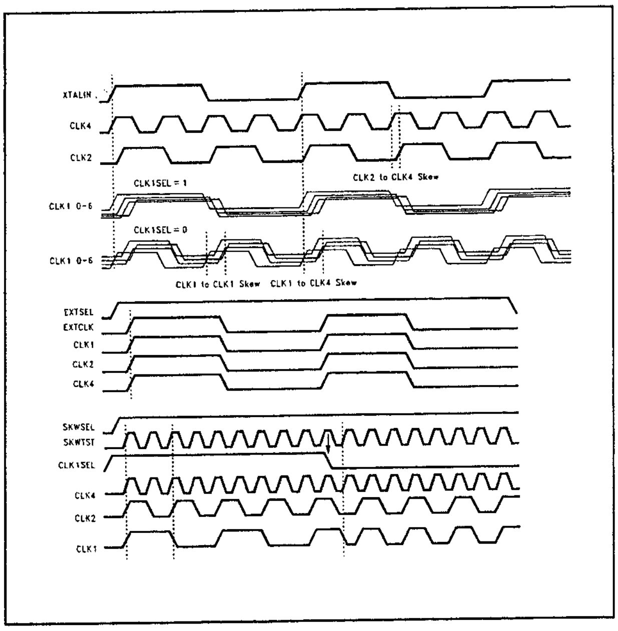
Note 5: The GNDA pins of the 702 must be as free of noise as possible for minimum jitter. Separate analog ground plane is recommended for the PCB. Also the V_{CCA} pin requires extra filtering to further reduce noise. Ferrite beads for filtering and bypass capacitors are suggested for V_{CCA} pin.

Note 6: Cycle to Cycle Jitter is measured at $V_{CC/2}$.

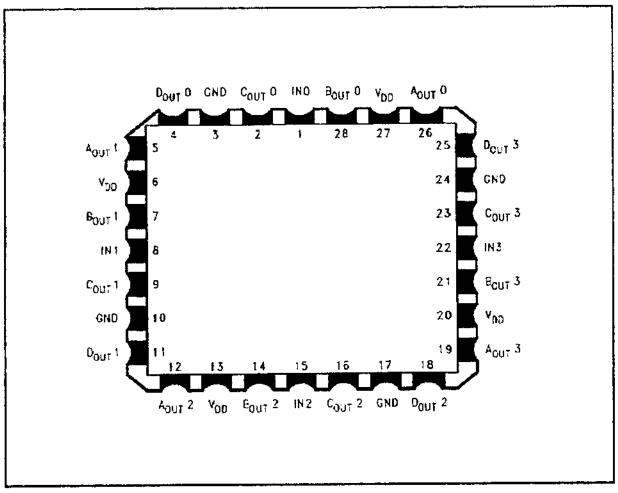
Note 7: Cycle to Cycle Jitter for CLK2 and CLK4 is only for 25°C, 5V measured @ $V_{CC/2}$.

Tabel 9/9.3.3-43: Schakeltijden van de CGS702.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.3-65: Golfvormen en timing bij de CGS702.



Figuur 9/9.3.3-66: Aansluitingen (28-pens PLCC) van de CGS2534.

CGS2534

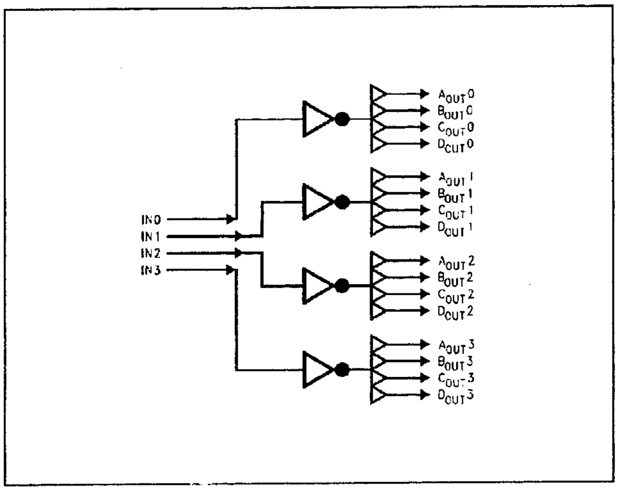
quad 1-to-4 TTL clockdriver

De CGS2534 is een clockdriver die speciaal werd ontwikkeld voor de aansturing van geheugen-arrays (grote fan-out plus grote snelheid). De CGS2534 bestaat uit vier groepen 1-naar-4 TTL-compatibele, inverterende drivers.

De CGS2534V is de commerciële uitvoering en de CGS2534TV de industriële met een groter temperatuurbereik.

Specificaties

- 4 x 1-naar-4 lijnen clockdriver
- gegarandeerde skew (350 ps pin-naar-pin)
- symmetrische uitgangsstroom: +36 mA/-36 mA
- enkele +5 V voeding
- ESD-beveiligd tot 2 kV
- behuizing: 28-pens PLCC
- bedrijfstemperatuur: CGS2534V: 0 tot 70 °C CGS2534TV: -40 tot +85 °C
- fabrikant: National Semiconductor



Figuur 9/9.3.3-67: Logisch schema van de CGS2534.

Input	Output
In(0–3)	$\overline{ABCD}$ Out (0–3)

Figuur 9/9.3.3-68: Waarheidstabel van de CGS2534.

9.3 Clock-drivers/clock-generatoren

Supply Voltage (V_{CC})	7.0V
Input Voltage (V_I)	7.0V
Input Current	−30 mA
Current Applied to Output (High/Low)	twice the rated I_{OH}/I_{OL} mA
Operating Temperature	
Industrial Grade	−40°C to +85°C
Commercial Grade	0°C to +70°C
Storage Temperature Range	−65°C to +150°C
Airflow	Typical θ_{JA}
0 LFM	62°C/W
225 LFM	43°C/W
500 LFM	34°C/W
900 LFM	27°C/W

Tabel 9/9.3.3-44: Maximaal toegelaten waarden van de CGS2534.

Over recommended operating conditions unless otherwise specified. All typical values are measured at V_{CC} = 5V, T_A = 25°C

Symbol	Parameter	Conditions	Min.	Typ	Max	Unit
V_{IL}	Input Low Level Voltage				0.8	V
V_{IH}	Input High Level Voltage		2.0			V
V_{IK}	Input Clamp Voltage	V_{CC} = 4.5V, I_I = −18 mA			−1.2	V
V_{OH}	High Level Output Voltage (Note 5)	I_{OH} = −3 mA, V_{CC} = 4.5V	2.4			V
		I_{OH} = −36 mA, V_{CC} = 4.5V	2.0			
V_{OL}	Low Level Output Voltage (Note 5)	V_{CC} = 4.5V, I_{OL} = 36 mA		0.4	0.5	V
		V_{CC} = 4.5V, I_{OL} = 50 µA		0.1	0.1	
I_I	Input Current @ Max Input Voltage	V_{CC} = 5.5V, V_{IH} = 7V			7	µA
I_{IH}	High Level Input Current	V_{CC} = 5.5V, V_{IH} = 2.7V			5	µA
I_{IL}	Low Level Input Current	V_{CC} = 5.5V, V_{IL} = 0.4V	−5			µA
I_{OS}	Output Drive Current	V_{CC} = 5.5V, V_O = 0V	−100		275	mA
I_{OLD}	Minimum Dynamic Output Current (Note 1)	V_{CC} = 5.5V, V_{OLD} = 0.8V	70			mA
I_{OHD}	Minimum Dynamic Output Current (Note 1)	V_{CC} = 5.5V, V_{OHD} = 2.0V	−90			mA
I_{CCT}	Maximum I_{CC}/Input	V_{CC} = 5.5V			3.6	mA
I_{CC}	Supply Current '2534 (Quiescent)	V_{CC} = 5.5V			235	µA
C_{IN}	Input Capacitance	V_{CC} = 5V		5		pF

Note 1: Maximum test duration 2.0 ms, one output loaded at a time.

Tabel 9/9.3.3-45: Gelijkspannings-kenmerken van de CGS2534.

9.3 Clock-drivers/clock-generatoren

Over recommended operating conditions unless otherwise specified. All typical values are measured at V_{CC} = 5V, T_A = 25°C

Symbol	Parameter	CGS2534						Unit
		T_A = +25°C, C_L = 50 pF, R_L = 500Ω			T_A = −40°C to +85°C, C_L = 50 pF, R_L = 500Ω			
		Min	Typ	Max	Min	Typ	Max	
t_{MAX}	Frequency Maximum					125		MHz
t_{PLH}	Low-to-High Propagation Delay IN_n to OUT_n			3.5			3.5	ns
t_{PHL}	High-to-Low Propagation Delay IN_n to OUT_n			3.5			3.5	ns
t_{OSHL}	Maximum Skew Common Edge Output-to-Output Variation (Note 2)		150	350		300	350	ps
t_{OSLH}	Maximum Skew Common Edge Output-to-Output Variation (Note 2)		150	350		300	350	ps
t_{RISE}, t_{FALL}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V)			1.5			1.5	ns
t_{HIGH} t_{LOW}	Pulse Width Duration High Pulse Width Duration Low (Note 4)	4 4			4 4			ns
t_{PVLH}	Part-to-Part Variation of Low-to-High Transitions (Note 3)			650			650	ps
t_{PVHL}	Part-to-Part Variation of High-to-Low Transitions (Note 3)			650			650	ps

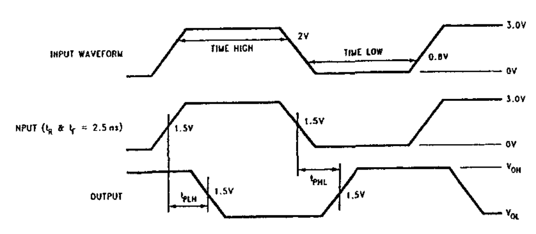
Note 2: Output-to-Output Skew is defined as the absolute value of the difference between the actual propagation delay for any outputs within the same packaged device. The specifications apply to any outputs switching in the same direction either HIGH to LOW (t_{OSHL}) or LOW to HIGH (t_{OSLH}). Limits are guaranteed by design.

Note 3: Part to Part transition variation is defined as the absolute difference between the propagation delay of any output on one device to any output on another device. The specifications apply to any outputs switching in the same direction either HIGH to LOW (t_{PVHL}) or LOW to HIGH (t_{PVLH}). Limits are guaranteed by design.

Note 4: Time high is measured at 2.0V, time low is measured at 0.8V.

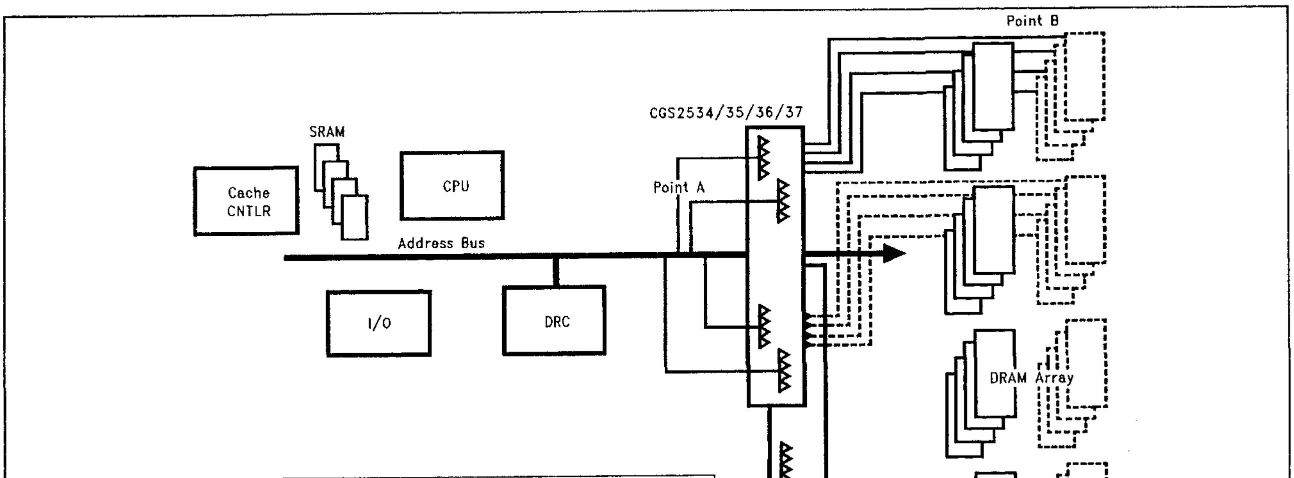
Note 5: For increased drive, output pins may be connected together when the corresponding input pins are connected together.

Tabel 9/9.3.3-46: Schakeltijden van de CGS2534.



Figuur 9/9.3.3-69: Golfvormen en timing bij de CGS2534 (zie ook tabel 9/9.3.3-46).

9.3 Clock-drivers/clock-generatoren



Device	V_{CC}	I/O	Output Configuration
2534	5	TTL	Inverting quad 1-4
2535	3 or 5	CMOS	Non-inverting quad 1-4
2536	3 or 5	CMOS	Inverting, Non-inverting, ÷ 2
2537	5	TTL	Inverting quad 1-4 with series 8Ω output resistors

Figuur 9/9.3.3-70: De aansturing van geheugen-arrays met de CGS2534, 2535, 2536 of 2537.

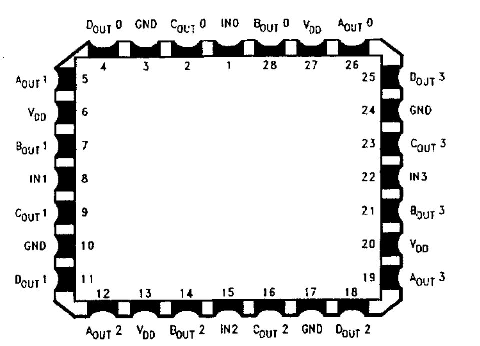
CGS2535

quad 1-to-4 CMOS clockdriver

De CGS2535 is een CMOS clockdriver voor de aansturing van geheugen-arrays (grote fan-out en snelheid). De stijg- en afvaltijden van deze driver voldoen aan de door de 90 en 100 MHz Pentium processoren gestelde eisen. De CGS2535 is een niet-inverterende 4-naar-16 driver met CMOS I/O-structuren. De CGS2535V is de commerciële en de CGS2535TV de industriële uitvoering met groter temperatuurbereik.

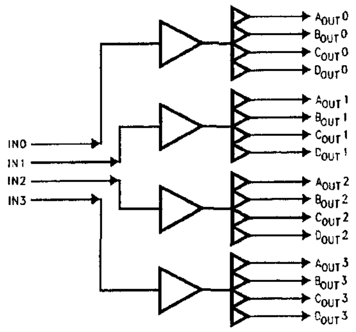
Specificaties

- 4 x 1-naar-4 lijnen clockdriver
- gegarandeerde skew (350 ps pin-naar-pin)
- symmetrische uitgangsstroom: +24 mA/-24 mA
- enkele +3,3 V of +5 V voeding
- ESD-beveiligd tot 2 kV
- behuizing: 28-pens PLCC
- bedrijfstemperatuur:
  CGS2535V: 0 tot 70 °C
  CGS2535TV: -40 tot +85 °C
- fabrikant: National Semiconductor



Figuur 9/9.3.3-71: Aansluitingen (28-pens PLCC) van de CGS2535.

9.3 Clock-drivers/clock-generatoren



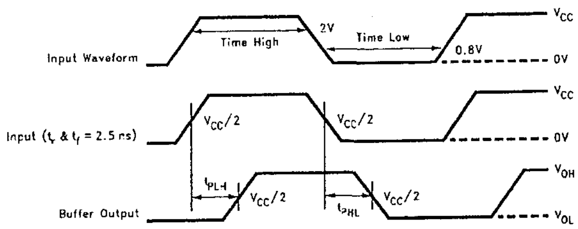
Figuur 9/9.3.3-72: Logisch schema van de CGS2535.

Supply Voltage (V_{CC})	7.0V
Input Voltage (V_I)	7.0V
Input Current	–30 mA
Current Applied to Output (High/Low)	Twice the Rated I_{OH}/I_{OL}
Operating Temp. Industrial grade	–40˚C to +85˚C
Comm. grade	0˚C to +70˚C
Storage Temperature Range	–65˚C to +150˚C
Airflow	Typical θ_{JA}
0 LFM	62˚C/W
225 LFM	43˚C/W
500 LFM	34˚C/W
900 LFM	27˚C/W

Tabel 9/9.3.3-47: Maximaal toegelaten waarden van de CGS2535.

Input	Output
In (0–3)	ABCD Out (0–3)

Figuur 9/9.3.3-73: Waarheidstabel van de CGS2535.



Figuur 9/9.3.3-74: Golfvormen en timing bij de CGS2535.

9.3 Clock-drivers/clock-generatoren

Over recommended operating free air temperature range. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter	Conditions	V_{CC} (V)	Min	Typ	Max	Units
V_{IH}	Input High Level Voltage		3.0	2.1			V
			4.5	3.15			
			5.5	3.85			
V_{IL}	Input Low Level Voltage		3.0			0.9	V
			4.5			1.35	
			5.5			1.65	
V_{IK}	Input Clamp Voltage	I_I = −18 mA	4.5			−1.2	V
V_{OH}	High Level Output Voltage	I_{OH} = −50 µA	3.0	2.9			V
			4.5	4.4			
			5.5	5.4			
		I_{OH} = −24 mA	3.0	2.46			V
			4.5	3.76			
			5.5	4.76			
V_{OL}	Low Level Output Voltage	I_{OL} = 50 µA	3.0			0.1	V
			4.5			0.1	
			5.5			0.1	
		I_{OL} = 24 mA	3.0			0.44	V
			4.5			0.44	
			5.5			0.44	
I_I	Input Current @ Max Input Voltage	V_{IH} = 7V	5.5			7	µA
		V_{IH} = V_{CC}	3.6			1	
I_{IH}	High Level Input Current	V_{IH} = V_{CC}	5.5			5	µA
I_{IL}	Low Level Input Current	V_{IL} = 0V	5.5	−5			µA
I_{OLD}	Minimum Dynamic Output Current (Note 2)	V_{OLD} = 1.65V (max)	5.5	75			mA
		V_{OLD} = 0.9V (max)	3.0 (Note 3)	36			
I_{OHD}	Minimum Dynamic Output Current (Note 2)	V_{OHD} = 3.85V (min)	5.5	−75			mA
		V_{OHD} = 2.1V (min)	3.0 (Note 3)	−25			
I_{CC}	Supply Current		3.6			75	µA
			5.5			235	
C_{IN}	Input Capacitance		5.0		5		pF

Note 2: Maximum test duration 2.0 ms, one output loaded at a time.

Note 3: At V_{CC} = 3.3V, I_{OLD} = 55 mA min; @ V_{CC} = 3.6V, I_{OLD} = 64 mA min

At V_{CC} = 3.3V, I_{OHD} = −58 mA min; @ V_{CC} = 3.6V, I_{OHD} = −66 mA min

Tabel 9/9.3.3-48: Gelijkspannings-kenmerken van de CGS2535 bij 3,3 V en 5 V voeding.

9.3 Clock-drivers/clock-generatoren

Over recommended operating free air temperature specified. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter	V_{CC} (V) (Note 11)	CGS2535 T_A = +25°C C_L = 50 pF, R_L = 500Ω			T_A = −40°C to +85°C (Note 7) C_L = 50 pF, R_L = 500Ω			Units
			Min	Typ	Max	Min	Typ	Max	
f_{max}	Frequency Maximum	3.0 5.0					100 125		MHz
t_{PLH}	Low-to-High Propagation Delay CK to O_n @ 1 MHz (Note 13)	3.3 5.0			4.5 3.5	2.5 2.0		4.5 3.5	ns
t_{PHL}	High-to-Low Propagation Delay CK to O_n @ 1 MHz (Note 13)	3.3 5.0			4.5 3.5	2.5 2.0		4.5 3.5	ns
t_{PLH}	Low-to-High Propagation Delay CK to O_n @ 66.67 MHz (Note 13) , (Note 14)	3.3 5.0			5.0 4.5	2.5 2.0		5.0 4.5	ns
t_{PHL}	High-to-Low Propagation Delay CK to O_n @ 66.67 MHz (Note 13) , (Note 14)	3.3 5.0			5.0 4.5	2.5 2.0		5.0 4.5	ns
t_{OSLH}	Maximum Skew Common Edge Output-to-Output Variation (Note 4) , (Note 6)	3.3 5.0		150 150	350 350		300 300	350 350	ps
t_{OSHL}	Maximum Skew Common Edge Output-to-Output Variation (Note 4) , (Note 6)	3.3 5.0		150 150	350 350		300 300	350 350	ps
t_{rise}, t_{fall}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V) (Note 8)	3.3 5.0			3.5 3.0			3.5 3.0	ns
t_{rise}, t_{fall}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V) (Note 9) , (Note 14)	3.3 5.0			0.8 0.4			1.0 0.6	ns
t_{rise}, t_{fall}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V) (Note 10) , (Note 14)	3.3 5.0			1.0 0.7			1.0 0.9	ns
t_{High}	Pulse Width Duration High (Note 5) , (Note 6) , (Note 14)	3.3 5.0	4.0 4.0			4.0 4.0			ns
t_{Low}	Pulse Width Duration Low (Note 5) , (Note 6) , (Note 14)	3.3 5.0	4.0 4.0			4.0 4.0			
t_{PVLH}	Part-to-Part Variation of Low-to-High Transitions @ 1 MHz (Note 13)	3.3 5.0			650 650			1.0 650	ns ps
t_{PVHL}	Part-to-Part Variation of High-to-Low Transitions @ 1 MHz (Note 13)	3.3 5.0			650 650			1.0 650	ns ps
t_{PVLH}	Part-to-Part Variation of Low-to-High Transitions @ 66.67 MHz (Note 13) , (Note 14)	3.3 5.0			1.0 1.0			1.0 1.0	ns
t_{PVHL}	Part-to-Part Variation of High-to-Low Transitions @ 66.67 MHz (Note 13) , (Note 14)	3.3 5.0			1.0 1.0			1.0 1.0	

Note 4: Output-to-Output Skew is defined as the absolute value of the difference between the actual propagation delay for any outputs within the same packaged device and output bank. The specifications apply to any outputs switching in the same direction either LOW to HIGH (t_{OSLH}) or HIGH to LOW (t_{OSHL}).

Note 5: Time high is measured with outputs at 2.0V or above. Time low is measured with outputs at 0.8V or below. Input waveform characteristics for t_{High}, t_{Low} measurement: f = 66.67 MHz, duty cycle = 50%.

Tabel 9/9.3.3-49: Schakeltijden van de CGS2535 bij 3,3 V en 5 V voeding (zie ook figuur 9/9.3.3-74).

9.3 Clock-drivers/clock-generatoren

CGS2536

quad 1-to-4 CMOS clockdriver

De CGS2536 is een iets complexere CMOS clockdriver voor de aansturing van geheugen-arrays. Net als bij de CGS2535 voldoen de stijg- en afvaltijden aan de eisen zoals die door bijvoorbeeld de 90 en 100 MHz Pentium processoren worden gesteld. De CGS2536 heeft CMOS I/O-structuren en is opgebouwd uit twee banken van acht drivers. Bij de eerste bank wordt het ingangs-clocksignaal door twee gedeeld en bij de tweede niet. Bovendien is van elke bank de ene helft inverterend en de andere helft niet.

Het deel-door-2 blok van de CGS2536 maakt gebruik van twee op de negatieve flank getriggerde flip-flop's. Tijdens het opkomen van de voedingsspanning worden de uitgangen van de inverterende flip-flop (Aout0 tot en met Dout0) HOOG, terwijl die van de niet-inverterende flip-flop (Aout1 tot en met Dout1) LAAG worden. Bovendien worden er twee flip-flop's gebruikt om de skew tussen de inverterende en niet-inverterende uitgangen te minimaliseren.

Om te garanderen dat de flip-flop's "uit-fase" opkomen, moeten de IN0 en IN1 pennen LAAG worden gehouden tijdens het aanleggen van de voedingsspanning (in elk geval zolang $V_{CC} < 3$ V).

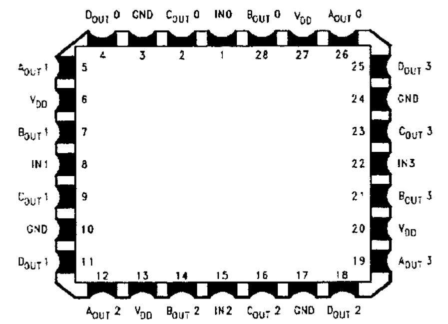
Let op: Zelfs bij een ingelaste vertraging kan nog een valse triggering optreden.

In figuur 9/9.3.3-80 is een praktische en trefzekere oplossing te zien. Deze schakeling zorgt ervoor dat de eerste clockpuls die door IN0 en IN1 wordt gezien uit een positieve halve cyclus van de kristal-oscillator bestaat.

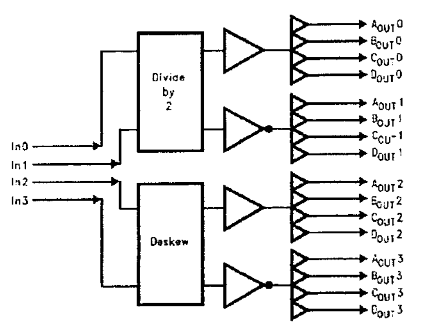
De CGS2536V is de commerciële en de CGS2536TV de industriële uitvoering met groter temperatuurbereik.

Specificaties

- 4 x 1-naar-4 lijnen clockdriver
- 8 uitgangen ÷2
  (4 x inverterend, 4 x niet-inverterend)
- 8 uitgangen ÷1
  (4 x inverterend, 4 x niet-inverterend)
- gegarandeerde skew
  (350 ps pin-naar-pin)
- symmetrische uitgangsstroom:
  +24 mA/-24 mA
- enkele +3,3 V of +5 V voeding
- ESD-beveiligd tot 2 kV
- behuizing: 28-pens PLCC
- bedrijfstemperatuur:
  CGS2536V: 0 tot 70 °C
  CGS2536TV: -40 tot +85 °C
- fabrikant: National Semiconductor



Figuur 9/9.3.3-75: Aansluitingen (28-pens PLCC) van de CGS2536.



Figuur 9/9.3.3-76: Logisch schema van de CGS2536.

9.3 Clock-drivers/clock-generatoren

Input	Output
In 0	ABCD Out (0) ÷ 2
In 1	$\overline{ABCD}$ Out (1) ÷ 2
In 2	ABCD Out (2)
In 3	$\overline{ABCD}$ Out (3)

Figuur 9/9.3.3-77: Waarheidstabel van de CGS2536.

Supply Voltage (V_{CC})	7.0V
Input Voltage (V_I)	7.0V
Input Current	−30 mA
Current Applied to Output (High/Low)	Twice the Rated IOH/IOL
Operating Temperature	
Industrial Grade	−40°C to +85°C
Commercial grade	0°C to +70°C
Storage Temperature Range	−65°C to +150°C
Airflow	Typical θ_{JA}
0 LFM	62°C/W
225 LFM	43°C/W
500 LFM	34°C/W
900 LFM	27°C/W

Tabel 9/9.3.3-50: Maximaal toegelaten waarden van de CGS2536.

Over recommended operating free air temperature range. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter	Conditions	V_{CC} (V)	Min	Typ	Max	Units
V_{IH}	Input High Level Voltage		3.0	2.1			V
			4.5	3.15			
			5.5	3.85			
V_{IL}	Input Low Level Voltage		3.0			0.9	V
			4.5			1.35	
			5.5			1.65	
V_{IK}	Input Clamp Voltage	I_I = −18 mA	4.5			−1.2	V
V_{OH}	High Level Output Voltage	I_{OH} = −50 μA	3.0	2.9			V
			4.5	4.4			
			5.5	5.4			
		I_{OH} = −24 mA	3.0	2.46			V
			4.5	3.76			
			5.5	4.76			
V_{OL}	Low Level Output Voltage	I_{OL} = 50 μA	3.0			0.1	V
			4.5			0.1	
			5.5			0.1	
		I_{OL} = 24 mA	3.0			0.44	V
			4.5			0.44	
			5.5			0.44	
I_I	Input Current @ Max Input Voltage	V_{IH} = 7V	5.5			7	μA
		V_{IH} = V_{CC}	3.6			1	
I_{IH}	High Level Input Current	V_{IH} = V_{CC}	5.5			5	μA
I_{IL}	Low Level Input Current	V_{IL} = 0V	5.5	−5			μA
I_{OLD}	Minimum Dynamic Output Current*	V_{OLD} = 1.65V (max)	5.5	75			mA
		V_{OLD} = 0.9V (max)	3.0**	36			
I_{OHD}	Minimum Dynamic Output Current*	V_{OHD} = 3.85V (min)	5.5	−75			mA
		V_{OHD} = 2.1V (min)	3.0**	−25			
I_{CC}	Supply Current		3.6			75	μA
			5.5			235	
C_{IN}	Input Capacitance		5.0		5		pF

*Maximum test duration 2.0 ms, one output loaded at a time.
**At V_{CC} = 3.3V, I_{OLD} = 55 mA min; @ V_{CC} = 3.6V, I_{OLD} = 64 mA min
At V_{CC} = 3.3V, I_{OHD} = −58 mA min; @ V_{CC} = 3.6V, I_{OHD} = −66 mA min

Tabel 9/9.3.3-51: Gelijkspannings-kenmerken van de CGS2536 bij verschillende voedingsspanningen.

9.3 Clock-drivers/clock-generatoren

Over recommended operating free air temperature range. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter	V_{CC} (V) (Note 8)	CGS2536 T_A = +25°C C_L = 50 pF, R_L = 500Ω Min	Typ	Max	T_A = −40°C to +85°C (Note 4) C_L = 50 pF, R_L = 500Ω Min	Typ	Max	Units
f_{max}	Frequency Maximum	3.0 5.0					100 125		MHz
t_{PLH}	Low-to-High Propagation Delay CK to O_n	3.3 5.0			7.25 5.0			7.25 5.0	ns
t_{PHL}	High-to-Low Propagation Delay CK to O_n	3.3 5.0			5.5 4.5			5.5 4.5	ns
t_{OSLH}	Maximum Skew Common Edge Output-to-Output Variation (Notes 1, 3)	3.3 5.0		150 150	350 350		300 300	350 350	ps
t_{OSHL}	Maximum Skew Common Edge Output-to-Output Variation (Notes 1, 3)	3.3 5.0		150 150	350 350		300 300	350 350	ps
t_{rise}, t_{fall}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V) (Note 5)	3.3 5.0			4.5 3.5			4.5 3.5	ns
t_{rise}, t_{fall}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V) (Note 6)	3.3 5.0			0.8 0.4			1.0 0.6	ns
t_{rise}, t_{fall}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V) (Note 7)	3.3 5.0			1.0 0.7			1.0 0.9	ns
t_{High}	Pulse Width Duration High (Notes 2, 3)	3.3 5.0	4.0 4.0			4.0 4.0			ns
t_{Low}	Pulse Width Duration Low (Notes 2, 3)	3.3 5.0	4.0 4.0			4.0 4.0			ns
t_{PVLH}	Part-to-Part Variation of Low-to-High Transitions	3.3 5.0			650 650			650 650	ps
t_{PVHL}	Part-to-Part Variation of High-to-Low Transitions	3.3 5.0			650 650			650 650	ps

Note 1: Output-to-Output Skew is defined as the absolute value of the difference between the actual propagation delay for any outputs within the same packaged device. The specifications apply to any outputs switching in the same direction either LOW to HIGH (t_{OSLH}) or HIGH to LOW (t_{OSHL}).

Note 2: Time high is measured with outputs at 2.0V or above. Time low is measured with outputs at 0.8V or below. Input waveform characteristics for t_{High}, t_{Low} measurement: f = 66.67 MHz, duty cycle = 50%.

Note 3: The input waveform has a rise and fall time transition time of 2.5 ns (10% to 90%).

Note 4: Industrial range (−40°C to +85°C) limits apply to the commercial temperature range (0°C to +70°C).

Note 5: These Rise and Fall times are measured with C_L = 50 pF, R_L = 500Ω (see *Figure 3*).

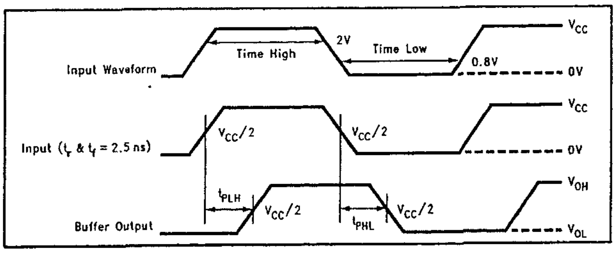
Note 6: These Rise and Fall times are measured with C_L = 25 pF, R_L = 500Ω (see *Figure 3*), and are guaranteed by design.

Note 7: These Rise and Fall times are measured driving 12 inches of 50Ω microstrip terminated with equivalent C_L = 25 pF (see *Figure 4*), and are guaranteed by design.

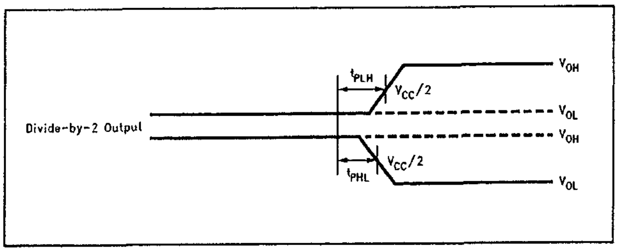
Note 8: Voltage Range 5.0 is 5.0V ± 0.5V, 3.3 is 3.3V ± 0.3V.

Note 9: For increased output drive, output pins may be connected together when the corresponding input pins are connected together.

Tabel 9/9.3.3-52: Schakeltijden van de CGS2536 bij 3,3 V en 5 V (zie ook de figuren 9/9.3.3-78 en -79).

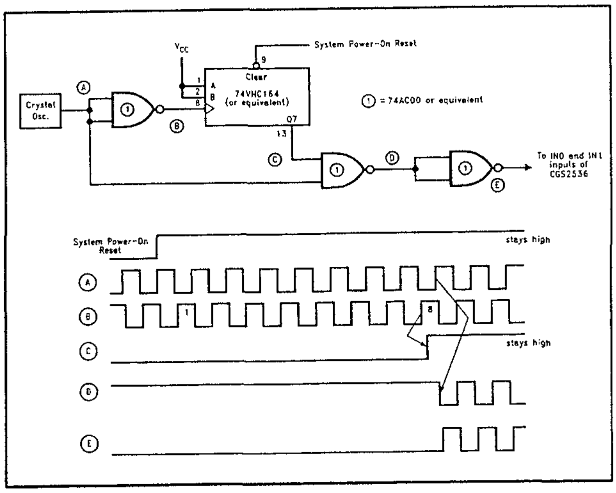


Figuur 9/9.3.3-78: Golfvormen en timing van het buffer-gedeelte bij de CGS2536.

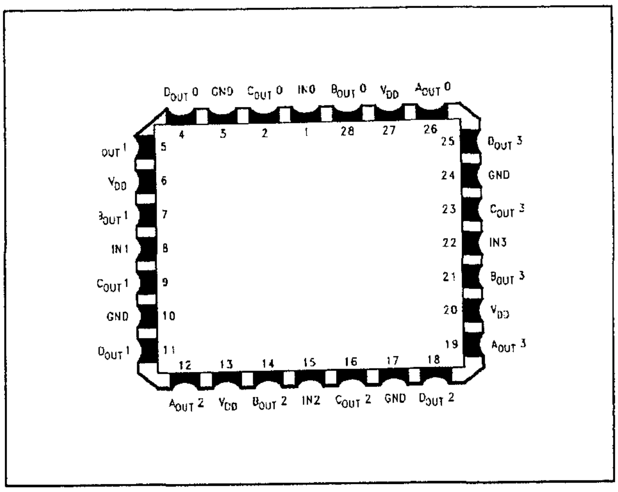


Figuur 9/9.3.3-79: Golfvormen en timing van het ÷2 gedeelte bij de CGS2536.

9.3 Clock-drivers/clock-generatoren



Figuur 9/9.3.3-80: Een trefzekere power-on reset-schakeling voor de CGS2536.



Figuur 9/9.3.3-81: Aansluitingen (28-pens PLCC) van de CGS2537.

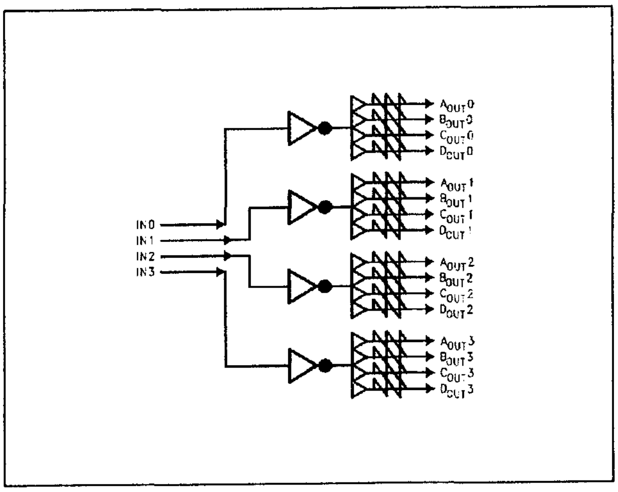
CGS2537

quad 1-to-4 TTL clockdriver met R_{uit} = 8 Ω

De CGS2537 is een op de CGS2534 gelijkende clockdriver voor de aansturing van geheugen-arrays (grote fan-out en hoge snelheid). De CGS2537 bestaat uit vier groepen 1-naar-4 TTL-compatibele, inverterende drivers. Elke driver heeft een weerstand van 8 Ω in de uitgangslijn waardoor afsluiting gemakkelijker wordt en tevens de "undershoot" vermindert.
De CGS2537V is de commerciële uitvoering en de CGS2537TV de industriële met groter temperatuurbereik.

Specificaties

- 4 x 1-naar-4 lijnen clockdriver
- uitgangsweerstand: 8 Ω
- gegarandeerde skew (350 ps pin-naar-pin)
- uitgangsstroom: +20 mA/-36 mA
- enkele +5 V voeding
- ESD-beveiligd tot 2 kV
- behuizing: 28-pens PLCC
- bedrijfstemperatuur:
  CGS2537V: 0 tot 70 °C
  CGS2537TV: -40 tot +85 °C
- fabrikant: National Semiconductor



Figuur 9/9.3.3-82: Logisch schema van de CGS2537.

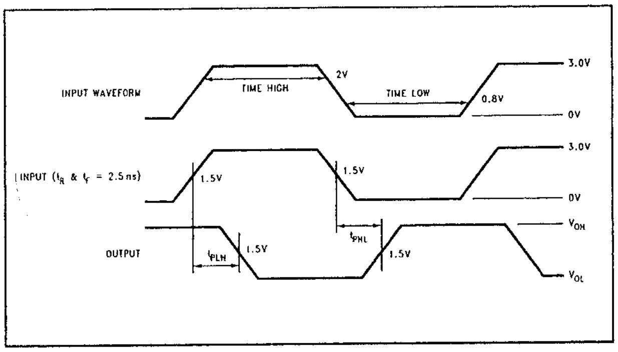
Input	Output
In (0–3)	$\overline{ABCD}$ Out (0–3)

Figuur 9/9.3.3-83: Waarheidstabel van de CGS2537.

9.3 Clock-drivers/clock-generatoren

Supply Voltage (V_{CC})	7.0V
Input Voltage (V_I)	7.0V
Input Current	−30 mA
Current Applied to Output (High/Low)	twice the rated I_{OH}/I_{OL} mA
Storage Temperature Range (T_{stg})	−65°C to +150°C
Airflow	Typical θ_{JA}
0 LFM	62°C/W
225 LFM	43°C/W
500 LFM	34°C/W
900 LFM	27°C/W

Tabel 9/9.3.3-53: Maximaal toegelaten waarden van de CGS2537.



Figuur 9/9.3.3-84: Golfvormen en timing bij de CGS2537 (zie ook tabel 9/9.3.3-55).

Over recommended operating free air temperature range. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V_{IL}	Input Low Level Voltage				0.8	V
V_{IH}	Input High Level Voltage		2.0			V
V_{IK}	Input Clamp Voltage	V_{CC} = 4.5V, I_I = −18 mA			−1.2	V
V_{OH}	High Level Output Voltage (Note 5)	I_{OH} = −3 mA, V_{CC} = 4.5V	2.4			V
		I_{OH} = −36 mA, V_{CC} = 4.5V	2.0			
V_{OL}	Low Level Output Voltage (Note 5)	V_{CC} = 4.5V, I_{OL} = 20 mA		0.4	0.5	V
		V_{CC} = 4.5V, I_{OL} = 50 μA		0.1	0.1	
I_I	Input Current @ Max Input Voltage	V_{CC} = 5.5V, V_{IH} = 7V			7	μA
I_{IH}	High Level Input Current	V_{CC} = 5.5V, V_{IH} = 2.7V			5	μA
I_{IL}	Low Level Input Current	V_{CC} = 5.5V, V_{IL} = 0.4V	−5			μA
I_{OS}	Output Drive Current	V_{CC} = 5.5V, V_O = 0V	−100		275	mA
I_{OLD}	Minimum Dynamic Output Current (Note 1)	V_{CC} = 5.5V, V_{OLD} = 0.8V	40			mA
I_{OHD}	Minimum Dynamic Output Current (Note 1)	V_{CC} = 5.5V, V_{OHD} = 2.0V	−55			mA
I_{CCT}	Maximum I_{CC}/Input	V_{CC} = 5.5V			3.6	mA
I_{CC}	Supply Current '2537 (Quiescent)	V_{CC} = 5.5V			235	μA
C_{IN}	Input Capacitance	V_{CC} = 5V		5		pF

Note 1: Maximum test duration 2.0 ms, one output loaded at a time.

Tabel 9/9.3.3-54: Gelijkspannings-kenmerken van de CGS2537.

9.3 Clock-drivers/clock-generatoren

Over recommended operating conditions unless otherwise specified. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter	CGS2537						Units
		T_A = +25°C, C_L = 50 pF, R_L = 500Ω			T_A = −40 to +85°C, C_L = 50 pF, R_L = 500Ω			
		Min	Typ	Max	Min	Typ	Max	
f_{max}	Frequency Maximum					125		MHz
t_{PLH}	Low-to-High Propagation Delay IN_n to Out_n			3.75			3.75	ns
t_{PHL}	High-to-Low Propagation Delay IN_n to Out_n			3.75			3.75	ns
t_{OSHL}	Maximum Skew Common Edge Output-to-Output Variation (Note 2)		150	350		300	350	ps
t_{OSLH}	Maximum Skew Common Edge Output-to-Output Variation (Note 2)		150	350		300	350	ps
t_{rise}, t_{fall}	Rise/Fall Time (from 0.8V/2.0V to 2.0V/0.8V)			1.7			1.7	ns
t_{HIGH} t_{LOW}	Pulse Width Duration High Pulse Width Duration Low	4 4			4 4			ns
t_{PVLH}	Part-to-Part Variation of Low-to-High Transitions (Note 3)			650			650	ps
t_{PVHL}	Part-to-Part Variation of High-to-Low Transitions (Note 3)			650			650	ps

Note 2: Output-to-Output Skew is defined as the absolute value of the difference between the actual propagation delay for any outputs within the same packaged device. The specifications apply to any outputs switching in the same direction either HIGH to LOW (t_{OSHL}) or LOW to HIGH (t_{OSLH}).. Limits are guaranteed by design.

Note 3: Part to Part transition variation is defined as the absolute difference between the propagation delay of any output on one device to any output on another device. The specifications apply to any outputs switching in the same direction either HIGH to LOW (t_{PVHL}) or LOW to HIGH (t_{PVLH}). Limits are guaranteed by design.

Note 4: Time high is measured at 2.0V, Time low is measured at 0.8V.

Note 5: For increased output drive, output pins may be connected together when the corresponding input pins are connected together.

Tabel 9/9.3.3-55: Schakeltijden van de CGS2537.

CGS3311, CGS3312, CGS3313, CGS3314, CGS3315, CGS3316, CGS3317, CGS3318, CGS3319

kristal clock-generatoren

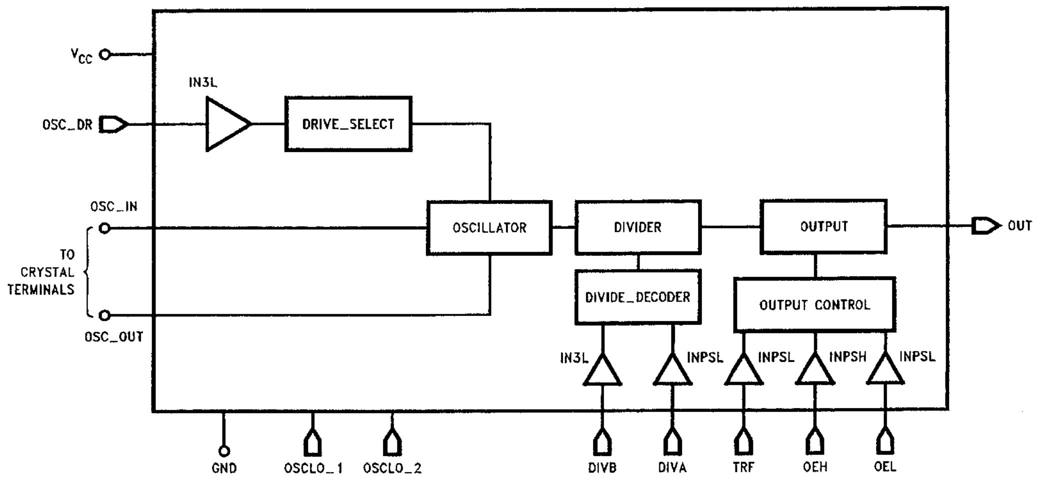
Deze schakelingen zijn ontworpen voor zeer snelle Clock Generation and Support (CGS) toepassingen tot 110 MHz. De schakelingen uit de CGS331x-serie zijn kristal-gestuurde CMOS oscillatoren die een minimum aan externe onderdelen nodig hebben. In de CGS331x-serie is een keuze mogelijk van zowel de deelverhouding van de kristalfrequentie als het kristal-aansturingsniveau.

Specificaties

- bereik van de kristal-frequentie:
  fundamenteel: 10 MHz tot 100 MHz
  3e of 5e boventoon: 10 MHz tot 85 MHz
- programmeerbare oscillator-aandrijving
- selecteerbare stijg- en afvaltijden

9.3 Clock-drivers/clock-generatoren

- uitgangssymmetrie-schakeling voor instellen 50 % duty-cycle point tussen CMOS en TTL niveaus
- uitgangsstroom: 48 mA source/sink
- enkele +5 V voeding
- kortsluitbeveiliging aan uitgang
- hysteresis aan ingangen
- behuizing: 8-pens DIL of SOIC
- bedrijfstemperatuur: -40 tot +85 °C
- fabrikant: National Semiconductor



Note: Pin numbers vary for each device

Pin Descriptions

Note: Pin out varies for each device.

OSC_IN	Input to Oscillator Inverter. The output of the crystal would be connected here.
OSC_OUT	Resistive Buffered Output of the Oscillator Inverter
OSC_DR	3 Level input pin that selects Oscillator Drive Level
DIVA	Input used to select Binary Divide-by Option. This pin has CMOS compatible input levels.
DIVB	3 Level input used to select Binary Divide-by value.
OEH	Active High TRI-STATE® enable pin. This pin pulls to a high value when left floating and TRI-STATEs the output when forced low. This pin has TTL compatible input levels.
OEL	Active Low TRI-STATE enable pin. This pin pulls to a low value when left floating and TRI-STATES the output when forced high. This pin has TTL compatible input levels.
TRF	Rise and Fall time override pin. Available only for die form.
OUT	This pin is the main clock output on the device.
OSCLO_1	The Oscillator Low pin is the ground for the Oscillator.
OSCLO_2	This pin is the same signal as OSCLO_1. It has been provided as an alternate connection for OSCLO_1 for hybrid assemblies.
V_{CC}	The power pin for the chip.
GND	The ground pin for all sections of the circuitry except the oscillator and oscillator related circuitry.

Figuur 9/9.3.3-85: Algemeen blokschema van de gehele CGS331x-serie.

9.3 Clock-drivers/clock-generatoren

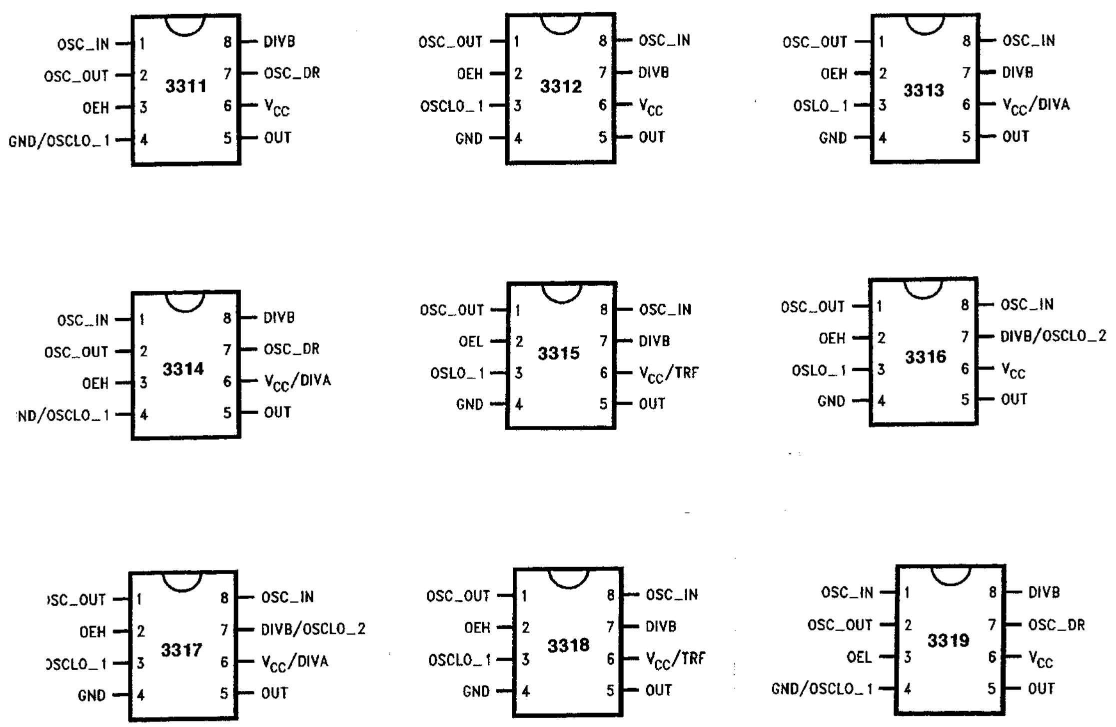
Summary of Device Options

Device	Divide	Enable	Drive	Output Rise/ Fall Time (ns)
3311	1, 2, 4	OEH	L, M, H	2, 4
3312	1, 2, 4	OEH	H	2, 4
3313	8, 16, 32	OEH	H	4
3314	8, 16, 32	OEH	L, M, H	4
3315	1, 2, 4	OEL	H	1, 2
3316	4	OEH	H	4
3317	32	OEH	H	4
3318	1, 2, 4	OEH	H	1, 2
3319	1, 2, 4	OEL	L, M, H	2, 4

Each drive has one output with the choices of selecting frequency divide, output enable, crystal drive and output rise and fall time. Crystal drive options are:

L = Low Drive
M = Medium Drive
H = High Drive

Figuur 9/9.3.3-86: Overzicht van de CGS331x-serie.



Figuur 9/9.3.3-87: Aansluitingen van de CGS331x-serie.

9.3 Clock-drivers/clock-generatoren

DIVB	DIVA	OEL	OEH	Divider Output
F	0/F	X	X	Divide-by 1
1	0/F	0	1	Divide-by 2
0	0/F	0	1	Divide-by 4
F	1	0	1	Divide-by 8
1	1	0	1	Divide-by 16
0	1	0	1	Divide-by 32
X	X	1	X	Output Reset High at Re-enable
X	X	X	0	Output Reset High at Re-enable

Note: Actual value of the floating OSC_DR and DIVB input is $V_{CC/2}$

Rise and Fall Time Selection

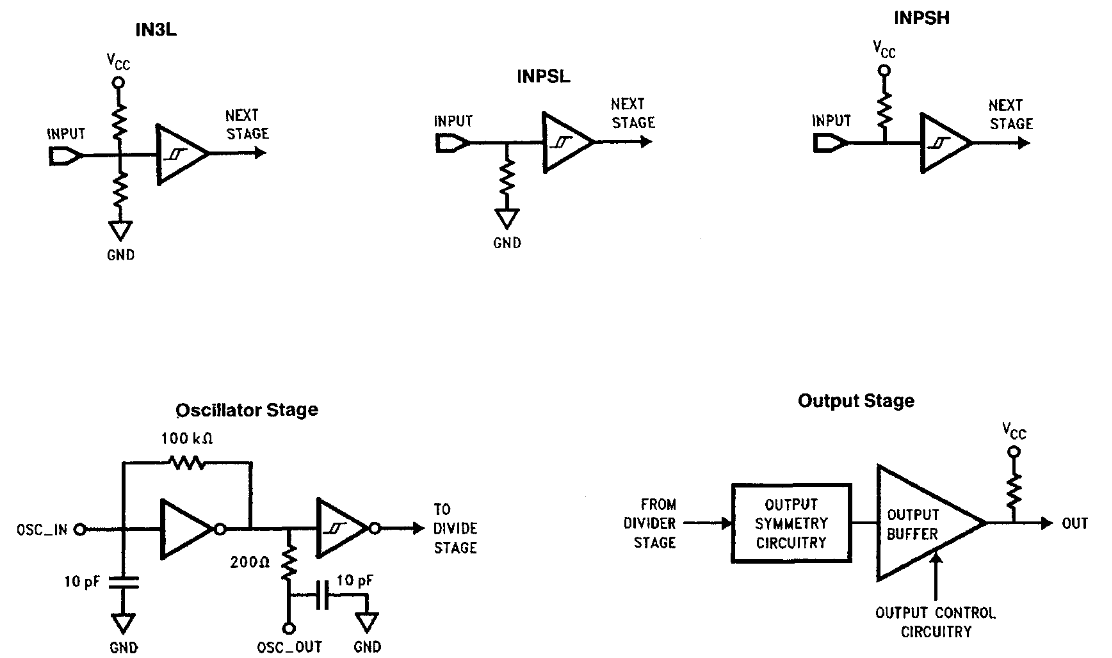
OSC_DR	DIV	TRF	Rise/Fall Time (ns)
F	N	0/F	2
F	N	1	less than 2
F	Y	0/F	4
F	Y	1	2
0, 1	X	0/F	4
0, 1	X	1	2

Drive Selection

OSC_DR	Drive
0	Low
1	Medium
F	High

Note: Where "F" indicates floating the input.

Figuur 9/9.3.3-88: Waarheidstabellen voor de CGS331x-serie.



Figuur 9/9.3.3-89: Blokschema's van de ingangsdrivers, oscillator-trap en de uitgangstrap van de CGS331x-serie.

9.3 Clock-drivers/clock-generatoren

Supply Voltage (V_{CC})	−0.5V to 7.0V
DC Input Voltage Diode Current (I_{IK})	± 9mA
DC Input Voltage (V_I)	−0.5V to 7.0V
DC Output Diode Current (I_{OK})	±20 mA
DC Output Voltage (V_O)	−0.5V to V_{CC} + 0.5V
DC Output Source or Sink Current (I_O)	±70 mA
Storage Temperature (T_{STG})	−55°C to +150°C
Junction Temperature (T_J) SOIC	140°C/W

Tabel 9/9.3.3-56: Maximaal toegelaten waarden voor de CGS331x-serie.

Symbol	Parameter	V_{CC} (V)	CGS3311 to 3319							Units	Conditions
			T_A = +25°C			T_A = −40°C to +85°C		T_A = −55°C to +125°C			
			Typ	Guaranteed Limits							
				Min	Max	Min	Max	Min	Max		
V_{IHTTL}	Minimum High Level Input Voltage. TTL Level Inputs (OEH, OEL)	4.5 5.5		2.0 2.0		2.0 2.0				V	
V_{ILTTL}	Maximum Low Level Input Voltage. TTL Level Inputs (OEH, OEL)	4.5 5.5			0.8 0.8		0.8 0.8			V	
V_{IHCMOS}	Minimum High Level Input Voltage. CMOS Level Inputs (DIVA)	4.5 5.5		3.15 3.85		3.15 3.85				V	
V_{ILCMOS}	Maximum Low Level Input Voltage. CMOS Level Inputs (DIVA)	4.5 5.5			1.35 1.65		1.35 1.65			V	
V_{IN3L_H}	Minimum Logic 1 Input for Three Level Input (DIVB, OSC_DR)	4.5 5.5		4.05 4.95		4.05 4.95				V	
$V_{IN3L_1/2}$	Minimum Logic 1/2 Input for Three Level Input (DIVB, OSC_DR)	4.5 5.5		1.8 2.2	2.7 3.3	1.8 2.2	2.7 3.3			V	
V_{IN3L_L}	Maximum Logic 0 Input Level Three Level Input (DIVB, OSC_DR)	4.5 5.5			0.45 0.45		0.45 0.45			V	
V_{OH}	Minimum High Level Output Voltage	4.5 5.5	4.49 5.49	4.40 5.40		4.40 5.40				V	I_{OUT} = −50 µA
		4.5 5.5		3.86 4.86		3.76 4.76				V	I_{OH} = −48 mA V_{IN} = V_{IH} or V_{IH}

Tabel 9/9.3.3-57a: Gelijkspannings-kenmerken van de CGS331x-serie, deel 1.

9.3 Clock-drivers/clock-generatoren

Symbol	Parameter	V_{CC} (V)	CGS3311 to 3319							Units	Conditions
				T_A = +25°C		T_A = −40°C to +85°C		T_A = −55°C to +125°C			
			Typ	Guaranteed Limits							
				Min	Max	Min	Max	Min	Max		
V_{OL}	Minimum Low Level Output Voltage	4.5 5.5	0.001 0.001		0.1 0.1		0.1 0.1			V	I_{OUT} = 50 µA
		4.5 5.5			0.44 0.44		0.44 0.44			V	I_{OL} = +48 mA V_{IN} = V_{IL} or V_{IH}
I_{IHRES}	Input Current for Pins DIVB, OSC_DR, and DIVA (Input is Logic High)	5.5		220	360	200	380			µA	V_{IN} = 5.5V
I_{ILRES}	Input Current for Pins DIVB, OSC_DR, and DIVA (Input is Logic Low)	5.5		−220	−360	−200	−380			µA	V_{IN} = 0.0V
I_{HENAB}	Input Current for Enable Pin OEL	5.5		90	160	85	175			µA	V_{IN} = 5.5V
I_{LENAB}	Input Current for Enable pin OEH	5.5		−90	−160	−85	−175			µA	V_{IN} = 0.0V
I_{HOSC}	Input Current for OSC_IN pin (Indicates Bias Resistance)	5.5		20	100	20	125			µA	V_{IN} = 5.5V
I_{ILOSC}	Input Current for OSC_IN pin (Indicates Bias Resistance)	5.5		−20	−100	−20	−125			µA	V_{IN} = 0.0V
I_{OZH}	Output Disabled Current (Output High)	4.5 5.5			3.0 3.0		5.0 5.0			µA	V_{OUT} = V_{CC}
I_{OZL}	Output Disabled Current (Output Low)	4.5 5.5			−140 −170		−150 −180			µA	V_{OUT} = 0.0V
I_{OLD}	Minimum Dynamic Output Current	5.5		75		75				mA	V_{OLD} = 1.65V
I_{OHD}	Minimum Dynamic Output Current	5.5		−75		−75				mA	V_{OHD} = 3.85V
I_{CCOSC_L}	Additional I_{CC} with OSC_IN Floating. Low Drive Mode	4.5 5.5		0.6	 6.5	0.6	 6.5			mA	OSC_IN = Float
I_{CCOSC_M}	Additional I_{CC} with OSC_IN Floating. Low Drive Mode	4.5 5.5		1.7	 12.4	1.7	 12.4			mA	OSC_IN = Float
I_{CCOSC_H}	Additional I_{CC} with OSC_IN Floating. Low Drive Mode	4.5 5.5		5.5	 31.5	5.5	 31.5			mA	OSC_IN = Float
I_{CCT}	Additional Maximum I_{CC} per Input (OEH, OEL Pins)	5.5			1.5		1.5			mA	V_{IN} = V_{CC} − 2.1V
I_{CC3L}	Additional Maximum I_{CC} per Input (DIVB, OSC_DR Inputs)	5.5			1.5		1.5			mA	DIVB, OSC_DR Inputs Equal to $V_{CC/2}$

Tabel 9/9.3.3-57b: Gelijkspannings-kenmerken van de CGS331x-serie, deel 2.

9.3 Clock-drivers/clock-generatoren

Over recommended operating free air temperature range. All typical values are measured at V_{CC} = 5V, T_A = 25°C.

Symbol	Parameter	V_{CC}* (V)	CGS331X						Units
			T_A = −40°C to +85°C C_L = 50 pF			T_A = −55°C to +125°C C_L = 50 pF			
			Min	Typ	Max	Min	Typ	Max	
f_{MAX}	Frequency Maximum	5.0	100						MHz
t_{PZH}	Output High Enable Time	5.0	1.0		31.5				ns
t_{PZL}	Output Low Enable Time	5.0	1.0		28.0				ns
t_{PHZ}	Output High Disable Time	5.0	1.0		21.5				ns
t_{PLZ}	Output Low Disable Time	5.0	1.0		16.0				ns
t_{rise}, t_{fall}	Rise/Fall Time 30 pF, 20% to 80%)	5.0		4.0					ns

* Voltage Range 5.0 is 5.0V ± 0.5V

Tabel 9/9.3.3-58: Schakeltijden van de CGS331x-serie.

9/10

Diversen

Inhoud

9/10.2

Type-beschrijving 80-familie

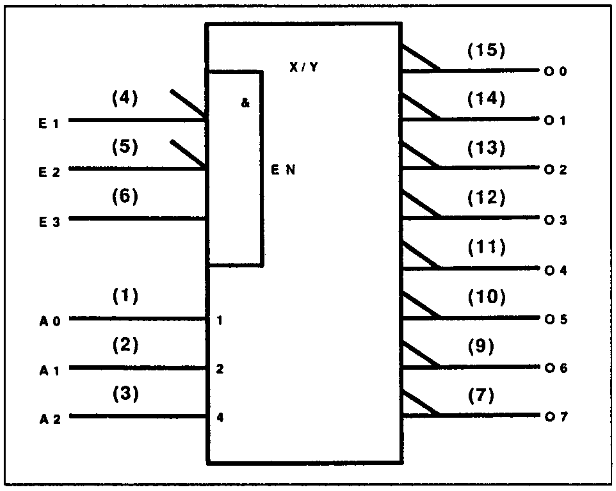
8205

1-uit-8 decoder

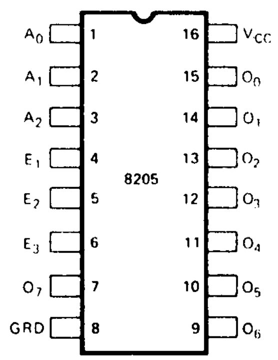
De 8205 is een snelle 1-uit-8 binaire decoder en kan worden toegepast in systemen waarbij in- en uitgangspoorten en geheugens met aktief-LAGE chip-select worden gebruikt. De 8205 heeft drie chip-enable ingangen. Als de 8205 is vrijgegeven (enabled), is één van de acht uitgangen LAAG, afhankelijk van het gekozen adres. Voor zeer grote systemen kunnen meerdere 8205's worden gebruikt.

Specificaties

- 1-uit-8 I/O-poort of geheugen selector
- TTL-compatibel
- vertraging: 18 ns max.
- ingangsstroom: 0,25 mA max.
- uitgangs-sinkstroom: 10 mA min.
- 16-pens plastic of ceramische DIL-behuizing
- fabrikant: Intel: P8205



Figuur 9/10.2-2: Logisch symbool van de 8205.



Figuur 9/10.2-1: Aansluitingen van de 8205.

ADDRESS			ENABLE			OUTPUTS							
A_0	A_1	A_2	E_1	E_2	E_3	0	1	2	3	4	5	6	7
L	L	L	L	L	H	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
L	H	L	L	L	H	H	H	L	H	H	H	H	H
H	H	L	L	L	H	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
H	L	H	L	L	H	H	H	H	H	H	L	H	H
L	H	H	L	L	H	H	H	H	H	H	H	L	H
H	H	H	L	L	H	H	H	H	H	H	H	H	L
X	X	X	L	L	L	H	H	H	H	H	H	H	H
X	X	X	H	L	L	H	H	H	H	H	H	H	H
X	X	X	L	H	L	H	H	H	H	H	H	H	H
X	X	X	H	H	L	H	H	H	H	H	H	H	H
X	X	X	H	L	H	H	H	H	H	H	H	H	H
X	X	X	L	H	H	H	H	H	H	H	H	H	H
X	X	X	H	H	H	H	H	H	H	H	H	H	H

Tabel 9/10.2-1: Waarheidstabel van de 8205.

10.2 Type-beschrijving 80-familie

SYMBOL	PARAMETER	LIMIT MIN.	LIMIT MAX.	UNIT	TEST CONDITIONS
I_F	INPUT LOAD CURRENT		−0.25	mA	V_{CC} = 5.25V, V_F = 0.45V
I_R	INPUT LEAKAGE CURRENT		10	µA	V_{CC} = 5.25V, V_R = 5.25V
V_C	INPUT FORWARD CLAMP VOLTAGE		-1.0	V	V_{CC} = 4.75V, I_C = -5.0 mA
V_{OL}	OUTPUT "LOW" VOLTAGE		0.45	V	V_{CC} = 4.75V, I_{OL} = 10.0 mA
V_{OH}	OUTPUT HIGH VOLTAGE	2.4		V	V_{CC} = 4.75V, I_{OH} = −1.5 mA
V_{IL}	INPUT "LOW" VOLTAGE		0.85	V	V_{CC} = 5.0V
V_{IH}	INPUT "HIGH" VOLTAGE	2.0		V	V_{CC} = 5.0V
I_{SC}	OUTPUT HIGH SHORT CIRCUIT CURRENT	-40	-120	mA	V_{CC} = 5.0V, V_{OUT} = 0V
V_{OX}	OUTPUT "LOW" VOLTAGE @ HIGH CURRENT		0.8	V	V_{CC} = 5.0V, I_{OX} = 40 mA
I_{CC}	POWER SUPPLY CURRENT		70	mA	V_{CC} = 5.25V

Tabel 9/10.2-2: Gelijkspannings-karakteristieken van de 8205.

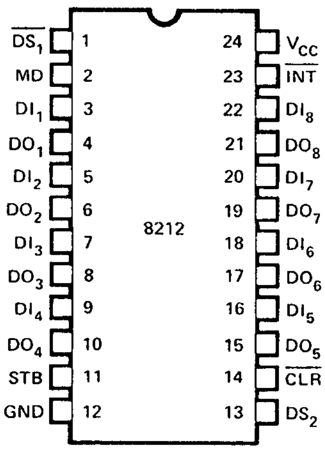
8212

8-bit I/O-poort

Met de 8212 kunnen alle principiële in- en uitgangsfuncties van µP's worden uitgevoerd. De 8212 bestaat uit een 8 bit latch met 3-state uitgangsbuffers compleet met besturings- en selectielogika. Bovendien is een service-request flip-flop opgenomen om interrupts voor de microprocessor te verzorgen. De 8212 kan bijvoorbeeld worden gebruikt om latches, geschakelde buffers of multiplexers te implementeren.

Specificaties

- 8 bit data-latch en buffer
- service-request flip-flop voor opwekking en afhandeling van interrupts
- asynchrone register-clear
- vervangt buffers, latches en multiplexers in microcomputer systemen
- ingangsstromen: 0,25 mA
- sink-stroom 3-state TTL-uitgangen: 15 mA
- 3,65 V uitgangsspanning voor direkte interface met NMOS 8080 CPU
- 24-pens plastic of hermetisch DIL-behuizing
- fabrikanten:
  Intel: P8212
  NatSemi: DP8212(M)
  AMD: Am3212, Am8212
  NEC: PB8212



DI_1 - DI_8	DATA IN
DO_1 - DO_8	DATA OUT
$\overline{DS_1}$ - DS_2	DEVICE SELECT
MD	MODE
STB	STROBE
$\overline{INT}$	INTERRUPT (ACTIVE LOW)
$\overline{CLR}$	CLEAR (ACTIVE LOW)

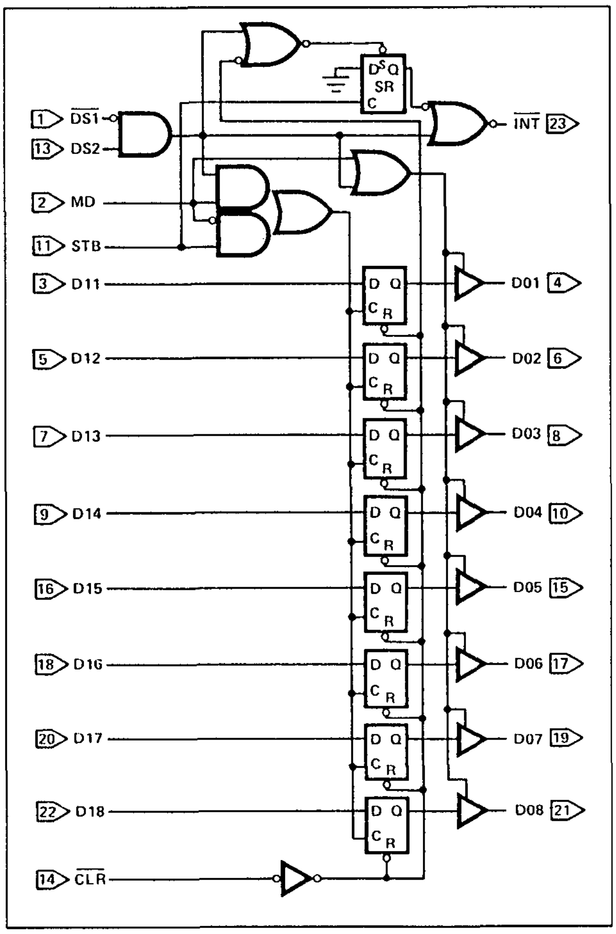
Figuur 9/10.2-3: Aansluitingen van de 8212 I/O-poort.

10.2 Type-beschrijving 80-familie

Functionele beschrijving

Data-latch

De data-latch is opgebouwd uit acht D-type flip-flop's. De uitgang Q van elke flip-flop volgt de data-ingang D wanneer de clock-ingang (C) HOOG is. Het latchen vindt plaats als de clock C weer LAAG gaat. Met een asynchroon reset-signaal $\overline{CLR}$ wordt de data-latch gecleared.



Figuur 9/10.2-4: Logisch blokschema van de 8212.

Uitgangsbuffer

De uitgangen van de data-latch zijn verbonden met niet-inverterende 3-state uitgangsbuffers. Deze buffers hebben een gemeenschappelijke besturingslijn die het mogelijk maakt de informatie op de Q-uitgangen van de latch door te geven óf de uitgangen zwevend te maken. Hierdoor kan de 8212 direkt op de bidirectionele databus van een microprocessor worden aangesloten.

Logic Table A

STB	MD	($DS_1 \bullet DS_2$)	Data Out Equals
0	0	0	TRI-STATE
1	0	0	TRI-STATE
0	1	0	DATA LATCH
1	1	0	DATA LATCH
0	0	1	DATA LATCH
1	0	1	DATA IN
0	1	1	DATA IN
1	1	1	DATA IN

$\overline{CLR}$ ⌐_ resets data latch to the output low state.

The data latch clock is level sensitive, a low level clock latches the data.

Logic Table B

$\overline{CLR}$	($DS_1 \bullet DS_2$)	STB	Q*	$\overline{INT}$
0 RESET	0	0	0	1
1	0	0	0	1
1	0	⌐_	1	0
1	1 RESET	0	0	0
1	0	0	0	1

*Internal Service Request flip-flop.

Tabel 9/10.2-3: Waarheidstabellen van de 8212.

Absolute Maximum Ratings

Storage Temperature	−65°C to +160°C
All Output or Supply Voltages	−0.5V to +7V
All Input Voltages	−1.0V to 5.5V
Output Currents	125 mA
Maximum Power Dissipation* at 25°C	
Cavity Package	1903 mW
Molded Package	2005 mW

*Derate cavity package 12.7 mW/°C above 25°C; derate molded package 16.0 mW/°C above 25°C.

Operating Conditions

	Min	Max	Units
Supply Voltage (V_{CC})			
DP8212M	4.50	5.50	V_{DC}
DP8212	4.75	5.25	V_{DC}
Operating Temperaure (T_A)			
DP8212M	−55	+125	°C
DP8212	0	+75	°C

Tabel 9/10.2-4: Maximaal toegelaten waarden en aanbevolen bedrijfscondities van de 8212.

Besturingslogika

De 8212 heeft vier besturingsingangen: $\overline{DS1}$ en DS2 (Device Select), MD (Mode) en STB (Strobe).

- Als $\overline{DS1}$ = LAAG en DS2 = HOOG, is de chip geselecteerd. De uitgangsbuffer is dan aktief en de service-request flip-flop (SR) is asynchroon geset.
- De mode-ingang (MD) wordt gebruikt om de toestand van de uitgangsbuffer te besturen en om te bepalen waar het clocksignaal (C) voor de data-latch vandaan komt. Wanneer MD = HOOG is (uitgangsmode) zijn de buffers aktief en komt de clock C van de device-select logika ($\overline{DS1}$ en DS2). Als MD = LAAG is (ingangsmode) wordt de toestand van de uitgangsbuffers bepaald door $\overline{DS1}$ en DS2 en komt de clock C van de strobe-ingang STB.

STB (strobe) wordt in de ingangsmode (MD = LAAG) gebruikt als clock-ingang voor de data-latch en dient tevens om de service-request flip-flop (SR) synchroon te resetten.

Service-request flip-flop

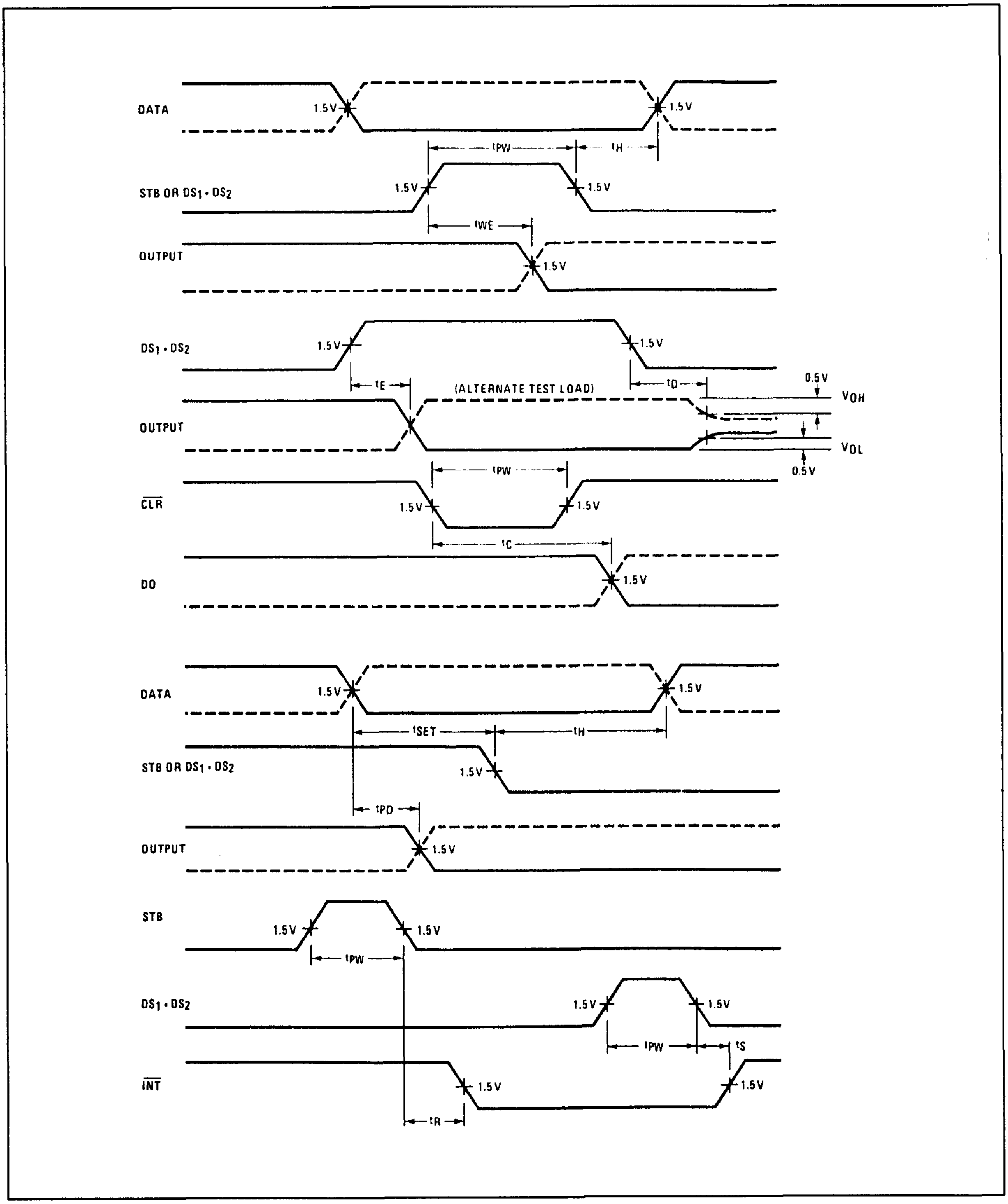
De SR flip-flop wordt in microcomputersystemen gebruikt om interrupts te genereren en te besturen. Hij wordt asynchroon geset door het $\overline{CLR}$-signaal (aktief-LAAG). Wanneer de SR flip-flop geset is, bevindt hij zich in de niet-interrumperende toestand. De Q-uitgang van de SR flip-flop is met de inverterende ingang van een NOR-poort verbonden, terwijl de andere (niet-inverterende ingang) aan de selectie-logika ($\overline{DS1}$, DS2) vastzit. De uitgang van de NOR-poort ($\overline{INT}$) is aktief-LAAG (in de interrumperende toestand).

Electrical Characteristics Min ≤ T_A ≤ Max, Min ≤ V_{CC} ≤ Max, unless otherwise noted

Symbol	Parameter	Conditions		Min	Typ	Max	Units
I_F	Input Load Current, STB, DS2, $\overline{CLR}$, DI_1–DI_8 Inputs	V_F = 0.45V				−0.25	mA
I_F	Input Load Current, MD Input	V_F = 0.45V				−0.75	mA
I_F	Input Load Current, $\overline{DS1}$ Input	V_F = 0.45V				−1.0	mA
I_R	Input Leakage Current STB, DS2, $\overline{CLR}$, DI_1–DI_8 Inputs	V_R = V_{CC} Max				10	μA
I_R	Input Leakage Current, MD Input	V_R = V_{CC} Max				30	μA
I_R	Input Leakage Current, $\overline{DS1}$ Input	V_R = V_{CC} Max				40	μA
V_C	Input Forward Voltage Clamp	I_C = −5 mA				−1	V
V_{IL}	Input "Low" Voltage		DP8212M			0.08	V
			DP8212			0.85	V
V_{IH}	Input "High" Voltage			2.0			V
V_{OL}	Output "Low" Voltage	I_{OL} = 10 mA	DP8212M			0.45	V
		I_{OL} = 15 mA	DP8212			0.45	V
V_{OH}	Output "High" Voltage	I_{OH} = 0.5 mA	DP8212M	3.40	4.0		V
		I_{OH} = 1.0 mA	DP8212	3.65	4.0		V
I_{SC}	Short-Circuit Output Current	V_O = 0V, V_{CC} = 5V		−15		−75	mA
$\|I_O\|$	Output Leakage Current, High Impedance State	V_O = 0.45V/V_{CC} Max				20	μA
I_{CC}	Power Supply Current		DP8212M		90	145	mA
			DP8212		90	130	mA

Tabel 9/10.2-5: Gelijkspannings-karakteristieken van de 8212.

10.2 Type-beschrijving 80-familie



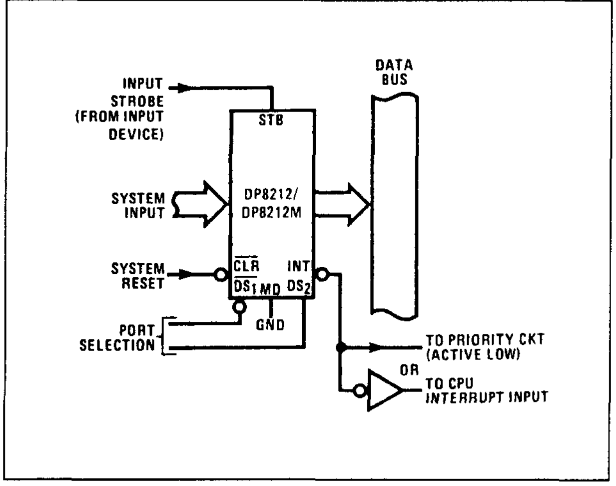
Figuur 9/10.2-5: Golfvormen en schakeltijden van de 8212.

10.2 Type-beschrijving 80-familie

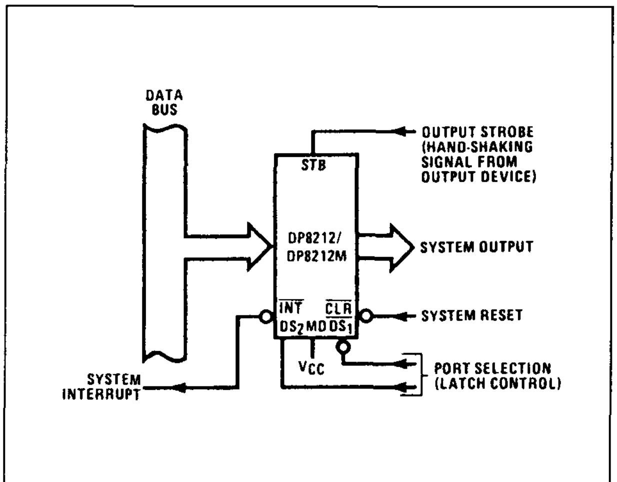
Switching Characteristics Min ≤ T_A ≤ Max, Min ≤ V_{CC} ≤ Max

Symbol	Parameter	Conditions	DP8212M		DP8212		Units
			Min	Max	Min	Max	
t_{PW}	Pulse Width		40		30		ns
t_{PD}	Data to Output Delay	(Note 1)		30		30	ns
t_{WE}	Write Enable to Output Delay	(Note 1)		50		40	ns
t_{SET}	Data Set-Up Time		20		15		ns
t_H	Data Hold Time		30		20		ns
t_R	Reset to Output Delay	(Note 1)		55		40	ns
t_S	Set to Output Delay	(Note 1)		35		30	ns
t_E	Output Enable/Disable Time	(Note 2)		50		45	ns
t_C	Clear to Output Delay	(Note 1)		65		55	ns

Tabel 9/10.2-6: Schakeltijden van de 8212 (zie ook figuur 9/10.2-5).



Figuur 9/10.2-6: De 8212 als interrumperende ingangspoort. De 8212 accepteert de strobe van een systeem, waardoor de service-request flip-flop wordt gecleared en de processor een interrupt krijgt. De processor doorloopt dan een service-routine, identificeert de poort en maakt de selectielogika "waar" zodat data van het systeem op de databus komt.

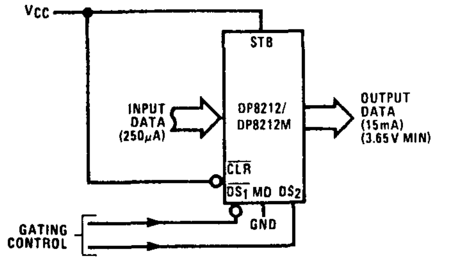


Figuur 9/10.2-7: Uitgangspoort met handshaking. Hierbij stuurt de 8212 data van de databus naar een systeem-uitgang. De strobe kan hierbij als hand-shake signaal "data ontvangen" worden gebruikt dat op zijn beurt weer een interrupt kan veroorzaken.

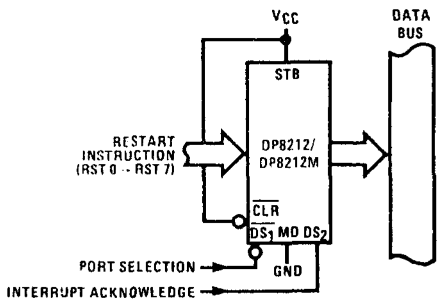
Toepassingen

Tenslotte zijn in de figuren 9/10.2-6 tot en met -11 enkele toepassingsvoorbeelden te zien.

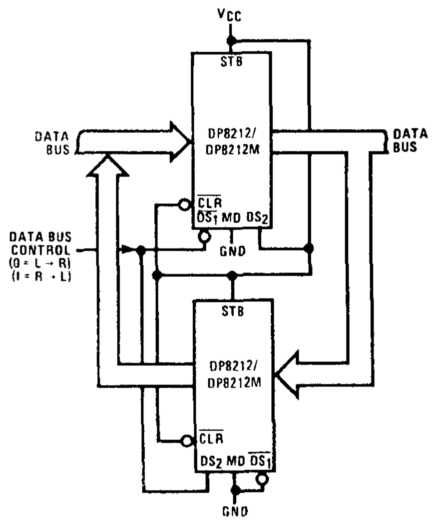
10.2 Type-beschrijving 80-familie



Figuur 9/10.2-8: Gated buffer (3-state). Door MD = LAAG te maken en STB = HOOG werkt de data-latch als een doorlatende poort. De uitgangsbuffers worden vrijgegeven met $\overline{DS1}$ en DS2. Als de device-select "niet waar" is, zijn de uitgangen in de zwevende 3-state toestand.

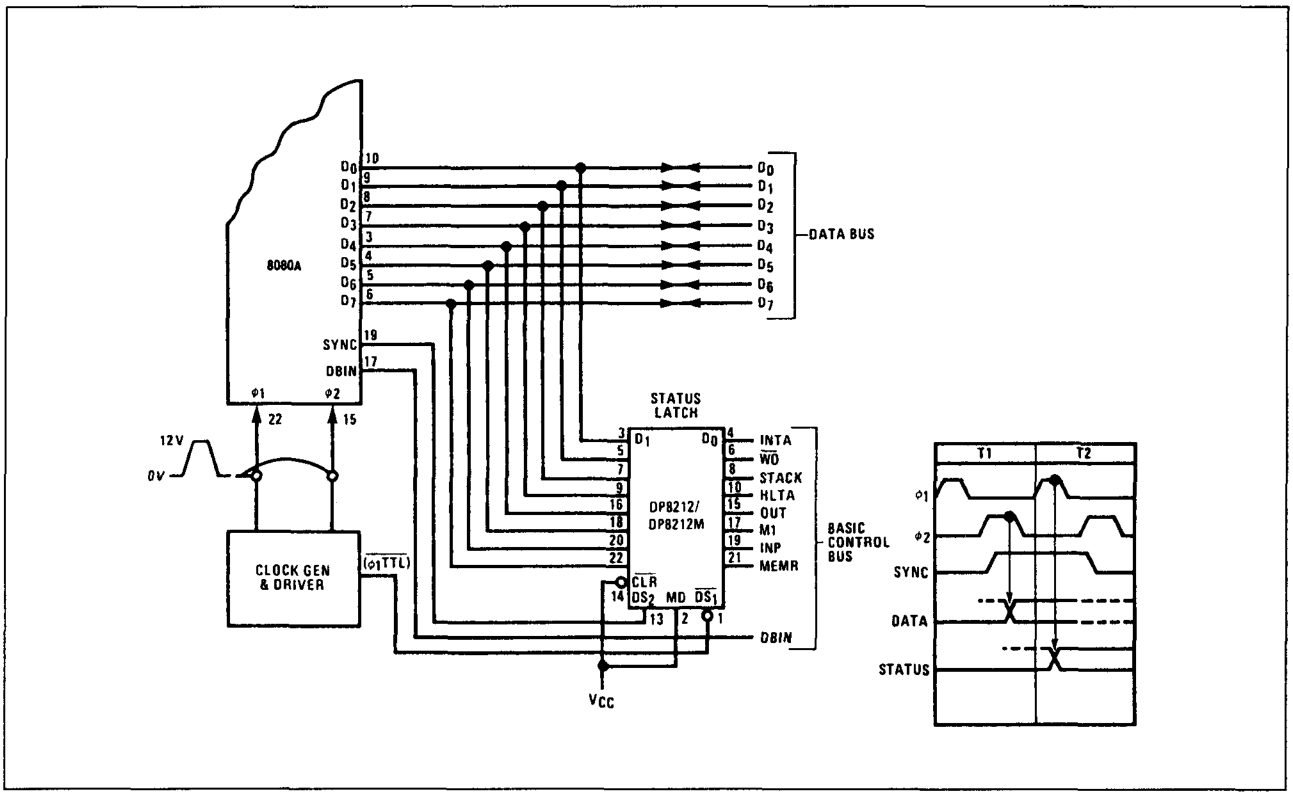


Figuur 9/10.2-9: Interrupt-instructie poort. De 8212 kan ook worden gebruikt om de interrupt-instructie (meestal RESTART instructies) op de databus te zetten. De chip wordt vrijgegeven door het interrupt-acknowledge signaal van de microprocessor plus een poort-selectie signaal.



Figuur 9/10.2-10: Bidirectionele busdriver. Twee rug-aan-rug geschakelde 8212's kunnen als symmetrische bidirectionele busdriver worden gebruikt. De databus-control lijn is met $\overline{DS1}$ van de ene 8212 verbonden en met DS2 van de andere.

10.2 Type-beschrijving 80-familie



Figuur 9/10.2-11: Status-latch in een 8080 microcomputersysteem. De data-ingangen zijn direkt met de databus van de 8080 verbonden. In de timing is te zien dat als het SYNC-signaal "waar" is, de status-data in de 8212 wordt opgeslagen.

8216, 8226

4 bit bidirectionele bus-transceiver

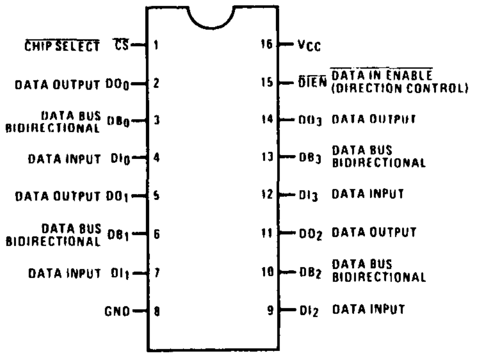
De 8216 en 8226 zijn 4 bit bidirectionele bus-transceivers voor toepassing in busgeoriënteerde systemen.
Elke lijn van de 4 bit drivers bestaat uit twee aparte 3-state buffers. De 8216 is nietinverterend, terwijl de data door de 8226 wel wordt geïnverteerd. Aan de A-kant zijn de ingang en uitgang van elke datalijn apart gehouden om maximale flexibiliteit te bieden. De in- en uitgangen kunnen echter zonder meer aan elkaar worden gelegd. De DO-uitgangen aan deze kant kunnen hoge spanningen verwerken, zodat ze direkt op microprocessoren van het 8080-type kunnen worden aangesloten. Aan de B-kant zijn in- en uitgang van elke lijn met elkaar verbonden. Deze kant wordt meestal gebruikt voor verbindingen met componenten zoals geheugens en in-/uitgangsschakelingen, vanwege de TTL-compatibiliteit en uitgangsstroom van maximaal 50 mA.
Als $\overline{CS}$ = LAAG, dan is de chip enabled en wordt de richting van het data-transport bepaald door het $\overline{DIEN}$-signaal. De buffers aan één zijde zijn dan zwevend, terwijl die aan de andere kant aktief zijn. Is $\overline{CS}$ = HOOG dan bevinden alle uitgangen zich in de hoogimpedante toestand.

Specificaties

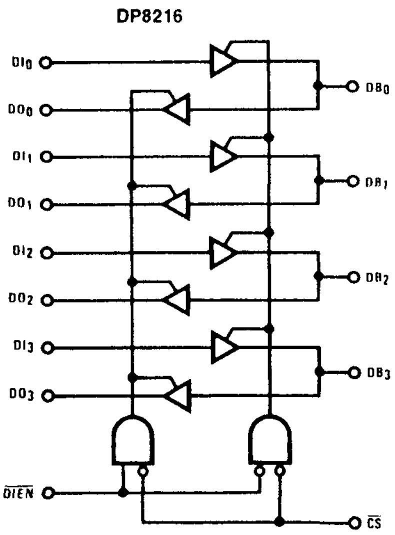
- databus-driver voor 8080-type CPU's
- 8216: niet-inverterend
  8226: inverterend
- ingangsstroom: 0,25 mA max.
- uitgangs-sinkstroom: 50 mA bij 0,5 V
- power up/down beveiliging

10.2 Type-beschrijving 80-familie

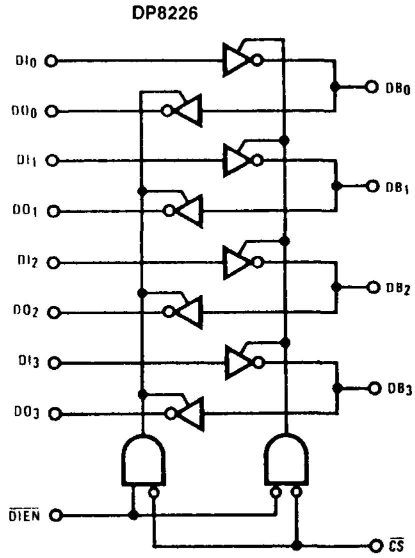
- 3-state uitgangen
- 16-pens plastic of ceramische DIL-behuizing
- fabrikanten
  Intel: P8216, P8226
  NatSemi: DP8216, DP8226
  AMD: Am8216, Am8226



Figuur 9/10.2-12: Aansluitingen van de 8216/8226.



Figuur 9/10.2-13: Functioneel schema van de 8216 (niet-inverterend).



Figuur 9/10.2-14: Functioneel schema van de 8226 (inverterend).

			8216		8226	
$\overline{DIEN}$	$\overline{CS}$		DB	DO	DB	DO
L	L	DI ⇒ DB	DI	Z	$\overline{DI}$	Z
H	L	DB ⇒ DO	Z	DB	Z	$\overline{DB}$
L	H		Z	Z	Z	Z
H	H		Z	Z	Z	Z

H = HIGH
L = LOW

Tabel 9/10.2-7: Waarheidstabel van de 8216/8226.

Capacitance T_A = 25°C

Symbol	Parameter	Limit			Unit
		Min	Typ	Min	
C_{IN}	Input Capacitance		4	6	pF
C_{OUT}	Output Capacitance DO Outputs DO Outputs		 6 13	 10 18	 pF pF

Tabel 9/10.2-9: Capaciteiten bij 1 MHz en V_{BIAS} = 2,5 V.

10.2 Type-beschrijving 80-familie

Electrical Characteristics DP8216, DP8226 V_{CC} = 5V ± 5% (Notes 2, 3, and 4)

Symbol	Parameter	Conditions	Limits Min	Limits Typ	Limits Max	Units
DRIVERS						
V_{IL}	Input Low Voltage				0.95	V
V_{IH}	Input High Voltage		2			V
I_F	Input Load Current	V_F = 0.45V		0.03	0.25	mA
I_R	Input Leakage Current	V_R = 5.25V			10	μA
V_C	Input Clamp Voltage	I_C = 5 mA			1.2	V
V_{OL1}	Output Low Voltage	I_{OL} = 25 mA		0.3	0.45	V
V_{OL2}	Output Low Voltage	DP8216 I_{OL} = 55 mA DP8226 I_{OL} = 50 mA		0.5	0.6	V
V_{OH}	Output High Voltage	I_{OH} = −10 mA	2.4	3.0		V
I_{SC}	Output Short Circuit Current	V_{CC} = 5V	−30	−75	−120	mA
$\|I_O\|$	Output Leakage Current TRI-STATE	V_O = 0.45V/5.5V			100	μA
RECEIVERS						
V_{IL}	Input Low Voltage				0.95	V
V_{IH}	Input High Voltage		2			V
I_F	Input Load Current	V_F = 0.45V		−0.08	−0.25	mA
V_C	Input Clamp Voltage	I_C = −5 mA			−1.2	V
V_{OL}	Output Low Voltage	I_{OL} = 15 mA		0.3	0.45	V
V_{OH1}	Output High Voltage	I_{OH} = 1 mA	3.65	4.0		V
I_{SC}	Output Short Circuit Current	V_{CC} = 5V	−15	−35	−65	mA
$\|I_O\|$	Output Leakage Current TRI-STATE	V_O = 0.45V/5.5V			20	μA
CONTROL INPUTS ($\overline{CS}$, $\overline{DIEN}$)						
V_{IL}	Input Low Voltage				0.95	V
V_{IH}	Input High Voltage		2			V
I_F	Input Load Current	V_F = 0.45V		−0.15	−0.5	mA
I_R	Input Leakage Current	V_R = 5.25V			20	μA
I_{CC}	Power Supply Current DP8216 DP8226			 95 85	 130 120	 mA mA

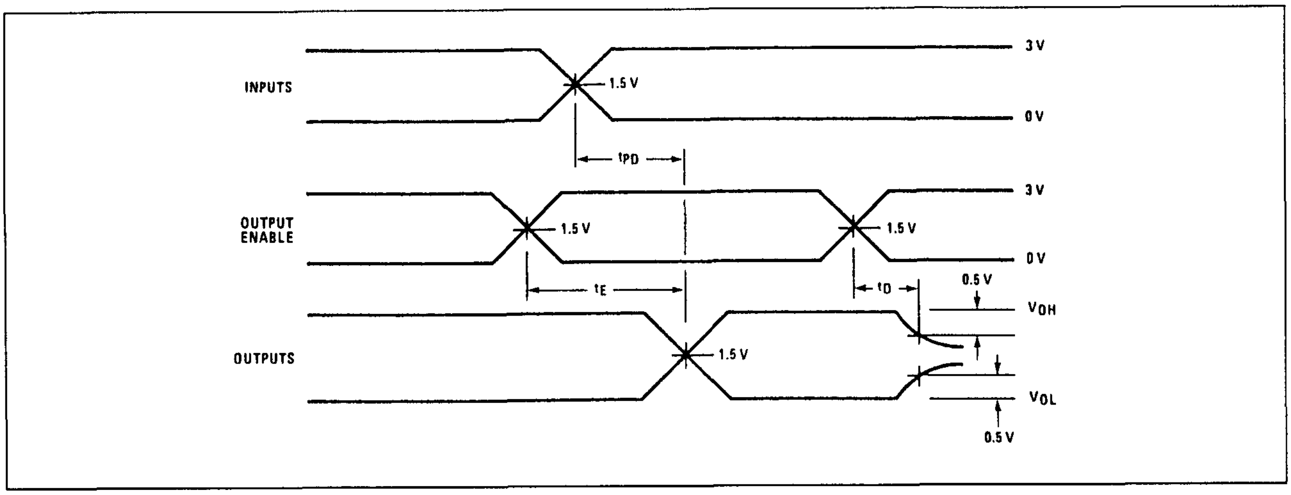
Tabel 9/10.2-8: Gelijkspannings-karakteristieken van de 8216/8226.

DP8216, DP8226 V_{CC} = 5.0V ± 5%

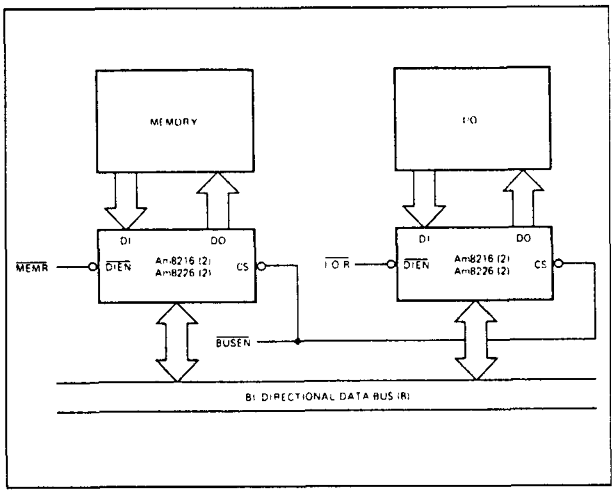
Symbol	Parameter	Conditions				Units
t_{PD1}	Input to Output Delay, DO Outputs	C_L = 30 pF, R_1 = 300Ω, R_2 = 600Ω		15	25	ns
t_{PD2}	Input to Output Delay, DB Outputs DP8216 DP8226	C_L = 300 pF, R_1 = 90Ω, R_2 = 180Ω		 20 16	 30 25	 ns ns
t_E	Output Enable Time DP8216 DP8226	DO Outputs: C_L = 30 pF, R_1 = 300Ω R_2 = 600Ω DB Outputs: C_L = 300 pF, R_1 = 90Ω R_2 = 180Ω		 45 35	 65 54	 ns ns
t_D	Output Disable Time	DO Outputs: C_L = 5 pF, R_1 = 300Ω R_2 = 600Ω DB Outputs: C_L = 5 pF, R_1 = 90Ω R_2 = 180Ω		20	35	ns

Tabel 9/10.2-10: Schakeltijden van de 8216/8226 (zie ook figuur 9/10.2-15).

10.2 Type-beschrijving 80-familie



Figuur 9/10.2-15: Golfvormen en schakeltijden van de 8216/8226.



Figuur 9/10.2-16: Toepassingsvoorbeeld van de 8216/8226.

8228, 8238

System controller en bus-driver

De 8228 en 8238 zijn single-chip systeem-controllers plus bus-drivers. Ze genereren alle besturingssignalen die nodig zijn om geheugen- en in-/uitgangs-componenten direkt op microprocessoren van de 8080-familie aan te sluiten. De chips kunnen tevens een bidirectionele databus aansturen en "isoleren", waarbij gebruik gemaakt kan worden van tragere componenten. De 8238 is hiervoor nog iets beter geschikt dan de 8228 door de verlengde $\overline{IOW}/\overline{MEMW}$ pulsbreedte.

Er is een door de gebruiker te kiezen signal-level interrupt-vector (RST 7) beschikbaar die gebruikt kan worden voor kleine, real-time, op interrupts gebaseerde systemen. Voor deze enkele interrupt-vector zijn geen extra componenten (zoals een interrupt-instructie poort) nodig. De 8228/8238 genereert ook een Interrupt Acknowledge ($\overline{INTA}$) signaal voor elke byte van een multi-byte CALL-instructie wanneer de 8080 een interrupt accepteert. Hierdoor is een meerlaags prioriteiten interrupt-structuur mogelijk voor grote systemen.

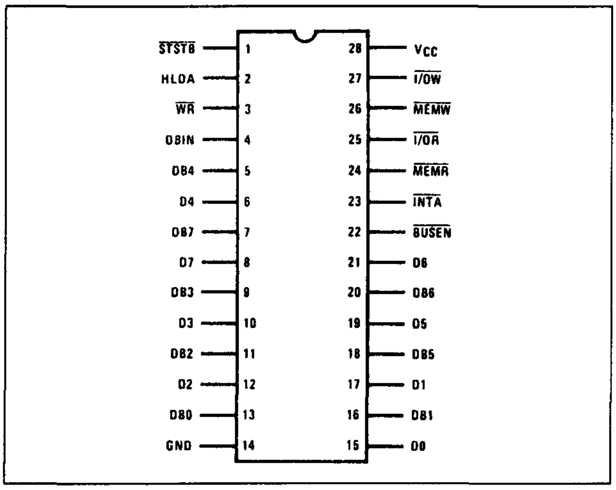
Specificaties
- systeem-controller en bus-driver voor 8080 microcomputersystemen
- isoleert de databus
- geschikt voor allerlei busstructuren
- door gebruiker te kiezen interrupt-vector (RST 7)
- multi-byte CALL-instructies mogelijk
- 8238: verlengde $\overline{IOW}/\overline{MEMW}$ pulsbreedte
- 28-pens plastic of ceramische DIL-behuizing
- fabrikanten
  Intel: P8228, P8238
  NatSemi: DP8228, DP8238
  AMD: Am8228(M), Am8238(M)
  NEC: PB8228C

10.2 Type-beschrijving 80-familie

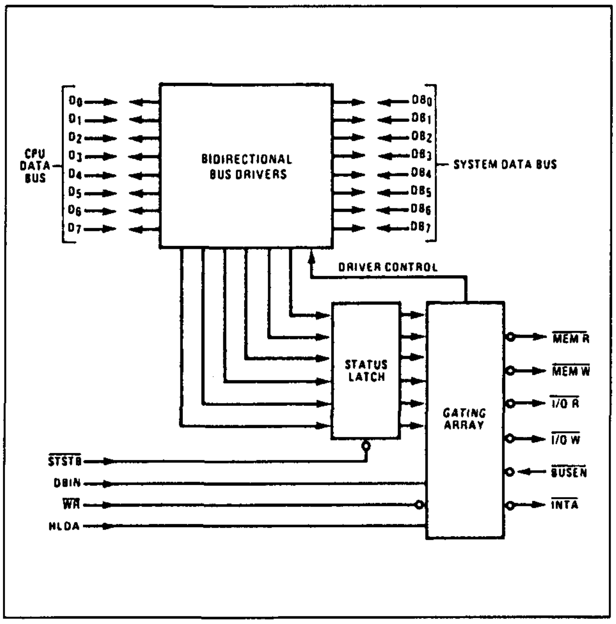
Status Word Chart

Machine Cycle	Status Word	Data Bus Bit D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	Control Signal
Instruction Fetch	1	1	0	1	0	0	0	1	0	$\overline{MEMR}$
Memory Read	2	1	0	0	0	0	0	1	0	$\overline{MEMR}$
Memory Write	3	0	0	0	0	0	0	0	0	$\overline{MEMW}$
Stack Read	4	1	0	0	0	0	1	1	0	$\overline{MEMR}$
Stack Write	5	0	0	0	0	0	1	0	0	$\overline{MEMW}$
Input Read	6	0	1	0	0	0	0	1	0	$\overline{I/OR}$
Output Write	7	0	0	0	1	0	0	0	0	$\overline{I/OW}$
Interrupt Acknowledge	8	0	0	1	0	0	0	1	1	$\overline{INTA}$
Halt Acknowledge	9	1	0	0	0	1	0	1	0	(none)
Interrupt Acknowledge While Halt	10	0	0	1	0	1	0	1	1	$\overline{INTA}$

Tabel 9/10.2-11: Inrichting van het statuswoord.

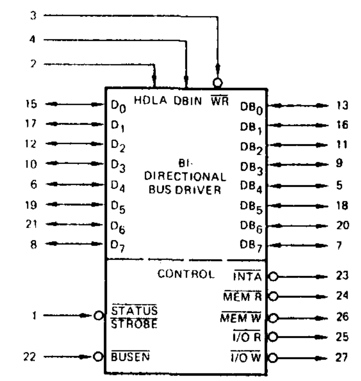


Figuur 9/10.2-17: Aansluitingen van de 8228/8238.



Figuur 9/10.2-18: Blokschema van de 8228/8238 en optredende signalen.

10.2 Type-beschrijving 80-familie



Figuur 9/10.2-19: Logisch symbool van de 8228/8238.

Functionele beschrijving

Ingangssignalen

- Status Strobe ($\overline{STSTB}$) wordt bij iedere nieuwe machine-cyclus geaktiveerd (LAAG) om een statuswoord (tabel 9/10.2-11) uit de processor in de interne latch op te slaan. Het statuswoord wordt gelatcht wanneer ($\overline{STSTB}$) weer HOOG wordt. De processor zet dit statuswoord tijdens de eerste trap (SYNC interval) van elke machine-cyclus op de databus.
- Wanneer Data Bus In (DBIN) = HOOG is, betekent dit dat de databus van de 8080 in de input-mode staat. Het DBIN-signaal wordt gebruikt om data uit geheugen of van een I/O-schakeling op de databus te zetten.
- Write ($\overline{WR}$) = LAAG geeft aan dat data die op de databus staat stabiel is en in het geheugen of naar een uitgangsschakeling kan worden geschreven.
- Als Hold Acknowledge (HLDA) = HOOG is, wil dat zeggen dat de data- en adresbussen van de 8080 hoog-impedant worden. Wanneer DBIN = HOOG is (data-leesmode), latcht het HLDA-signaal de databus-informatie in de drivers en schakelt de betreffende besturingssignalen $\overline{I/OR}$, $\overline{MEMR}$ of $\overline{INTA}$ af.
- Bus Enable ($\overline{BUSEN}$) is een asynchrone DMA-ingang van de interne gating-array. Als $\overline{BUSEN}$ = LAAG is werken de interne bidirectionele bus-driver en gating-array normaal, in het andere geval zijn ze hoog-impedant.

Uitgangssignalen

- Memory Read ($\overline{MEMR}$) = LAAG geeft aan dat data uit het geheugen kan worden gehaald.
  Het $\overline{MEMR}$-signaal wordt gegenereerd door het statuswoord 1, 2 of 4 in te stroben.
- Memory Write ($\overline{MEMW}$) = LAAG geeft aan dat data in het geheugen kan worden opgeslagen. Het $\overline{MEMW}$-signaal wordt voor de 8238 gegenereerd door het statuswoord 3 of 5 te stroben. Voor de 8228 wordt het $\overline{MEMW}$-signaal opgewekt door tegelijk met het stroben van het statuswoord 3 of 5 een LAAG $\overline{WR}$-signaal aan te brengen.
- Een LAAG Input/Output Read ($\overline{I/OR}$) geeft aan dat data van een geadresseerde in-/uitgangsschakeling kan worden opgenomen.
  Het $\overline{I/OR}$-signaal wordt opgewekt door statuswoord 6 in te stroben.
- Wanneer Input/Output Write ($\overline{I/OW}$) LAAG is, kan data naar een geadresseerde in-/uitgangsschakeling worden getransporteerd. Voor de 8238 wordt $\overline{I/OW}$ opgewekt door statuswoord 7 in te stroben. Voor de 8228 wordt het $\overline{I/OW}$-signaal opgewekt door tegelijk met het stroben van statuswoord 7 $\overline{WR}$ LAAG te maken.
- Als Interrupt Acknowledge ($\overline{INTA}$) = LAAG is, betekent dit dat de microprocessor een interrupt bevestigd heeft.
  Het $\overline{INTA}$-signaal wordt gegenereerd door statuswoord 8 of 10 in te stroben.
- Signal Level Interrupt (RST 7). Wanneer de $\overline{INTA}$ uitgang via een 1 kΩ weerstand met +12 V wordt verbonden, zullen de databus-uitgangen van de CPU hoog-impedant worden bij instroben van statuswoord 8 of 10.

In-/uitgangssignalen

- De CPU Databus (D7 tot en met D0) heeft acht 3-state in-/uitgangslijnen voor bidirectionele communicatie tussen CPU, geheugen en in-/uitgangsschakelingen. Tijdens de eerste microcyclus van iedere machinecyclus (SYNC = HOOG) komt ook een statuswoord op deze databus te staan.
- De System Databus (DB7 tot en met DB0) heeft acht 3-state in-/uitgangslijnen die op geheugen- en in-/uitgangsschakelingen van het systeem worden aangesloten. De interne bidirectionele bus-driver isoleert de DB7-DB0 Databus van de D7-D0 Databus.

Electrical Characteristics Min ≤ T_A ≤ Max, Min ≤ V_{CC} ≤ Max, unless otherwise noted

Symbol	Parameter		Conditions		Min	Typ (Note 1)	Max	Units
V_C	Input Clamp Voltage, All Inputs		V_{CC} = Min, I_C = −5 mA			0.6	−1.0	V
I_F	Input Load Current	$\overline{STSTB}$	V_{CC} = Max V_F = 0.45V for DP8228, DP8238 V_F = 0.40V for DP8228M, DP8238M				500	μA
		D2 and D6					750	μA
		D0, D1, D4, D5 and D7					250	μA
		All Other Inputs					250	μA
I_R	Input Leakage Current	DB0−DB7	V_{CC} = Max, V_R = V_{CC}				20	μA
		All Other Inputs					100	μA
V_{TH}	Input Threshold Voltage, All Inputs		V_{CC} = 5V		0.8		2.0	V
I_{CC}	Power Supply Current		V_{CC} = Max	DP8228, DP8238		185	230	mA
				DP8228M, DP8238M		160	230	mA
V_{OL}	Output Low Voltage	D0−D7	V_{CC} = Min, I_{OL} = 2 mA	DP8228M, DP8238M			0.50	V
				DP8228, DP8238			0.45	V
		All Other Outputs	V_{CC} = Min, I_{OL} = 10 mA	DP8228M, DP8238M			0.50	V
				DP8228, DP8238			0.45	V
V_{OH}	Output High	D0−D7	V_C = Min, I_{OL} = −10 μA	DP8228M, DP8238M	3.3	3.8		V
				DP8228, DP8238	3.6	3.8		V
		All Other Outputs	V_{CC} = Min, I_{OH} = −1 mA		2.4	3.8		V
I_{OS}	Short Circuit Current, All Outputs		V_{CC} = 5V, V_O = 0V		15		90	mA
$I_{O\,(OFF)}$	OFF State Output Current All Control Outputs		V_{CC} = Max, V_O = V_{CC}				100	μA
			V_{CC} = Max, V_O = 0.45V				−100	μA
I_{INT}	INTA Current		(See Test Conditions, *Figure 3*)				5	mA

Note 1: Typical values are for T_A = 25°C and typical supply voltages.

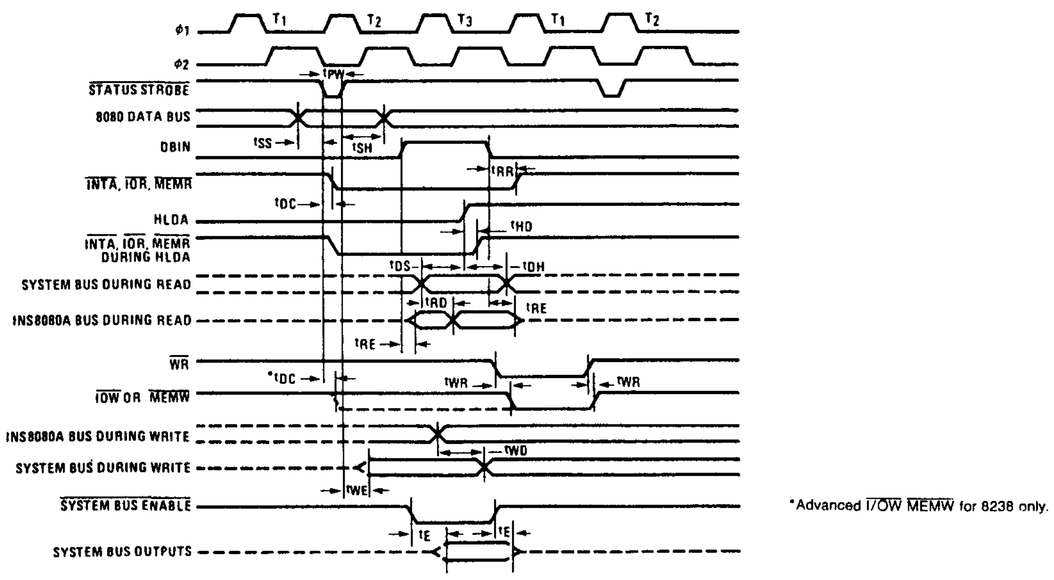
Tabel 9/10.2-12: Gelijkspannings-karakteristieken van de 8228/8238.

10.2 Type-beschrijving 80-familie

Switching Characteristics Min ≤ V_{CC} ≤ Max, Min ≤ T_A ≤ Max

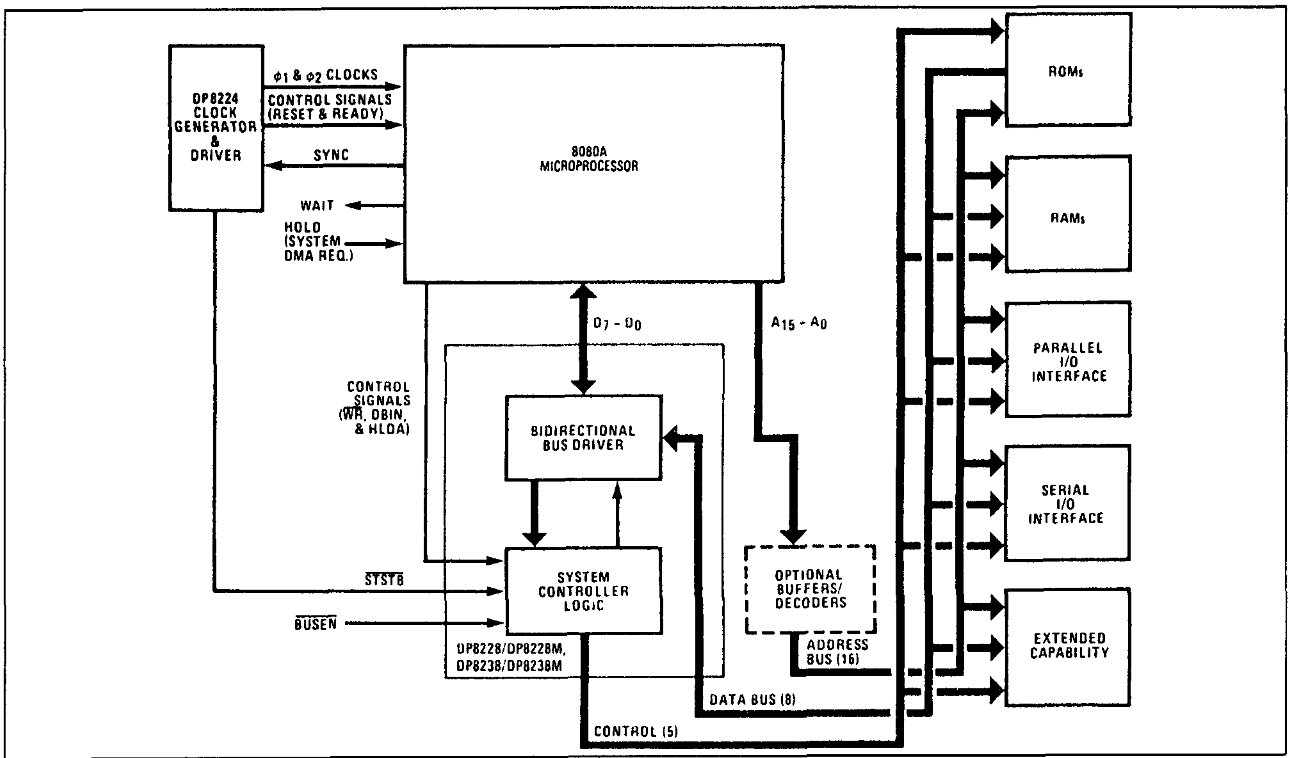
Symbol	Parameter	DP8228, DP8238		Units
		Min	Max	
t_{PW}	Width of Status Strobe	22		ns
t_{SS}	Set-Up Time, Status Inputs D0–D7	8		ns
t_{SH}	Hold Time, Status Inuts D0–D7	5		ns
t_{DC}	Delay from $\overline{STSTB}$ to Any Control Signal	20	60	ns
t_{RR}	Delay from DBIN to Control Outputs		30	ns
t_{RE}	Delay from DBIN to Enable/ Disable 8080 Bus		45	ns
t_{RD}	Delay from System Bus to 8080 Bus During Read		30	ns
t_{WR}	Delay from $\overline{WR}$ to Control Outputs	5	45	ns
t_{WE}	Delay to Enable System Bus DB0–DB7 after $\overline{STSTB}$		30	ns
t_{WD}	Delay from 8080 Bus D0–D7 to System Bus DB0–DB7 During Write	5	40	ns
t_E	Delay from System Bus Enable to System Bus DB0–DB7		30	ns
t_{HD}	HLDA to Read Status Outputs		25	ns
t_{DS}	Set-Up Time, System Bus Inputs to HLDA	10		ns
t_{DH}	Hold Time, System Bus Inputs to HLDA	20		ns

Tabel 9/10.2-13: Schakeltijden van de 8228/8238 (zie ook figuur 9/10.2-20).



Figuur 9/10.2-20: Golfvormen en schakeltijden van de 8228/8238 (voor de 8238 zijn $\overline{I/OW}$ en $\overline{MEMW}$ langer).

10.2 Type-beschrijving 80-familie



Figuur 9/10.2-21: Toepassing van de 8228/8238 in een 8080-omgeving.

8243

In-/uitgangs expander

De 8243 bevat vier 4 bit in-/uitgangspoorten (poorten 4 tot en met 7) die een uitbreiding kunnen vormen op de in een systeem aanwezige I/O (zie figuur 9/10.2-23). Met deze poorten kunnen de volgende handelingen worden uitgevoerd:

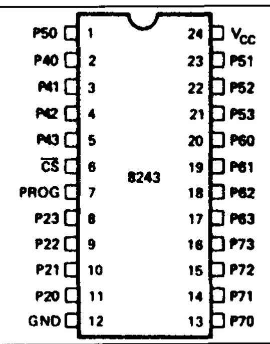
- overdracht van accumulator naar poort;
- overdracht van poort naar accumulator;
- AND accumulator naar poort;
- OR accumulator naar poort.

Werking

Alle communicatie tussen een 8048 microcontroller en de 8243 geschiedt via poort 2 (P20 tot en met P23), waarbij de timing wordt geleverd door een uitgangspuls op de PROG-pen van de processor. Elke overdracht bestaat uit twee 4 bit nibbles: de eerste bevat de "op-code" en het poort-adres en de tweede de eigenlijke 4 bit data (tabel 9/10.2-15).

P21	P20	Address Code	P23	P22	Instruction Code
0	0	Port 4	0	0	Read
0	1	Port 5	0	1	Write
1	0	Port 6	1	0	ORLD
1	1	Port 7	1	1	ANLD

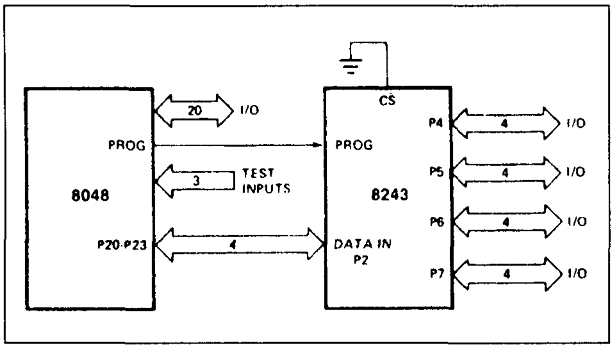
Tabel 9/10.2-15: De opcode van de 8243.



Figuur 9/10.2-22: Aansluitgegevens van de 8243.

10.2 Type-beschrijving 80-familie

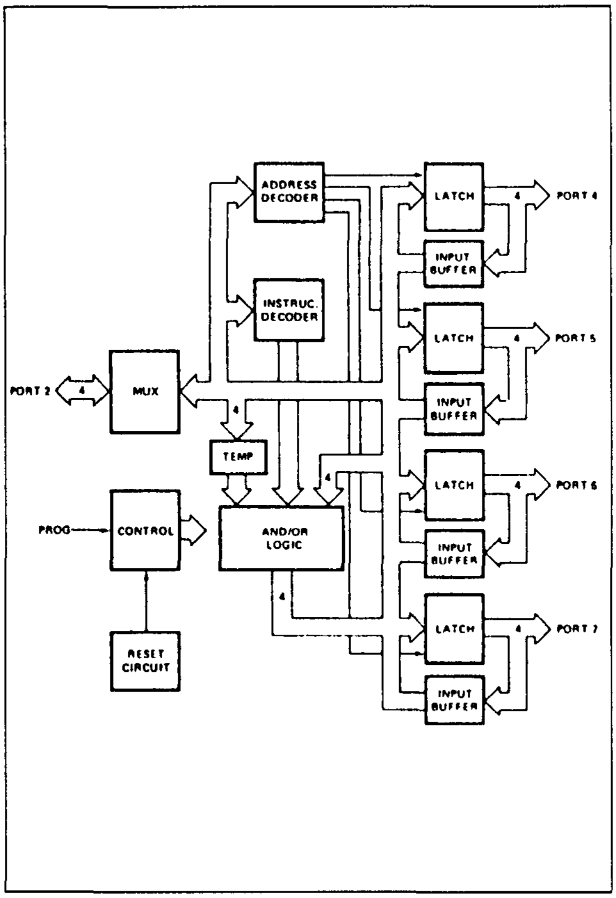
Een HOOG-naar-LAAG overgang op de PROG-lijn geeft aan dat het adres aanwezig is; LAAG-naar-HOOG betekent data aanwezig (figuur 9/10.2-25). Op de 4 bit bus kunnen eventueel extra 8243's worden aangesloten, waarbij de chip-selects van extra uitgangen op de 8048 afkomstig zijn (figuur 9/10.2-27).



Figuur 9/10.2-23: Uitbreiding van de I/O-mogelijkheden in een 8048-systeem.

Specificaties

- 4 bit expander
- 8048-familie compatibel
- 24-pens plastic DIL-behuizing
- fabrikanten
  Intel: P8243, NEC: PD8243

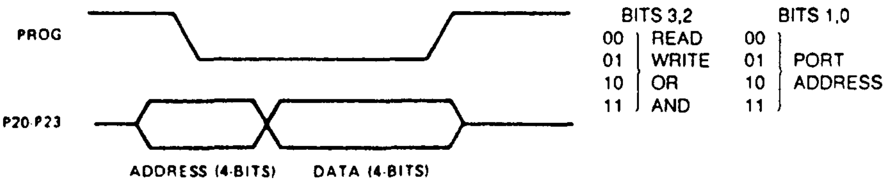


Figuur 9/10.2-24: Functioneel blokschema van de 8243.

Symbol	Pin No.	Function
PROG	7	Clock Input. A high to low transition on PROG signifies that address and control are available on P20-P23, and a low to high transition signifies that data is available on P20-P23.
$\overline{CS}$	6	Chip Select Input. A high on CS inhibits any change of output or internal status.
P20-P23	11-8	Four (4) bit bi-directional port contains the address and control bits on a high to low transition of PROG. During a low to high transition, P2 contains the data for a selected output port if a write operation, or the data from a selected port before the low to high transition if a read operation.
GND	12	0V supply.
P40-P43	2-5	Four (4) bit bi-directional I/O ports.
P50-P53 P60-P63 P70-P73	1, 23-21 20-17 13-16	May be programmed to be input (during read), low impedance latched output (after write), or a tri-state (after read). Data on pins P20-P23 may be directly written, ANDed or ORed with previous data.
V_{CC}	24	+ 5V supply.

Tabel 9/10.2-14: Beschrijving van de aansluitpennen en de bijbehorende signalen.

10.2 Type-beschrijving 80-familie



Figuur 9/10.2-25: Timing van opcode en poortadres in een 8243.

Initialisatie bij Power-On

Bij het aanleggen van de voedingsspanning op de 8243 komen de in-/uitgangspoorten 4, 5, 6 en 7 in de hoog-impedante toestand en poort 2 in de ingangsmode. Het signaal op de PROG-pen mag daarbij zowel HOOG als LAAG zijn. De eerste HOOG-naar-LAAG overgang op PROG maakt dat de chip de power-on mode verlaat. Wanneer V_{CC} lager wordt dan 1 V komt de 8243 weer in de power-on mode.

Schrijf-modes

De 8243 heeft drie schrijf-modes:

- MOVD Pi, A schrijft direkt nieuwe data in de geselecteerde poort, waarbij oude data verloren gaat;
- ORLD Pi, A neemt nieuwe data, OR't die met de oude data en schrijft het resultaat naar de poort;
- ANLD Pi, A neemt nieuwe data, voert een AND uit met de oude data en schrijft het resultaat in de gekozen poort.

Op(eratie)-code en poort-adres worden op de HOOG-naar-LAAG overgang van PROG uit poort 2 gelatcht. Op de LAAG-naar-HOOG overgang van PROG wordt data van poort 2 overgebracht naar het logische blok in de gespecificeerde uitgangspoort. Nadat de logische operatie is uitgevoerd wordt de data in de latch opgeslagen en naar de uitgang gebracht. De oude data blijft gelatcht totdat nieuwe, geldige data binnenkomt.

Leesmode

De 8243 heeft één leesmode. Direkt na opname en decodering van de opcode en het adres wordt de leeshandeling uitgevoerd. De betreffende uitgangen worden zwevend en de ingangsbuffers worden ingeschakeld. Het lezen wordt beëindigd door een LAAG-naar-HOOG overgang van de PROG-pen. De poort die werd geselecteerd (4, 5, 6 of 7) wordt in de zwevende 3-state toestand gezet, terwijl poort 2 weer ingang wordt.
Normaal zal een poort ingang (schrijfmode) of uitgang (leesmode) zijn. Als de modes tijdens bedrijf veranderen moet de eerste leesopdracht na schrijven worden genegeerd, alle volgende lees-operaties zijn daarna geldig. Dit dient om de externe, met de poort verbonden driver tijd te geven zich in te stellen. Het inlezen via een poort laat die poort in de hoog-impedante toestand achter.

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias	0°C to 70°C
Storage Temperature	−65°C to +150°C
Voltage on Any Pin with Respect to Ground	−0.5V to +7V
Power Dissipation	1 Watt

Tabel 9/10.2-16: Maximaal toegelaten waarden.

10.2 Type-beschrijving 80-familie

D.C. CHARACTERISTICS T_A = 0°C to 70°C, V_{CC} = 5V ± 10%

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
V_{IL}	Input Low Voltage	-0.5		0.8	V	
V_{IH}	Input High Voltage	2.0		V_{CC} + 0.5	V	
V_{OL1}	Output Low Voltage Ports 4-7			0.45	V	I_{OL} = 4.5 mA*
V_{OL2}	Output Low Voltage Port 7			1	V	I_{OL} = 20 mA
V_{OH1}	Output High Voltage Ports 4-7	2.4			V	I_{OH} = 240 μA
I_{IL1}	Input Leakage Ports 4-7	10		20	μA	V_{in} = V_{CC} to 0V
I_{IL2}	Input Leakage Port 2, CS, PROG	-10		10	μA	V_{in} = V_{CC} to 0V
V_{OL3}	Output Low Voltage Port 2			0.45	V	I_{OL} = 0.6 mA
I_{CC}	V_{CC} Supply Current		10	20	mA	(Note 1)
V_{OH2}	Output Voltage Port 2	2.4				I_{OH} = 100 μA
I_{OL}	Sum of All I_{OL} From 16 Outputs			72	mA	4.5 mA Each Pin

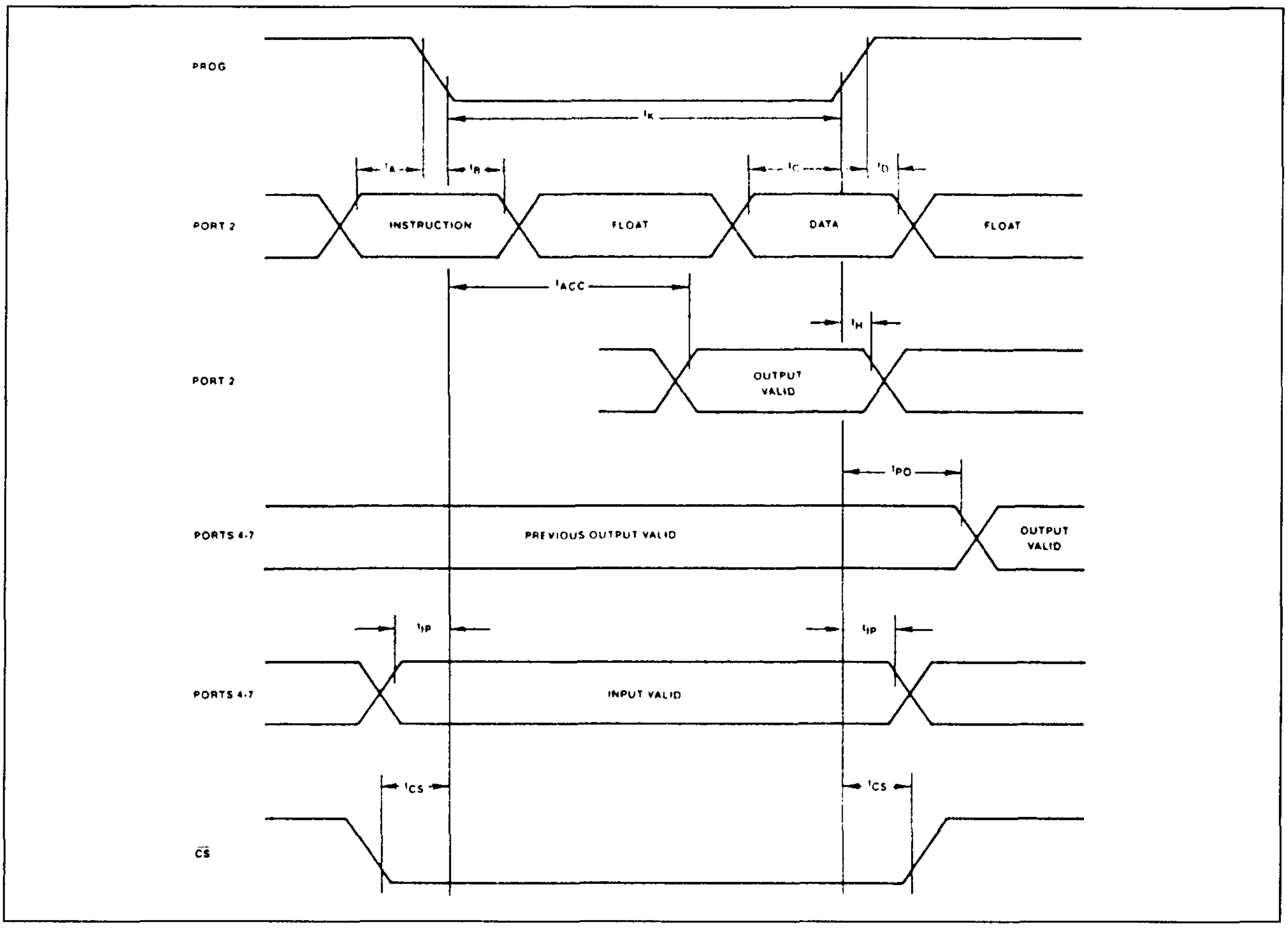
Tabel 9/10.2-17: Gelijkspannings-karakteristieken van de 8243.

A.C. CHARACTERISTICS T_A = 0°C to 70°C, V_{CC} = 5V ± 10%

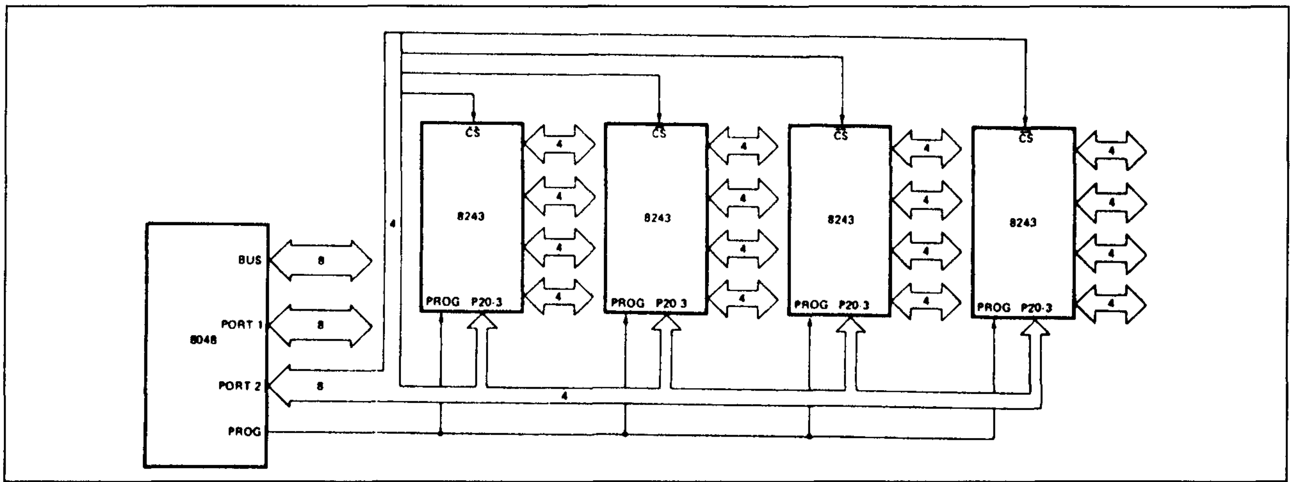
Symbol	Parameter	Min	Max	Units	Test Conditions
t_A	Code Valid before PROG	50		ns	80 pF Load
t_B	Code Valid after PROG	60		ns	20 pF Load
t_C	Data Valid before PROG	200		ns	80 pF Load
t_D	Data Valid after PROG	20		ns	20 pF Load
t_H	Floating after PROG	0	150	ns	20 pF Load
t_K	PROG Negative Pulse Width	700		ns	
t_{CS}	CS Valid before/after PROG	50		ns	
t_{PO}	Ports 4-7 Valid after PROG		700	ns	100 pF Load
t_{LP1}	Ports 4-7 Valid before/after PROG	100		ns	
t_{ACC}	Port 2 Valid after PROG		650	ns	80 pF Load

Tabel 9/10.2-18: Schakeltijden van de 8243 (zie ook figuur 9/10.2-26).

10.2 Type-beschrijving 80-familie



Figuur 9/10.2-26: Golfvormen en schakeltijden van de 8243.



Figuur 9/10.2-27: Verdere uitbreiding van de in-/uitgangskanalen van een 8048-systeem.

10.2 Type-beschrijving 80-familie

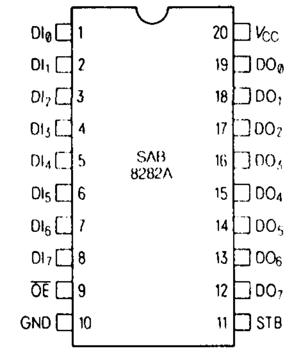
8282, 8283

8 bit latch

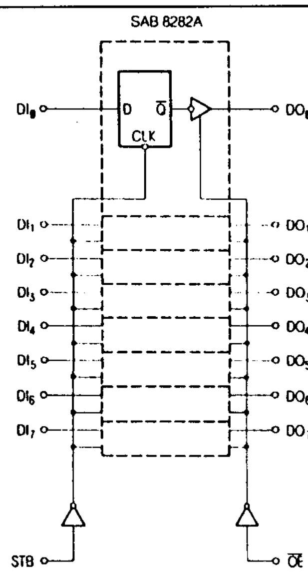
De 8282 en 8283 zijn 8-voudige bipolaire latches met 3-state uitgangsbuffers. Zij kunnen worden toegepast om latches, buffers of multiplexers te implementeren. De 8283 inverteert de ingangsdata, de 8282 niet. Met deze schakelingen kunnen alle belangrijke periferie- en in-/uitgangsfuncties worden uitgevoerd.

Specificaties

- parallel 8 bit data-register en buffer
- adreslatch voor 80xx-familie microprocessoren en microcontrollers
- 8282: niet-inverterend, 8283: inverterend
- transparant gedurende aktieve strobe
- 3-state uitgangen
- 20-pens plastic DIL-behuizing
- fabrikanten
  Intel: P8282, P8283
  Siemens: SAB8282A, SAB8283A
  Harris: 82C82, 82C83H (CMOS)
  NEC: PB8282, PB8283



Figuur 9/10.2-28: Aansluitingen van de 8282.



Figuur 9/10.2-29: Functioneel schema van de 8282 (niet-inverterend).

Pin	Description
STB	STROBE (Input). STB is an input control pulse used to strobe data at the data input pins (A_0-A_7) into the data latches. This signal is active HIGH to admit input data. The data is latched at the HIGH to LOW transition of STB.
$\overline{OE}$	OUTPUT ENABLE (Input). $\overline{OE}$ is an input control signal which when active LOW enables the contents of the data latches onto the data output pin (B_0-B_7). OE being inactive HIGH forces the output buffers to their high impedance state.
DI_0-DI_7	DATA INPUT PINS (Input). Data presented at these pins satisfying setup time requirements when STB is strobed and latched into the data input latches.
DO_0-DO_7 (8282) $\overline{DO}_0$-$\overline{DO}_7$ (8283)	DATA OUTPUT PINS (Output). When $\overline{OE}$ is true, the data in the data latches is presented as inverted (8283) or non-inverted (8282) data onto the data output pins.

Tabel 9/10.2-19: Beschrijving van de aansluitpennen en signalen.

ABSOLUTE MAXIMUM RATINGS*

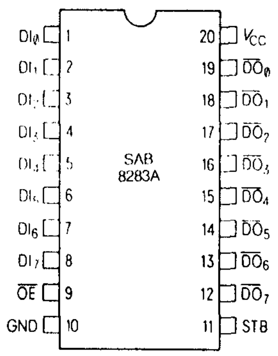
Temperature Under Bias................ 0°C to 70°C
Storage Temperature............ −65°C to +150°C
All Output and Supply Voltages........ −0.5V to +7V
All Input Voltages................. −1.0V to +5.5V
Power Dissipation.......................... 1 Watt

Tabel 9/10.2-20: Maximaal toegelaten waarden.

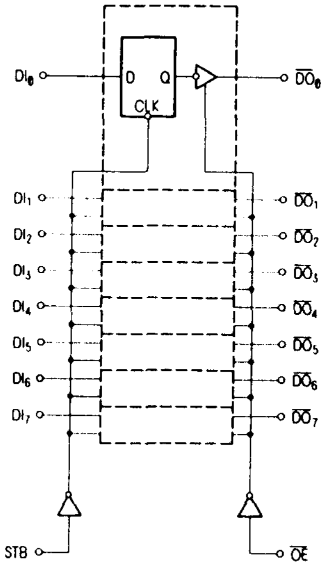
10.2 Type-beschrijving 80-familie

Werking

De 8282 en 8283 zijn 8 bit latches met 3-state uitgangsbuffers. Data die lang genoeg van te voren aanwezig is (set-up tijden) wordt op een HOOG-naar-LAAG overgang van het STB-signaal in de data-latches geklokt. Wanneer STB in de aktieve toestand (HOOG) wordt gehouden, lijken de latches transparant. Data wordt op de uitgangen gezet door de $\overline{OE}$-lijn te aktiveren. Is $\overline{OE}$ niet-aktief HOOG, dan bevinden de uitgangsbuffers zich in de hoog-impedante toestand.



Figuur 9/10.2-30: Aansluitingen van de 8283.



Figuur 9/10.2-31: Functioneel schema van de 8283 (inverterend).

D.C. CHARACTERISTICS (V_{CC} = 5V ± 10%, T_A = 0°C to 70°C)

Symbol	Parameter	Min.	Max.	Units	Test Conditions
V_C	Input Clamp Voltage		−1	V	I_C = −5 mA
I_{CC}	Power Supply Current		160	mA	
I_F	Forward Input Current		−0.2	mA	V_F = 0.45V
I_R	Reverse Input Current		50	μA	V_R = 5.25V
V_{OL}	Output Low Voltage		.45	V	I_{OL} = 32 mA
V_{OH}	Output High Voltage	2.4		V	I_{OH} = −5 mA
I_{OFF}	Output Off Current		± 50	μA	V_{OFF} = 0.45 to 5.25V
V_{IL}	Input Low Voltage		0.8	V	V_{CC} = 5.0V See Note 1
V_{IH}	Input High Voltage	2.0		V	V_{CC} = 5.0V See Note 1
C_{IN}	Input Capacitance		12	pF	F = 1 MHz V_{BIAS} = 2.5V, V_{CC} = 5V T_A = 25°C

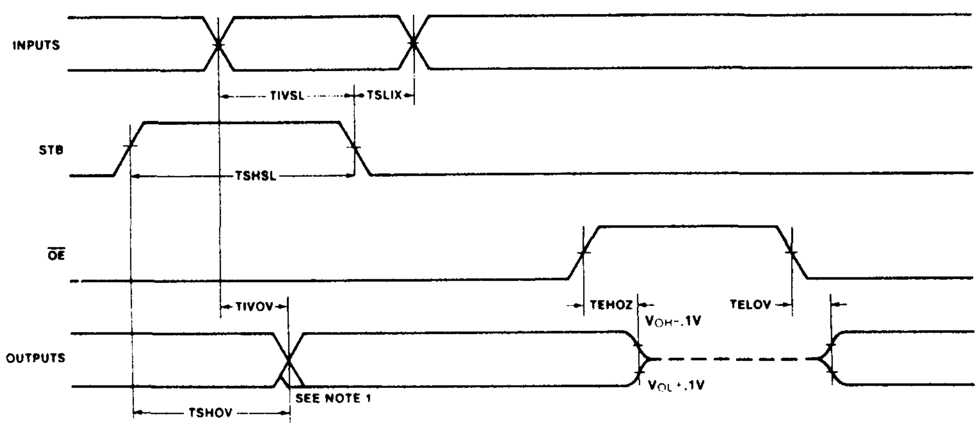
Tabel 9/10.2-21: Gelijkspannings-karakteristieken van de 8282/8283.

10.2 Type-beschrijving 80-familie

A.C. CHARACTERISTICS (V_{CC} = 5V ±10%, T_A = 0°C to 70°C
Loading: Outputs—I_{OL} = 32 mA, I_{OH} = −5 mA, C_L = 300 pF*)

Symbol	Parameter	Min.	Max.	Units	Test Conditions
TIVOV	Input to Output Delay —Inverting —Non-Inverting	 5 5	 22 30	 ns ns	(See Note 1)
TSHOV	STB to Output Delay —Inverting —Non-Inverting	 10 10	 40 45	 ns ns	
TEHOZ	Output Disable Time	5	18	ns	
TELOV	Output Enable Time	10	30	ns	
TIVSL	Input to STB Setup Time	0		ns	
TSLIX	Input to STB Hold Time	25		ns	
TSHSL	STB High Time	15		ns	
TOLOH	Input, Output Rise Time		20	ns	From 0.8V to 2.0V
TOHOL	Input, Output Fall Time		12	ns	From 2.0V to 0.8V

Tabel 9/10.2-22: Schakeltijden van de 8282/8283.



Figuur 9/10.2-32: Golfvormen en schakeltijden van de 8282/8283.

82C82, 82C83

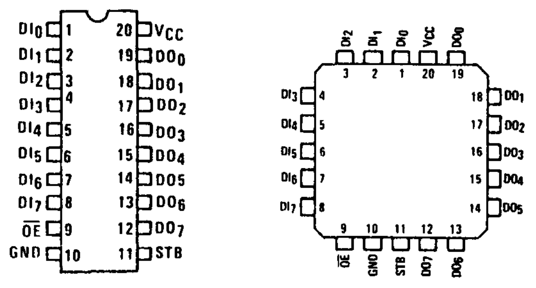
CMOS 8 bit latch

De 82C82 en 82C83 zijn CMOS-uitvoeringen van de 8282 en 8283 8 bit latches met 3-state uitgangsbuffers. De 82C82 inverteert de ingangsdata niet, de 82C83 wel. Zij worden in systemen rond 80Cxx-type CPU's toegepast om energie te besparen bij de implementatie van buffers, latches of multiplexers. Deze latches zijn leverbaar in commerciële, industriële en militaire uitvoeringen.

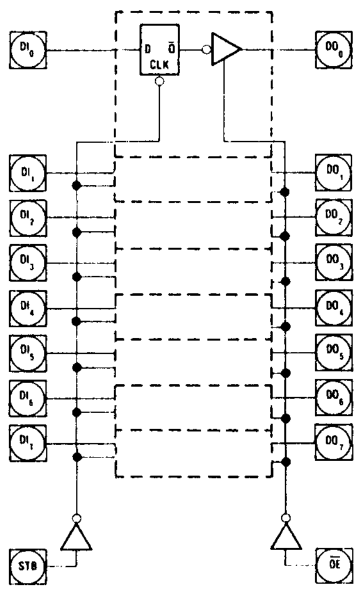
10.2 Type-beschrijving 80-familie

Specificaties

- parallel 8 bit data-register en buffer
- 82C82: niet-inverterend, 82C83: inverterend
- CMOS (compatibel met 8282 en 8283)
- 3-state uitgangen
- behuizing: 20-pens plastic DIL of 20-pens LCC/PLCC
- fabrikant: Harris: 82C82, 82C83H



Figuur 9/10.2-33: Aansluitgegevens van de DIL- en LCC-versie van de 82C82.



PIN NAMES

DI_0 - DI7	Data Input Pins
DO_0 - DO7	Data Output Pins
STB	Active High Strobe
$\overline{OE}$	Active Low Output Enable

Truth Table

STB	$\overline{OE}$	DI	DO
X	H	X	Hi-Z
H	L	L	L
H	L	H	H
↓	L	X	*

H = Logic One
L = Logic Zero
X = Don't Care
Hi-Z = High Impedance
↓ = Negative Transition
* = Latched to Value of Last Data

Figuur 9/10.2-34: Functioneel schema en waarheidstabel van de 82C82.

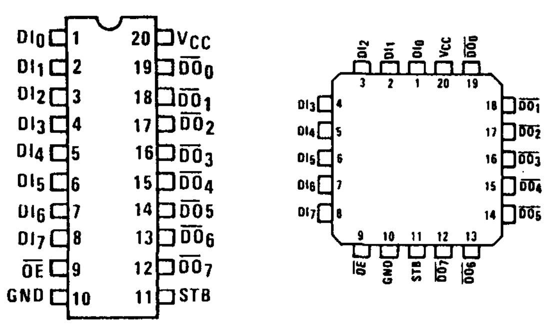
10.2 Type-beschrijving 80-familie

SYMBOL	PARAMETER	MIN	MAX	UNITS	TEST CONDITIONS
V_{IH}	Logical One Input Voltage	2.0 2.2		V V	C82C82, I82C82 M82C82 (Note 1)
V_{IL}	Logical Zero Input Voltage		0.8	V	
V_{OH}	Logical Zero Output Voltage	2.9 VCC -0.4V		V	IOH = -8mA IOH = -100µA $\overline{OE}$ = LOW
V_{OL}	Logical Zero Output Voltage		0.4	V	IOL = 8mA $\overline{OE}$ = LOW
II	Input Leakage Current	-1.0	1.0	µA	VIN = GND or VCC DIP Pins 1-9, 11
I_O	Output Leakage Current	-10.0	10.0	µA	VO = GND OR VCC $\overline{OE}$ = VCC -0.5V DIP Pins 12-19
I_{CCSB}	Standby Power Supply Current		10	µA	VIN = VCC or GND VCC = 5.5V Outputs Open
I_{CCOP}	Operating Power Supply Current		1	mA/MHz	T_A = +25°C, VCC = 5V, Typical (See Note 2)

NOTES: 1. V_{IH} is measured by applying a pulse of magnitude = V_{IHmin} to one data input at a time and checking the corresponding device output for a valid logical "1" during valid input high time. Control pins (STB, $\overline{OE}$) are tested separately with all device data input pins at V_{CC} -0.5V.

2. Typical I_{CCOP} = 1mA/MHz of STB cycle time. (Example: 5MHz µP, ALE = 1.25MHz, I_{CCOP} = 1.25mA).

Tabel 9/10.2-23: Gelijkspannings-karakteristieken van de 82C82.

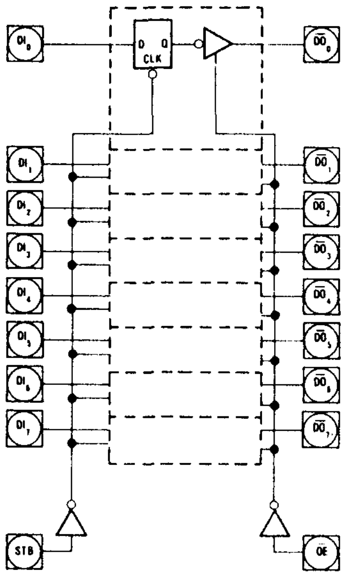


Figuur 9/10.2-35: Aansluitgegevens van de 82C83H (DIL en LCC-versie).

SYMBOL	PARAMETER	MIN	MAX	UNITS
TIVOV	Propagation Delay Input to Output		35	ns
TSHOV	Propagation Delay STB to Output		55	ns
TEHOZ	Output Disable Time		35	ns
TELOV	Output Enable Time		50	ns
TIVSL	Input to STB Set Up Time	0		ns
TSLIX	Input to STB Hold Time	25		ns
TSHSL	STB High Time	25		ns
TR, TF	Input Rise/Fall Times		20	ns

Tabel 9/10.2-24: Schakeltijden van de 82C82.

10.2 Type-beschrijving 80-familie



PIN NAMES

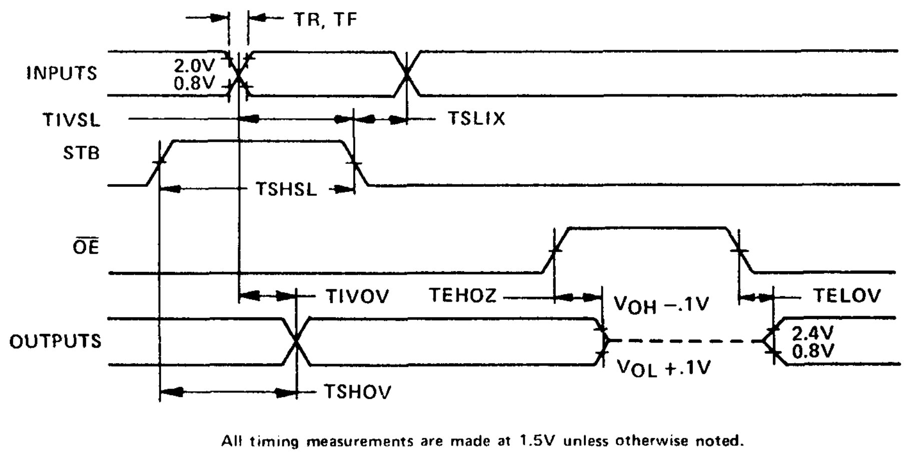
DI_0 - DI_7	Data Input Pins
$\overline{DO_0}$ - $\overline{DO_7}$	Data Output Pins
STB	Active High Strobe
$\overline{OE}$	Active Low Output Enable

Truth Table

STB	$\overline{OE}$	DI	$\overline{DO}$
X	H	X	Hi-Z
H	L	L	H
H	L	H	L
↓	L	X	*

H = Logic One
L = Logic Zero
X = Don't Care
Hi-Z = High Impedance
↓ = Negative Transition
* = Latched to Value of Last Data

Figuur 9/10.2-36: Functioneel schema en waarheidstabel van de 82C83H.



Figuur 9/10.2-37: Golfvormen en schakeltijden van de 82C82/82C83H.

10.2 Type-beschrijving 80-familie

SYMBOL	PARAMETER	MIN	MAX	UNITS	TEST CONDITIONS
V_{IH}	Logical One Input Voltage	2.0 2.2		V V	C82C83H, I82C83H M82C83H
V_{IL}	Logical Zero Input Voltage		0.8	V	
V_{OH}	Logical Zero Output Voltage	3.0 VCC -0.4V		V	IOH = -8mA IOH = -100μA $\overline{OE}$ = LOW
V_{OL}	Logical Zero Output Voltage		0.45	V	IOL = 20mA $\overline{OE}$ = LOW
I_I	Input Leakage Current	-10	10	μA	VIN = GND or VCC DIP Pins 1-9, 11
I_O	Output Leakage Current	-10	10	μA	VO = GND or VCC $\overline{OE}$ ≥ VCC -0.5V DIP Pins 12-19
I_{CCSB}	Standby Power Supply Current		10	μA	VIN = VCC or GND VCC = 5.5V Outputs Open
I_{CCOP}	Operating Power Supply Current		1	mA/MHz	T_A = +25°C, VCC = 5V, Typical (See Note 2)

NOTES: 1. V_{IH} is measured by applying a pulse of magnitude V_{IHmin} to one data input at a time and checking the corresponding device output for a valid logical "1" during valid input high time. Control pins (STB, $\overline{OE}$) are tested separately with all device data input pins at V_{CC} -0.5V.

2. Typical I_{CCOP} = 1mA/MHz of STB cycle time. (Example: 5MHz μP, ALE = 1.25MHz, I_{CCOP} = 1.25mA).

Tabel 9/10.2-25: Gelijkspannings-karakteristieken van de 82C83H.

SYMBOL	PARAMETER	MIN	MAX	UNITS
TIVOV	Propagation Delay Input to Output	5	25	ns
TSHOV	Propagation Delay STB to Output	10	50	ns
TEHOZ	Output Disable Time	5	22	ns
TELOV	Output Enable Time	10	45	ns
TIVSL	Input to STB Set Up Time	0		ns
TSLIX	Input to STB Hold Time	30		ns
TSHSL	STB High Time	15		ns
TR, TF	Input Rise/Fall Times		20	ns

Tabel 9/10.2-26: Schakeltijden van de 82C83H.

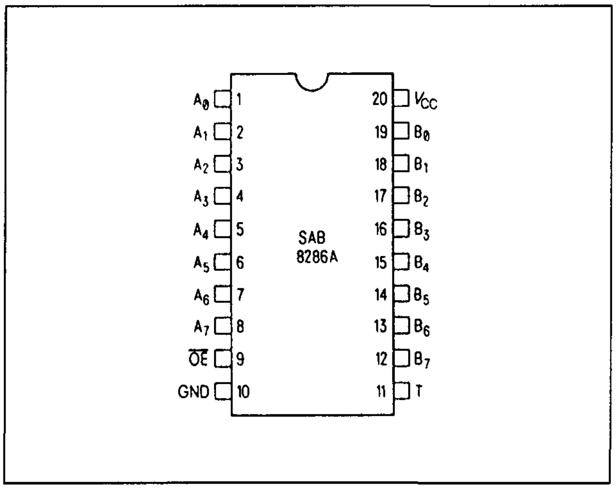
8286, 8287
8 bit bus-transceiver

De 8286 en 8287 zijn 8 bit bipolaire transceivers met 3-state uitgangen. De 8287 inverteert de binnengekomen data, terwijl de 8286 dat niet doet. Beide schakelingen zijn zodoende bruikbaar voor bufferdoeleinden in bus-georiënteerde systemen.
Als $\overline{T}$ aktief HOOG is en $\overline{OE}$ LAAG, gaat data van de A-kant (A0 tot en met A7) naar de B-kant (B0 tot en met B7). Is $\overline{T}$ echter LAAG (ook met $\overline{OE}$ = LAAG), dan gebeurt het omgekeerde: B naar A.

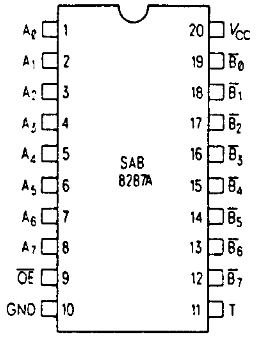
Specificaties

- parallelle 8 bit transceiver
- databus-driver voor 80xx-type CPU's
- 8286: niet-inverterend, 8287: inverterend
- grote uitgangs-sinkstroom
- 3-state uitgangen
- 20-pens plastic 0,3" DIL-behuizing
- fabrikanten
  Intel: P8286, P8287
  Siemens: SAB8286A, SAB8287A
  Harris: 82C86, 82C87 (CMOS)
  NEC: PB8286C, PB8287C

10.2 Type-beschrijving 80-familie

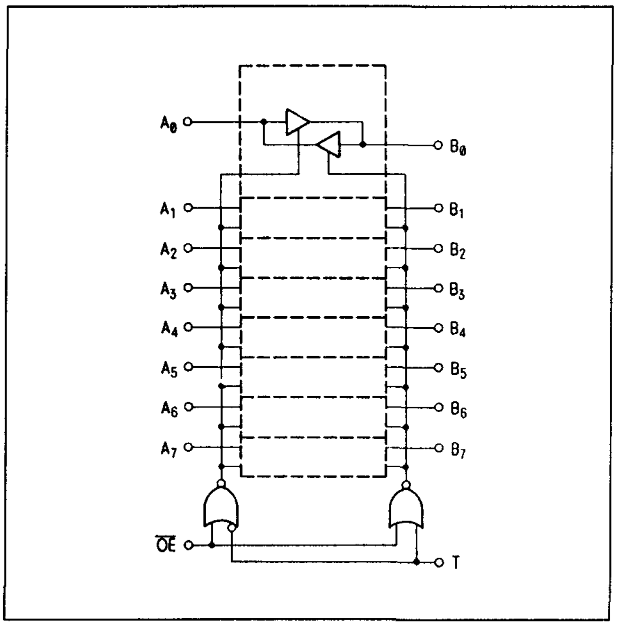


Figuur 9/10.2-38: Aansluitingen van de 8286.

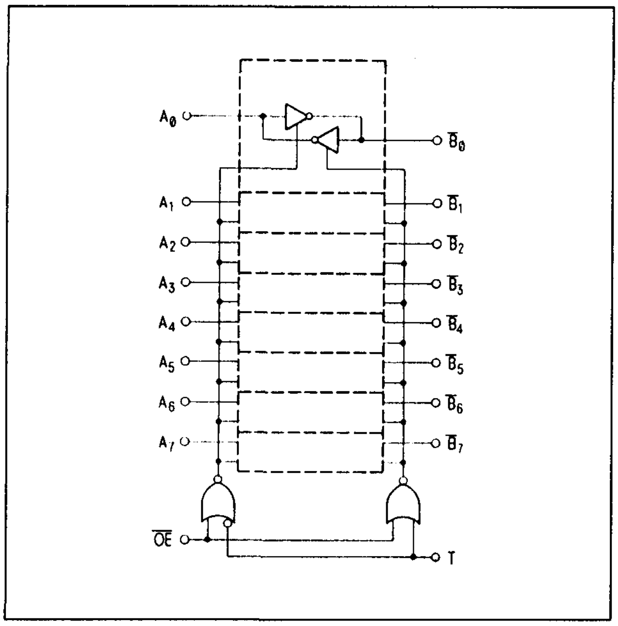


A_0-A_7	Local Bus Data
B_0-B_7	System Bus Data
$\overline{OE}$	Output Enable
T	Transmit
V_{CC}	Power Supply (+5V)
GND	Ground (0V)

Figuur 9/10.2-40: Aansluitingen van de 8287.



Figuur 9/10.2-39: Functioneel schema van de 8286 (niet-inverterend).



Figuur 9/10.2-41: Functioneel schema van de 8287 (inverterend).

10.2 Type-beschrijving 80-familie

T_A = 0 to 70°C; V_{CC} = +5V ±10%

Symbol	Parameter	Limit Values		Unit	Test Condition
		Min.	Max.		
V_C	Input Clamp Voltage	–	–1	V	I_C = –5 mA
I_{CC}	Power Supply Current	–	90	mA	All outputs open
I_F	Forward Input Current	–	–0.2	mA	V_F = 0.45V
I_R	Reverse Input Current	–	50	μA	V_R = 5.25V
V_{OL}	Output LOW Voltage – B Outputs – A Outputs	–	0.45 0.45	V	I_{OL} = 32 mA I_{OL} = 16 mA
V_{OH}	Output HIGH Voltage – B Outputs – A Outputs	2.4 2.4	–	V	I_{OH} = –5 mA I_{OH} = –1 mA
I_{OFF} I_{OFF}	Output Off Current Output Off Current	–	I_F I_R	–	V_{OFF} = 0.45V V_{OFF} = 5.25V
V_{IL}	Input LOW Voltage – A Side – B Side	–	0.8 0.9	V	V_{CC} = 5.0V, See Note 2 V_{CC} = 5.0V, See Note 2
V_{IH}	Input HIGH Voltage	2.0		V	V_{CC} = 5.0V, See Note 2
C_{IN}	Input Capacitance	–	12	pF	F = 1 MHz V_{BIAS} = 2.5V, V_{CC} = 5V T_A = 25°C

2) B Outputs: I_{OL} = 32 mA; I_{OH} = –5 mA; C_L = 300 pF
A Outputs: I_{OL} = 16 mA; I_{OH} = –1 mA; C_L = 100 pF

Tabel 9/10.2-27: Gelijkspannings-karakteristieken van de 8286/8287.

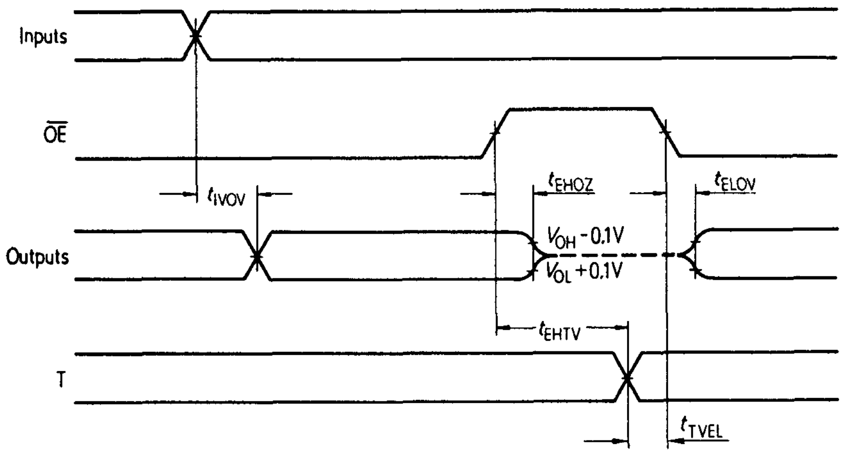
T_A = 0 to +70°C; V_{CC} = +5 V ± 10%

Loading
B Outputs: I_{OL} = 32 mA; I_{OH} = –5 mA; C_L = 300 pF A Outputs: I_{OL} = 16 mA; I_{OH} = –1 mA; C_L = 100 pF

Symbol	Parameter	Limit Values		Unit	Test Condition
		Min.	Max.		
t_{IVOV}	Input to Output Delay Inverting Non-Inverting	 5 5	 22 30	ns	1)
t_{EHTV}	Transmit/Receive Hold Time	5	–	ns	1)
t_{TVEL}	Transmit/Receive Setup	10	–	ns	1)
t_{EHOZ}	Output Disable Time	5	18	ns	1)
t_{ELOV}	Output Enable Time	10	30	ns	1)
t_{ILIH}, t_{OLOH}	Input, Output Rise Time	–	20	ns	From 0.8 to 2.0 V
t_{IHIL}, t_{OHOL}	Input, Output Fall Time	–	12	ns	From 2.0 to 0.8 V

Tabel 9/10.2-28: Schakeltijden van de 8286/8287 (zie ook figuur 9/10.2-42).

10.2 Type-beschrijving 80-familie



Figuur 9/10.2-42: Golfvormen en schakeltijden van de 8286/8287.

82C86, 82C87

CMOS 8 bit bus-transceiver

De 82C86 en 82C87 zijn CMOS-uitvoeringen van de 8286 en 8287 8 bit bus-transceivers met 3-state uitgangen. Met het Transmit-signaal (T) kan de richting van de data worden geregeld. Door de 82C86 wordt de ingangsdata niet geïnverteerd, door de 82C87 wel. Beide transceivers kunnen in systemen rond 80Cxx-type CPU's worden toegepast om energie te besparen en zijn leverbaar in commerciële, industriële en militaire uitvoeringen.

Als $\overline{T}$ HOOG is en $\overline{OE}$ aktief-LAAG, gaat data van de lokale bus (A0 tot en met A7) naar de systeembus (B0 tot en met B7). Wanneer $\overline{T}$ en $\overline{OE}$ beide LAAG zijn, gaat data van B0-B7 naar A0-A7.

Specificaties

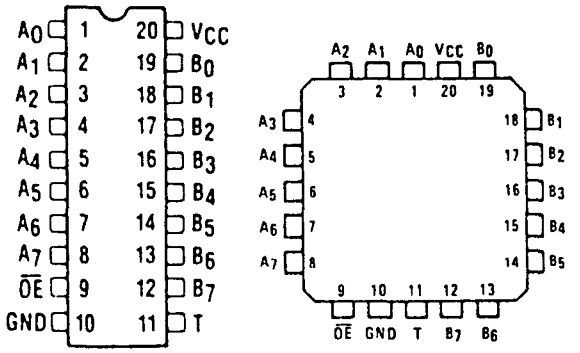
- volledig parallelle 8 bit transceiver
- databus-driver voor 80Cxx-type CPU's en microcontrollers
- 82C86: niet-inverterend, 82C87: inverterend
- 3-state uitgangen
- 20-pens plastic of ceramische DIL of 20-pens LCC/PLCC-behuizing
- fabrikant: Harris: 82C86H, 82C87H

T	$\overline{OE}$	A	B
X	H	Hi-Z	Hi-Z
H	L	I	O
L	L	O	I

H = Logic One
L = Logic Zero
I = Input Mode
O = Output Mode
X = Don't Care
Hi-Z = High Impedance

Tabel 9/10.2-29: Waarheidstabel van de 82C86/87.

10.2 Type-beschrijving 80-familie



A_0-A_7	Local Bus Data I/O Pins
$\overline{B_0}-\overline{B_7}$ B_0-B_7	System Bus Data I/O Pins
T	Transmit Control Input
$\overline{OE}$	Active Low Output Enable

Figuur 9/10.2-43: Aansluitingen van de 82C86.

D.C. Electrical Specifications VCC = 5.0V ± 10%; T_A = 0°C to +70°C (C82C86H/C82C87H);
T_A = -40°C to +85°C (I82C86H/I82C87H);
T_A = -55°C to +125°C (M82C86H/M82C87H);

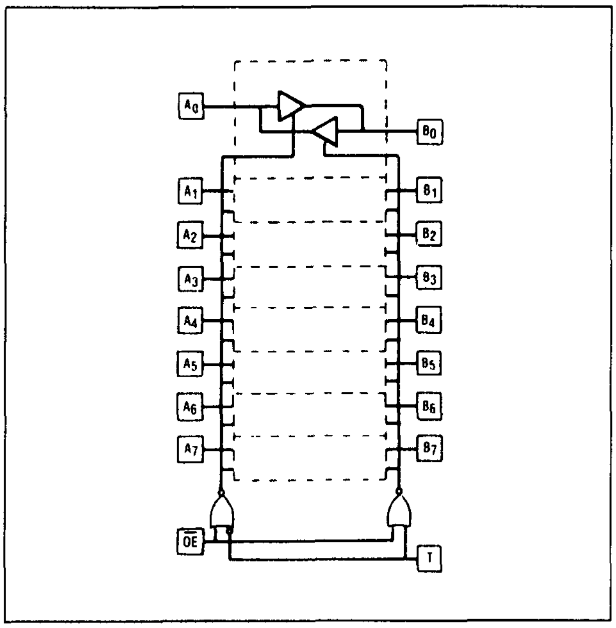
SYMBOL	PARAMETER	MIN	MAX	UNITS	TEST CONDITIONS
VIH	Logical One Input Voltage	2.0 2.2		V	C82C86H/C82C87H, I82C86H/I82C87H M82C86H/M82C87H (See Note 1)
VIL	Logical Zero Input Voltage		0.8	V	
VOH	Logical One Output Voltage B Outputs A Outputs A or B Outputs	 3.0 3.0 VCC -0.4		 V V V	 IOH = -8mA IOH = -4mA IOH = -100μA
VOL	Logical Zero Output Voltage B Outputs A Outputs		 0.45 0.45	 V V	 IOL = 20mA IOL = 12mA
II	Input Leakage Current	-10	10	μA	VIN = GND or VCC DIP Pins 9, 11
IO	Output Leakage Current	-10	10	μA	VO = GND or VCC OE ≥ VCC - 0.5V DIP Pins 1-8, 12-19
ICCSB	Standby Power Supply Current		10	μA	VIN = VCC or GND VCC = 5.5V Outputs Open
ICCOP	Operating Power Supply Current		1	mA/MHz	T_A = +25°C, VCC = 5V, Typical (See Note 2).

Tabel 9/10.2-30: Gelijkspannings-karakteristieken van de 82C86/82C87.

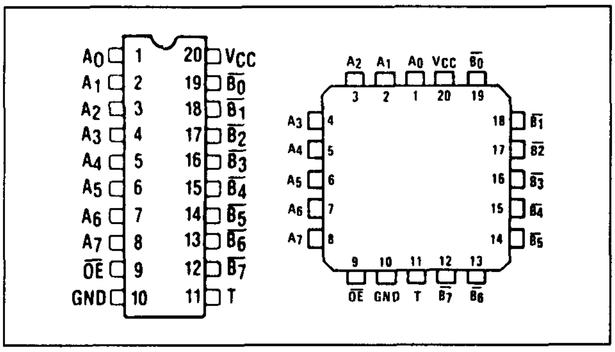
10.2 Type-beschrijving 80-familie

SYMBOL	PARAMETER	MIN	MAX[4]	MAX[4]	UNITS
			82C86H/87H	82C86H/87H-5	
TIVOV	Input to Output Delay Inverting Non-Inverting	 5 5	 30 32	 35 35	 ns ns
TEHTV	Transmit Receive Hold Time	5			ns
TTVEL	Transmit/Receive Setup Time	10			ns
TEHOZ	Output Disable Time	5	30	35	ns
TELOV	Output Enable Time	10	50	65	ns
TR, TF	Input Rise/Fall Times		20	20	ns
TEHEL	Minimum Output Enable High Time 82C86H/87H 82C86H/87H-5	 30 35			ns

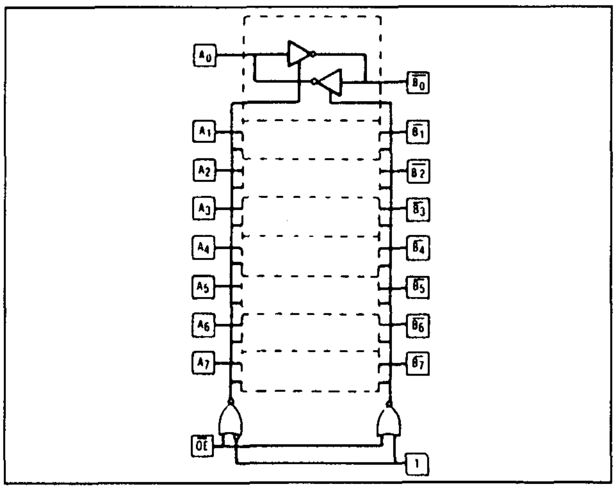
Tabel 9/10.2-31: Schakeltijden van de 82C86/82C87 (zie ook figuur 9/10.2-47).



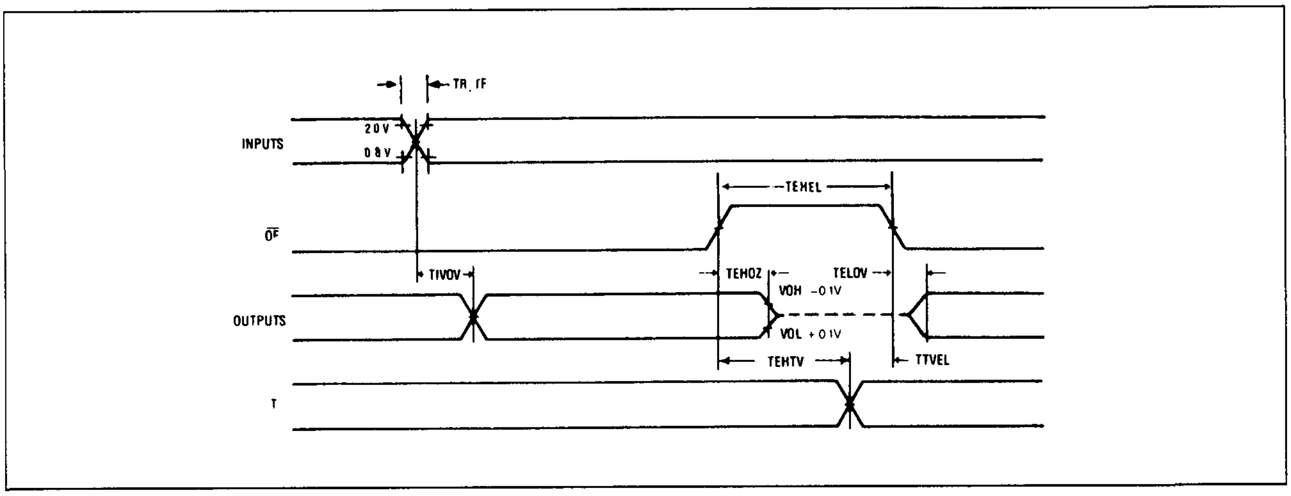
Figuur 9/10.2-44: Functioneel schema van de 82C86.



Figuur 9/10.2-45: Aansluitingen van de 82C87.



Figuur 9/10.2-46: Functioneel schema van de 82C87.



Figuur 9/10.2-47: Golfvormen en schakeltijden van de 82C86/82C87.

8288

Bus-controller

De 8288 is een bipolaire bus-controller die niet alleen de timing levert voor commando's en besturingssignalen, maar ook zorgt voor de benodigde aandrijfcapaciteit voor bipolaire bussen van de 80xx-familie. Door middel van een "strapping"-optie kan de bus-controller geschikt worden gemaakt voor een multi-master systeem met gescheiden I/O-bus.

Specificaties

- geschikt voor bipolaire aandrijving
- levert geavanceerde commando's
- 3-state commando-uitgangsdrivers
- instelbaar voor gebruik met I/O-bus
- maakt eenvoudige interface met één of twee multi-master bussen mogelijk
- 20-pens plastic of ceramische DIL-behuizing
- fabrikanten
  Intel: P8288
  AMD: Am8288
  NEC: PB8288D
  Siemens: SAB8288A
  Harris: 82C88 (CMOS)

Functionele beschrijving

Inleiding

De commado-logika decodeert de drie statuslijnen ($\overline{S0}$, $\overline{S1}$ en $\overline{S2}$) van een 8088, 8086 of 80186 CPU om te bepalen welk commando moet worden gegeven (zie tabel 9/10.2-33). Het commando kan op twee manieren worden geleverd, afhankelijk van de mode van de 8288 bus-controller.

I/O Bus Mode

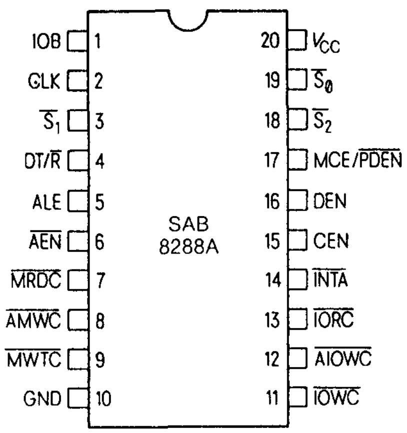
De 8288 bevindt zich in de I/O Bus Mode als de IOB-pen met HOOG is verbonden. In deze mode zijn alle in-/uitgangs-commandolijnen ($\overline{IORC}$, $\overline{IOWC}$, $\overline{AIOWC}$ en $\overline{INTA}$) altijd "waar" (enabled), dus niet afhankelijk van $\overline{AEN}$. Wanneer een in-/uitgangs-commando door de processor wordt geïnitialiseerd activeert de 8288 onmiddellijk de commandolijnen, waarbij $\overline{PDEN}$ en DT/$\overline{R}$ worden gebruikt om de I/O bus-transceiver te besturen. Het wordt bij deze configuratie afgeraden de I/O commandolijnen te gebruiken voor besturing van de systeembus, aangezien geen arbitrage aanwezig is. In deze mode kan één 8288 bus-controller twee externe bussen be-

dienen. Wanneer de CPU toegang wenst te krijgen tot de I/O-bus treedt geen "wait" op. Voor gewoon toegang tot geheugen is een "Bus Ready"-signaal nodig (AENLOW) voordat dit wordt uitgevoerd. De IOB-mode is voordelig als I/O of randapparatuur wordt gebruikt in een multi-processor systeem.

Systeem Bus Mode
De 8288 verkeert in de Systeem Bus Mode als de IOB-pen met LAAG is verbonden. In deze mode verschijnt een commando pas 155 ns nadat $\overline{\text{AEN}}$ aktief (LAAG) is geworden. Bij deze mode wordt ervan uitgegaan dat de bus-controller door de bus-arbitrage logika wordt ingelicht (via de $\overline{\text{AEN}}$-lijn) of de bus vrij is voor gebruik. Zowel geheugen- als I/O-commando's wachten op bus-arbitrage.

Deze mode wordt toegepast als er slechts één bus is. Hier worden I/O en geheugen beide gedeeld door meer dan één processor.

Commando-uitgangen
De geavanceerde schrijf-commando's dienen om schrijf-commando's bij het begin van de machine-cyclus te initialiseren. Deze signalen kunnen worden gebruikt om te voorkomen dat de processor in een onnodige wait-toestand komt.
De commando-uitgangssignalen zijn te zien in tabel 9/10.2-34. $\overline{\text{INTA}}$ (Interrupt Acknowledge) werkt als een I/O-leessignaal tijdens een interrupt-cyclus. Het dient om de interrumperende schakeling te laten weten dat de interruptie wordt erkend en dat hij vector-informatie op de databus moet zetten.



$\overline{S_0}-\overline{S_2}$	Status
CLK	Clock
ALE	Adress Latch Enable
DEN	Data Enable
DT/$\overline{\text{R}}$	Data Transmit/Receive
$\overline{\text{AEN}}$	Address Enable
CEN	Command Enable
IOB	Input/Output Bus Mode
$\overline{\text{AIOWC}}$	Advanced I/O Write
$\overline{\text{IOWC}}$	I/O Write
$\overline{\text{IORC}}$	I/O Read
$\overline{\text{AMWC}}$	Advanced Memory Write
$\overline{\text{MWTC}}$	Memory Write
$\overline{\text{MRDC}}$	Memory Read
$\overline{\text{INTA}}$	Interrupt Acknowledge
MCE/$\overline{\text{PDEN}}$	Master Cascade/Peripheral Data
V_{CC}	Power Supply (+5V)
GND	Ground (0V)

Figuur 9/10.2-48: Aansluitingen en pen-benamingen van de 8288.

10.2 Type-beschrijving 80-familie

Symbol	Number	Input (I) Output (O)	Function
IOB	1	I	INPUT/OUTPUT BUS MODE – When the IOB is strapped HIGH the SAB 8288A functions in the I/O Bus mode. When it is strapped LOW, the SAB 8288A functions in the System Bus mode. (See sections on I/O Bus and Systems Bus modes).
CLK	2	I	CLOCK – This is a clock signal from the SAB 8284A or SAB 8284B clock generator and serves to establish when command and control signals are generated.
$\overline{S_0}$, $\overline{S_1}$, $\overline{S_2}$	3, 18, 19	I	STATUS INPUT PINS – These pins are the status input pins from the SAB 80186, SAB 80188, SAB 8086 or SAB 8088 processors. The SAB 8288A decodes these inputs to generate command and control signals at the appropriate time. When these pins are not in use (passive) they are all HIGH. (See chart under Functional Description).
DT/$\overline{R}$	4	O	DATA TRANSMIT/RECEIVE – This signal establishes the direction of data flow through the transceivers. A HIGH on this line indicates Transmit (write to I/O or memory) and a LOW indicates Receive (Read).
ALE	5	O	ADDRESS LATCH ENABLE – This signal serves to strobe an address into the address latches. This signal is active HIGH and latching occurs on the falling (HIGH to LOW) transition. ALE is intended for use with transparent D type latches.
$\overline{AEN}$	6	I	ADDRESS ENABLE – $\overline{AEN}$ enables command outputs of the SAB 8288A Bus Controller at least 105 ns after it becomes active (LOW). $\overline{AEN}$ going inactive immediately 3-states the command output drivers. $\overline{AEN}$ does not affect the I/O command lines if the SAB 8288A is in the I/O Bus mode (IOB tied HIGH).
$\overline{MRDC}$	7	O	MEMORY READ COMMAND – This command line instructs the memory to drive its data onto the data bus. This signal is active LOW.
$\overline{AMWC}$	8	O	ADVANCED MEMORY WRITE COMMAND – The $\overline{AMWC}$ issues a memory write command earlier in the machine cycle to give memory devices an early indication of a write instruction. Its timing is the same as a read command signal. $\overline{AMWC}$ is active LOW.
$\overline{MWTC}$	9	O	MEMORY WRITE COMMAND – This command line instructs the memory to record the data present on the data bus. This signal is active LOW.
$\overline{IOWC}$	11	O	I/O WRITE COMMAND – This command line instructs an I/O device to read the data on the data bus. This signal is active LOW.
$\overline{AIOWC}$	12	O	ADVANCED I/O WRITE COMMAND – The $\overline{AIOWC}$ issues an I/O Write Command earlier in the machine cycle to give I/O devices an early indication of a write instruction. Its timing is the same as a read command signal. $\overline{AIOWC}$ is active LOW.
$\overline{IORC}$	13	O	I/O READ COMMAND – This command line instructs an I/O device to drive its data onto the data bus. This signal is active LOW.
$\overline{INTA}$	14	O	INTERRUPT ACKNOWLEDGE – This command line tells an interrupting device that its interrupt has been acknowledged and that it should drive vectoring information onto the data bus. This signal is active LOW.
CEN	15	I	COMMAND ENABLE – When this signal is LOW all SAB 8288A command outputs and the DEN and $\overline{PDEN}$ control outputs are forced to their inactive state. When this signal is HIGH, these same outputs are enabled.
DEN	16	O	DATA ENABLE – This signal serves to enable data transceivers onto either the local or system data bus. This signal is active HIGH.
MCE/$\overline{PDEN}$	17	O	This is a dual function pin: MCE (IOB is tied LOW) – **Master Cascade Enable** occurs during an interrupt sequence and serves to read a Cascade. Address from a master PIC (Priority Interrupt Controller) onto the data bus. The MCE signal is active HIGH. $\overline{PDEN}$ (IOB is tied HIGH) – **Peripheral Data Enable** enables the data bus transceiver for the I/O bus during I/O instructions. It performs the same function for the I/O bus that DEN performs for the system bus. $\overline{PDEN}$ is active LOW.
V_{CC}	20	–	Power Supply (+5V)
GND	10	–	Ground (0V)

Tabel 9/10.2-32: Beschrijving en functies van de aansluitpennen.

10.2 Type-beschrijving 80-familie

$\overline{S2}$	$\overline{S1}$	$\overline{S0}$	Processor State	8288A Command
0	0	0	Interrupt Acknowledge	$\overline{INTA}$
0	0	1	Read I/O Port	$\overline{IORC}$
0	1	0	Write I/O Port	$\overline{IOWC}$, $\overline{AIOWC}$
0	1	1	Halt	None
1	0	0	Code Access	$\overline{MRDC}$
1	0	1	Read Memory	$\overline{MRDC}$
1	1	0	Write Memory	$\overline{MWTC}$, $\overline{AMWC}$
1	1	1	Passive	None

Tabel 9/10.2-33: De betekenis van de status-woorden.

$\overline{MRDC}$ – Memory Read Command
$\overline{MWTC}$ – Memory Write Command
$\overline{IORC}$ – I/O Read Command
$\overline{IOWC}$ – I/O Write Command
$\overline{AMWC}$ – Advanced Memory Write Command
$\overline{AIOWC}$ – Advanced I/O Write Command
$\overline{INTA}$ – Interrupt Acknowledge

Tabel 9/10.2-34: De commando-signalen van de 8288.

Control-uitgangen

De besturingsuitgangen van de 8288 zijn Data Enable (DEN), Data Transmit/Reveive (DT/$\overline{R}$) en Master Cascade Enable/Peripheral Data Enable (MCE/$\overline{PDEN}$). Het DEN-signaal bepaalt wanneer de externe bus op de lokale bus moet worden aangesloten en DT/$\overline{R}$ bepaalt de richting van het datatransport. Deze beide signalen gaan meestal naar de chip-select- en richting-pennen van een transceiver.
De MCE/$\overline{PDEN}$-pen heeft in beide bedrijfsmodes van de 8288 een andere functie. Wanneer de 8288 in de IOB-mode is (IOB = HOOG), dient het $\overline{PDEN}$-signaal als een speciaal data-enable signaal voor de I/O- of Periferie Systeem Bus.

Interrupt Acknowledge en MCE

Het MCE-signaal wordt tijdens een interrupt acknowledge cyclus gebruikt als de 8288 zich in de Systeem Bus Mode bevindt (IOB = LAAG). Tijdens een willekeurige interrupt handeling zijn er twee interrupt acknowledge cycli die rug aan rug optreden. Gedurende de eerste interrupt cyclus vinden geen data- of adres-overdrachten plaats.
Er dient logika aanwezig te zijn om MCE tijdens deze cyclus te maskeren. Vlak voordat de tweede cyclus begint geeft MCE een cascade-adres van een master Priority Interrupt Controller (PIC) door naar de lokale bus van de processor, waar het door ALE (Address Latch Enable) in de adres-latches wordt gestrobed. Op de voorflank van de volgende interrupt cyclus zet de geadresseerde PIC-slaaf een interrupt-vector op de systeem-databus waar die door de processor wordt uitgelezen.
Als het systeem slechts één PIC bevat wordt het MCE-signaal niet gebruikt. In dit geval schakelt het tweede Interrupt Acknowledge-signaal de interrupt-vector door naar de processorbus.

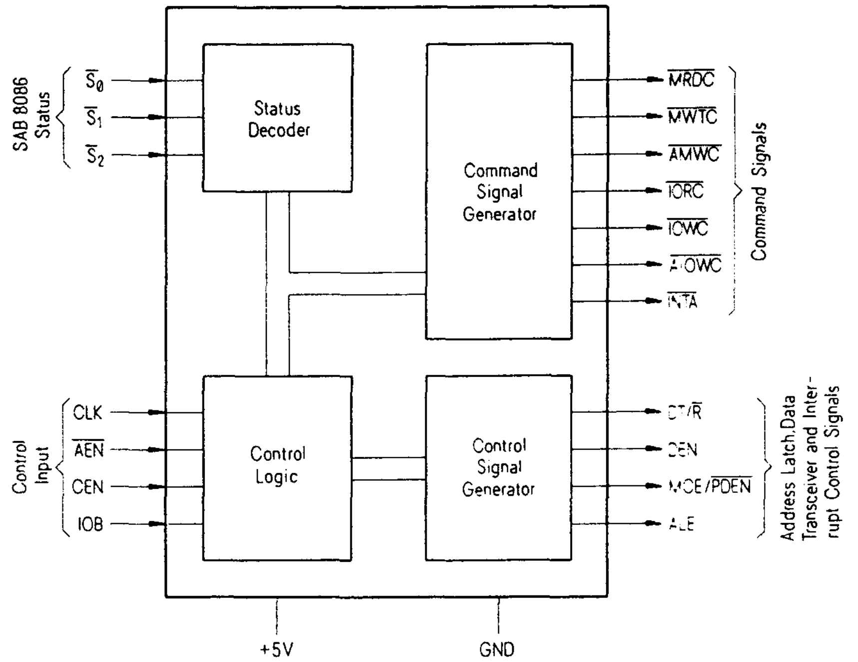
Address Latch Enable en Halt

Address Latch Enable (ALE) treedt bij elke machine-cyclus op en dient om het op dat moment aanwezige adres in de adres-latches te stroben.
ALE dient ook voor het stroben van de status ($\overline{S0}$, $\overline{S1}$ en $\overline{S2}$) in een latch voor decodering van de halt-toestand.

Command Enable

De Command Enable-ingang (CEN) werkt als een commando-kwalificatie voor de 8288. Als de CEN-pen HOOG is, functioneert de 8288 normaal. Wordt de CEN-pen LAAG getrokken dan worden alle commando-lijnen in hun niet-aktieve toestand gehouden (geen 3-state). Deze eigenschap kan worden gebruikt om geheugen-segmentatie te implementeren en om adres-conflicten te vermijden tussen schakelingen op de systeembus en schakelingen op de residente bus.

10.2 Type-beschrijving 80-familie



Figuur 9/10.2-49: Blokschema van de 8288 en gebruikte signalen.

ABSOLUTE MAXIMUM RATINGS

Storage Temperature .... −65°C to +150°C
Temperature (Ambient) Under Bias .... 0°C to +70°C
All Output and Supply Voltages .... −0.5V to +7.0V
All Input Voltage .... −1.0V to +5.5V
Power Dissipation 1.5W

OPERATING RANGES

Commercial (C) Devices
Temperature .... 0°C to +70°C
Supply Voltage .... +4.75V to +5.25V

Military (M) Devices
Temperature .... −55°C to +125°C
Supply Voltage .... +4.5V to +5.5V

Tabel 9/10.2-35: Maximaal toegelaten waarden en aanbevolen bedrijfscondities van de 8288.

10.2 Type-beschrijving 80-familie

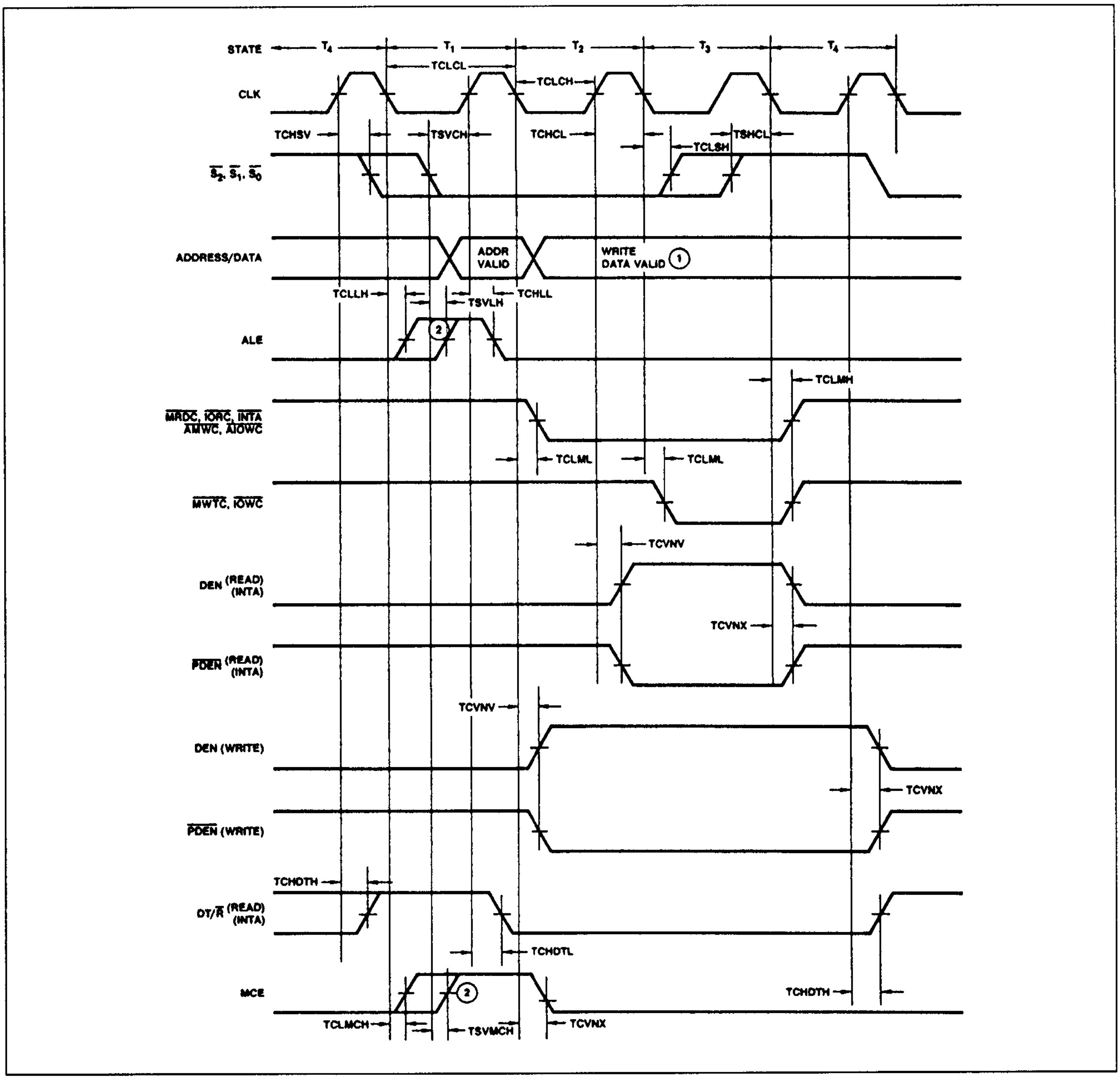
Parameters	Description	Test Conditions	Min	Max	Units
V_C	Input Clamp Voltage	I_C = −5mA		−1	V
I_{CC}	Power Supply Current			230	mA
I_F	Forward Input Current	V_F = 0.45V		−0.7	mA
I_R	Reverse Input Current	V_R = V_{CC}		50	μA
V_{OL}	Output Low Voltage Command Outputs	I_{OL} = 32mA		0.5	V
	Control Outputs	I_{OL} = 16mA		0.5	V
V_{OH}	Output High Voltage Command Outputs	I_{OH} = −5mA	2.4		V
	Control Outputs	I_{OH} = −1mA	2.4		V
V_{IL}	Input Low Voltage			0.8	V
V_{IH}	Input High Voltage		2.0		V
I_{OFF}	Three-State Leakage	V_{OFF} = 0.4 to 5.25V		100	μA

Tabel 9/10.2-36: Gelijkspannings karakteristieken van de 8288.

Parameters	Description	Test Conditions	Min	Max	Units
Timing Requirements					
TCLCL	CLK Cycle Period		100		ns
TCLCH	CLK Low Time		50		ns
TCHCL	CLK High Time		30		ns
TSVCH	Status Active Setup Time		35		ns
TCHSV	Status Active Hold Time		10		ns
TSHCL	Status Inactive Setup Time		35		ns
TCLSH	Status Inactive Hold Time		10		ns
TILIH	Input Rise Time	From 0.8V to 2.0V		20	ns
TIHIL	Input Fall Time	From 2.0V to 0.8V		12	ns
Timing Responses					
TCVNV	Control Active Delay		5.0	45	ns
TCVNX	Control Inactive Delay		5	45	ns
TCLLH TCMCH	ALE MCE Active Delay (from CLK)			20	ns
TSVLH TSVMCH	ALE MCE Active Delay (from Status)			20	ns
TCHLL	ALE Inactive Delay	$\overline{MRDC}$, $\overline{IORC}$, $\overline{MWTC}$, $\overline{IOWC}$, $\overline{INTA}$, $\overline{AMWC}$, $\overline{AIOWC}$: I_{OL} = 32mA, I_{OH} = −5mA, C_L = 300pF	4.0	15	ns
TCLML	Command Active Delay		7	35	ns
TCLMH	Command Inactive Delay		10	35	ns
TCHDTL	Direction Control Active Delay			50	ns
TCHDTH	Direction Control Inactive Delay			30	ns
TAELCH	Command Enable Time			40	ns
TAEHCZ	Command Disable Time			40	ns
TAELCV	Enable Delay Time	Other: I_{OL} = 16mA, I_{OH} = −1.0mA, C_L = 80pF	95	200	ns
TAEVNV	AEN to DEN			20	ns
TCEVNV	CEN to DEN, PDEN			25	ns
TCELRH	CEN to Command			TCLML	ns
TOLOH	Output Rise Time	From 0.8V to 2.0V		20	ns
TOHOL	Output Fall Time	From 2.0V to 0.8V		12	ns

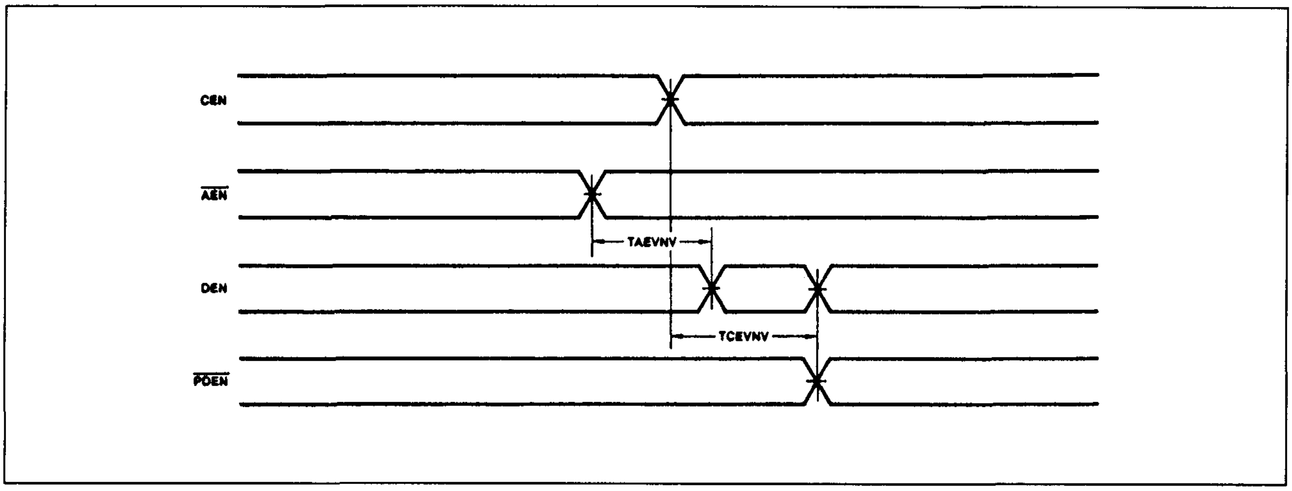
Tabel 9/10.2-37: Schakeltijden van de 8288 (zie ook figuur 9/10.2-50).

10.2 Type-beschrijving 80-familie

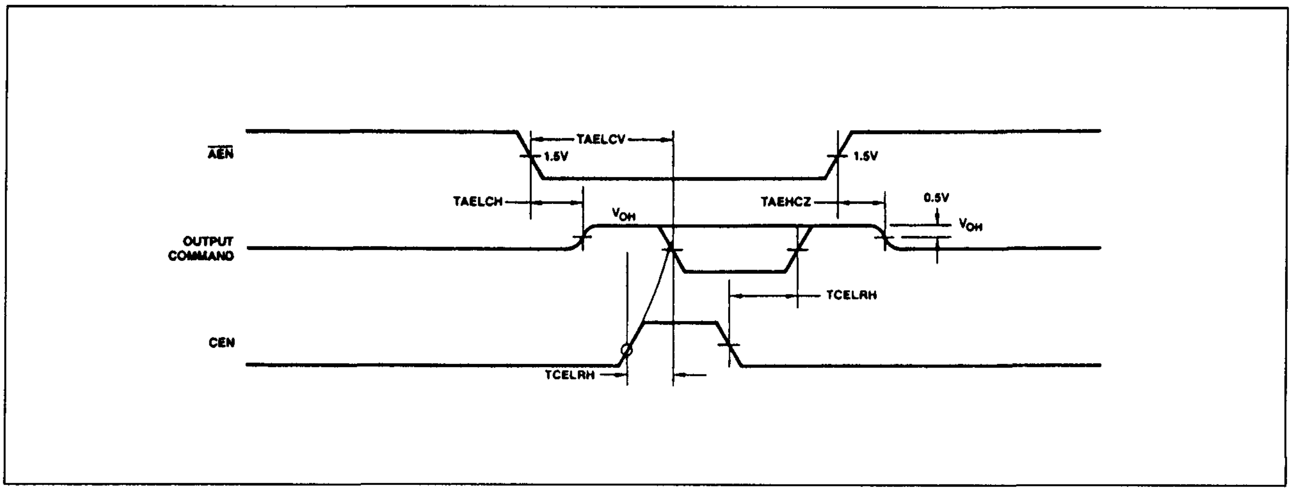


Figuur 9/10.2-50: Golfvormen en schakeltijden van de 8288.

10.2 Type-beschrijving 80-familie



Figuur 9/10.2-51: Kwalificatie-timing van DEN en $\overline{PDEN}$.



Figuur 9/10.2-52: Timing van Address Enable ($\overline{AEN}$), 3-state enable/disable. CEN moet LAAG of "waar" zijn vóór T2 om te voorkomen dat het commando wordt gegenereerd.

82C88

CMOS bus-controller

Van de 8288 is ook een CMOS-versie verschenen die vooral bedoeld is voor samenwerking met de CMOS processoren 80C88 en 80C86.

De werking van deze bus-controller (de 82C88) is verder identiek aan die van de bipolaire uitvoering, zodat hier alleen de afwijkende gegevens worden vermeld.

De bus controllers van Harris zijn in commerciële, industriële en militaire uitvoering leverbaar.

Specificaties

- compatibel met de bipolaire 8288
- levert geavanceerde commando's voor multi-master bussen
- geschikt voor samenwerking met 80C86/80C88, 80186/80188, 8086/8088 en 8089
- 3-state commando-uitgangen
- volledig TTL-compatibel
- 20-pens plastic DIL- of 20-pens LCC/PLCC-behuizing
- fabrikanten
  Intel: P82C88
  Harris: 82C88

10.2 Type-beschrijving 80-familie

Supply Voltage .... +8.0 Volts
Input, Output or I/O Voltage Applied .... GND -0.5V to VCC +0.5V
Storage Temperature Range .... -65°C to +150°C
Maximum Package Power Dissipation .... 1 Watt
θ_{jc} .... 26°C/W (CERDIP package), 31°C/W (LCC package)
θ_{ja} .... 76°C/W (CERDIP package), 81°C/W (LCC package)
Gate Count .... 100 Gates
Junction Temperature .... +150°C
Lead Temperature (Soldering, Ten Seconds) .... +260°C

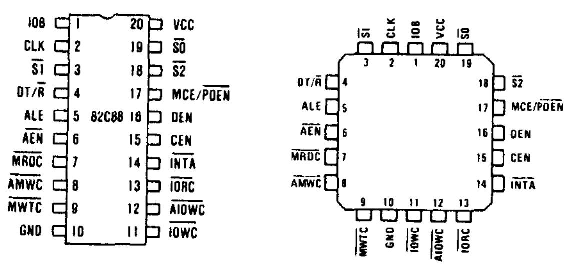
Operating Voltage Range .... +4.5V to +5.5V
Operating Temperature Range
C82C88 .... 0°C to +70°C
I82C88 .... -40°C to +85°C
M82C88 .... -55°C to +125°C

Tabel 9/10.2-38: Maximaal toegelaten waarden en aanbevolen bedrijfscondities van de 82C88.

SYMBOL	PARAMETER	MIN	MAX	UNITS	TEST CONDITIONS
VIH	Logical One Input Voltage	2.0 2.2		V V	C82C88,I82C88 M82C88
VIL	Logical Zero Input Voltage		0.8	V	
VIHC	CLK Logical One Input Voltage	0.7 VCC		V	
VILC	CLK Logical Zero Input Voltage		0.2 VCC	V	
VOH	Output High Voltage Command Outputs	3.0 VCC -0.4		V V	IOH = -8.0mA IOH = -2.5mA
	Output High Voltage Control Outputs	3.0 VCC -0.4		V V	IOH = -4.0mA IOH = -2.5mA
VOL	Output Low Voltage Command Outputs		0.5	V	IOL = +20.0mA
	Output Low Voltage Control Outputs		0.4	V	IOL = +8.0mA
II	Input Leakage Current	-1.0	1.0	μA	VIN = GND or VCC except $\overline{S_0}$, $\overline{S_1}$, $\overline{S_2}$, DIP Pins 1-2, 6, 15
IBHH	Input Leakage Current-Status Bus	-50	-300	μA	VIN = 2.0V $\overline{S_0}$, $\overline{S_1}$, $\overline{S_2}$ (See Note 1)
IO	Output Leakage Current	-10.0	10.0	μA	VO = GND or VCC DIP Pins 7-9, 11-14
ICCSB	Standby Power Supply		10	μA	VCC = 5.5V VIN = VCC or GND Outputs Open
ICCOP	Operating Power Supply Current		1	mA/MHz	VCC = 5.5V Outputs Open (See Note 2)

Tabel 9/10.2-39: Gelijkspannings karakteristieken van de 82C88.

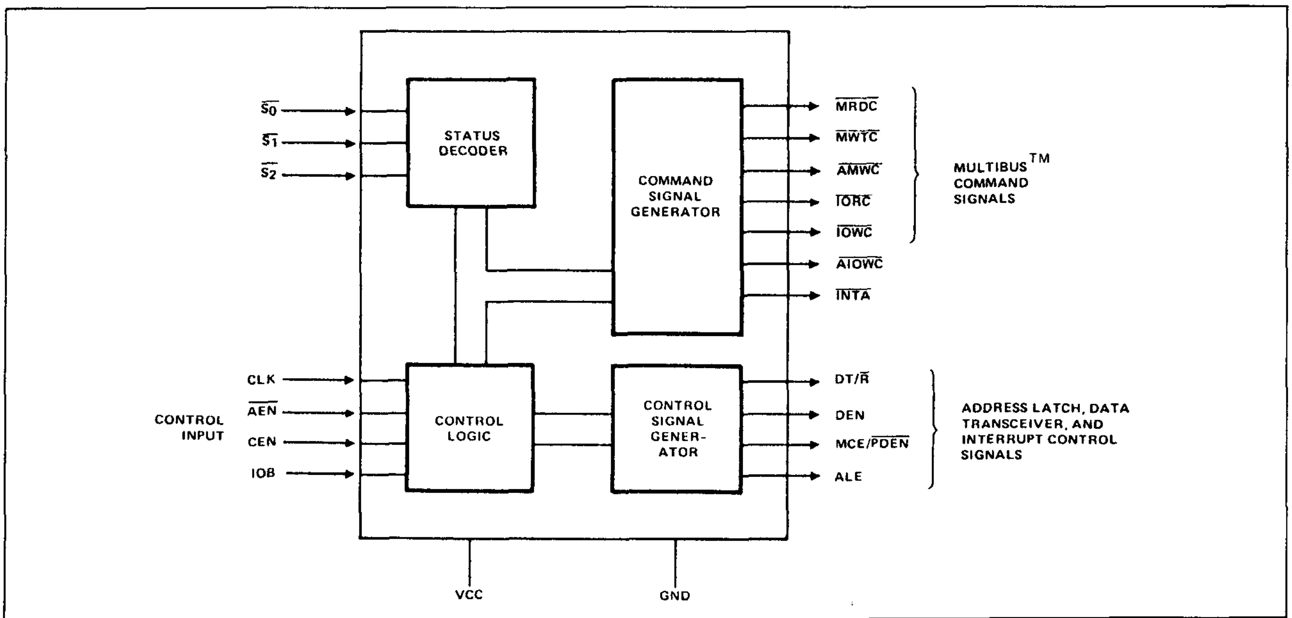
10.2 Type-beschrijving 80-familie



Figuur 9/10.2-53: Aansluitingen van de DIL- en LCC-uitvoering van de 82C88.

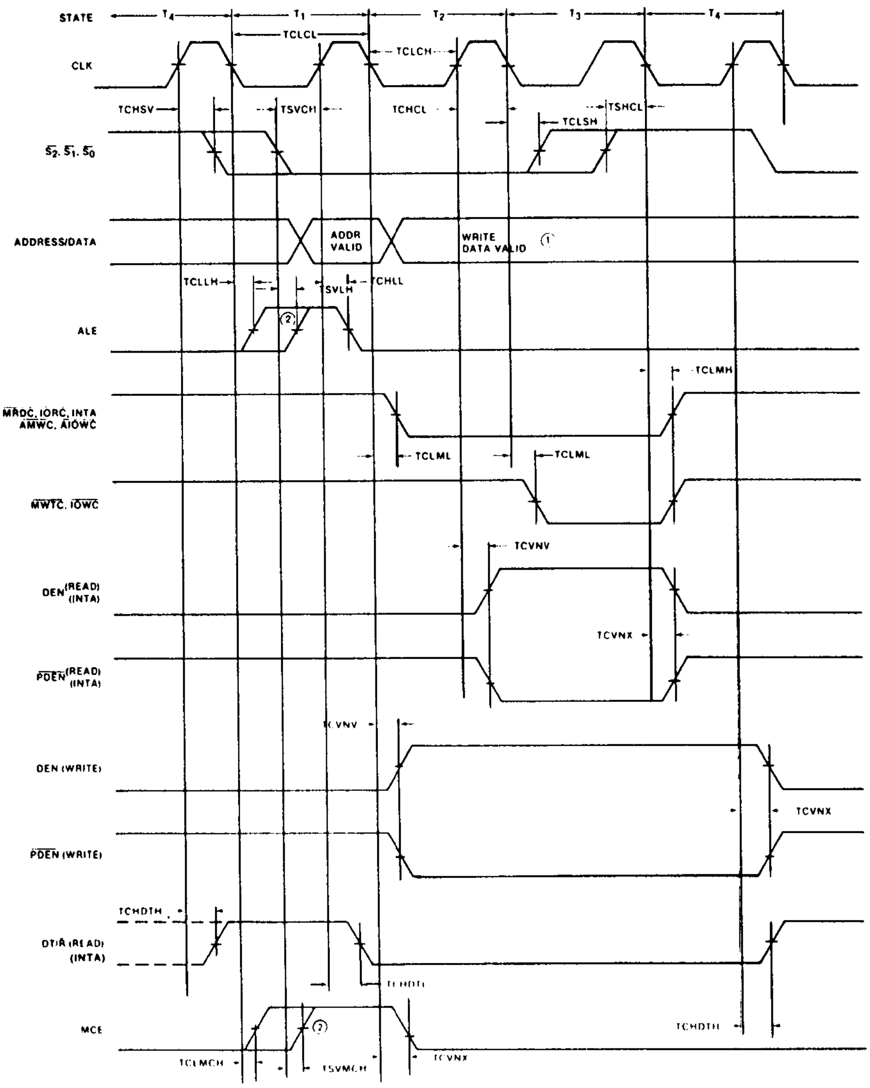
SYMBOL	PARAMETER	MIN	MAX	UNIT
TCLCL	CLK Cycle Period	125		ns
TCLCH	CLK Low Time	55		ns
TCHCL	CLK High Time	40		ns
TSVCH	Status Active Setup Time	35		ns
TCHSV	Status Active Hold Time	10		ns
TSHCL	Status Inactive Setup Time	35		ns
TCLSH	Status Inactive Hold Time	10		ns
TIMING RESPONSES				
TCVNV	Control Active Delay	5	45	ns
TCVNX	Control Inactive Delay	10	45	ns
TCLLH	ALE Active Delay (from CLK)		20	ns
TCLMCH	MCE Active Delay (from CLK)		25	ns
TSVLH	ALE Active Delay (from Status)		20	ns
TSVMCH	MCE Active Delay (from Status)		30	ns
TCHLL	ALE Inactive Delay	4	18	ns
TCLML	Command Active Dalay	5	35	ns
TCLMH	Command Inactive Delay	5	35	ns
TCHDTL	Direction Control Active Delay		50	ns
TCHDTH	Direction Control Inactive Delay		30	ns
TAELCH	Command Enable Time[1]		40	ns
TAEHCZ	Command Disable Time[2]		40	ns
TAELCV	Enable Delay Time	110	250	ns
TAEVNV	AEN to DEN		25	ns
TCEVNV	CEN to DEN, PDEN		25	ns
TCELRH	CEN to Command		TCLML +10	ns
TLHLL	ALE High Time	TCLCH -10		ns

Tabel 9/10.2-40: Schakeltijden van de 82C88 (zie ook figuur 9/10.2-55).



Figuur 9/10.2-54: Blokschema van de 82C88 en optredende signalen.

10.2 Type-beschrijving 80-familie



Figuur 9/10.2-55: Golfvormen en schakeltijden van de 82C88.

8289
Bus-arbiter

De 8289 is een bipolaire bus-arbiter voor gebruik in middelgrote tot grote 80xx (8086 en 8088) multimaster/ multiprocessor systemen.

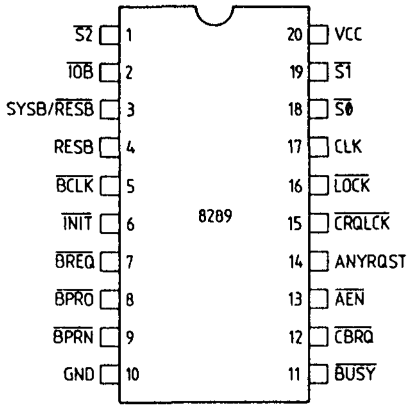
De 8289 levert bus-arbitrage voor systemen met meerdere busmasters, bijvoorbeeld een 8086 CPU met een 8089 IOP in "remote-mode", terwijl voor buffering en aandrijfcapaciteit wordt gezorgd.

Specificaties

- levert Multi-Master systeembus protocol
- synchroniseert 80xx-processoren met Multi-Masterbus
- eenvoudige interface met 8288 Bus-controller

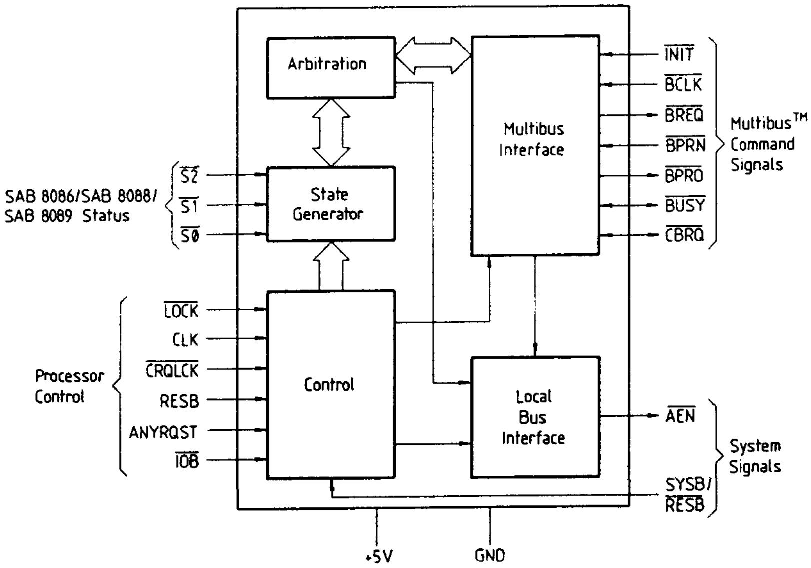
10.2 Type-beschrijving 80-familie

- 4 bedrijfsmodes voor flexibele systeem-configuratie
- compatibel met Intel's Multibus
- bus-arbitrage voor 8089 IOP in Remote Mode
- 20-pens plastic DIL-behuizing
- fabrikanten
  Intel: P8289, P8289-1
  NEC: PB8289D
  Siemens: SAB8289, SAB8289-1
  Harris: 82C89 (CMOS)



S0-2	Status
IOB	I/O Bus Present
SYSB/RESB	System/Resident Bus
RESB	Resident Bus Present
BCLK	Bus Clock
INIT	Initialisation
BREQ	Bus Request
BPRO	Bus Priority Out
BPRN	Bus Priority In
CLK	System Clock
AEN	Address Enable
ANYRQST	Any Request
CRQLCK	Common Request Lock
CBRQ	Common Bus Request
LOCK	Bus Lock
VCC	+5 V
GND	Ground (0V)

Figuur 9/10.2-56: Aansluitingen en pen-benamingen van de 8289.



Figuur 9/10.2-57: Blokschema van de 8289 en de bijbehorende signalen.

10.2 Type-beschrijving 80-familie

Symbol	Number	Input (I) Output (O)	Function
$\overline{S0}$, $\overline{S1}$, $\overline{S2}$	1, 18, 19	I	**Status Input Pins** These pins are the status input pins from a SAB 8086, SAB 8088 or SAB 8089 processor. The SAB 8289 decodes these pins to initiate bus request and surrender actions.
CLK	17	I	**Clock** This is the clock from the SAB 8284A clock chip and serves to establish when bus arbiter actions are initiated.
$\overline{LOCK}$	16	I	**Lock** $\overline{LOCK}$ is a processor generated signal which when activated (low) serves to prevent the arbiter from surrendering the multi-master system bus to any other bus arbiter, regardless of its priority.
$\overline{CRQLCK}$	15	I	**Common Request Lock** $\overline{CRQLCK}$ is an active low signal which serves to prevent the arbiter from surrendering the multi-master system bus to any other bus arbiter requesting the bus through the $\overline{CBRQ}$ input pin.
RESB	4	I	**Resident Bus** RESB is a strapping option to configure the arbiter to operate in systems having both a multi-master system bus and a Resident Bus. When it is strapped high the multi-master system bus is requested or surrendered as a function of the SYSB/$\overline{RESB}$ input pin. When it is strapped low the SYSB/$\overline{RESB}$ input is ignored.
ANYRQST	14	I	**Any Request** ANYRQST is a strapping option which permits the multimaster system bus to be surrendered to a lower priority arbiter as though it were an arbiter of higher priority (i.e., when a lower priority arbiter requests the use of the multi-master system bus, the bus is surrendered as soon as it is possible). Strapping $\overline{CBRQ}$ low and ANYRQST high forces the SAB 8289 arbiter to surrender the multi-master system bus after each transfer cycle. Note that when surrender occurs $\overline{BREQ}$ is driven false (high).
$\overline{IOB}$	2	I	**IO Bus** $\overline{IOB}$ is a strapping option which configures the SAB 8289 Arbiter to operate in systems having both an IO Bus (Peripheral Bus) and a multimaster system bus. The arbiter requests and surrenders the use of the multimaster system bus as a function of the status line, $\overline{S2}$. The multi-master system bus is permitted to be surrendered while the processor is performing IO commands and is requested whenever the processor performs a memory command. Interrupt cycles are assumed as coming from the peripheral bus and are treated as would be an IO command.
$\overline{AEN}$	13	O	**Address Enable** $\overline{AEN}$ is the output of the SAB 8289 Arbiter to the processor's address latches, to the SAB 8288 Bus Controller and SAB 8284A Clock Generator. $\overline{AEN}$ serves to instruct the Bus Controller and address latches when to tri-state their output drivers.
$\overline{BPRO}$	8	O	**Bus Priority Out** $\overline{BPRO}$ is an active low output signal which is used in the serial priority resolving scheme where $\overline{BPRO}$ is daisy chained to $\overline{BPRN}$ of the next lower priority arbiter.
$\overline{BUSY}$	11	I/O	**Busy** $\overline{BUSY}$ is an active low open collector multi-master system bus interface signal which is used to instruct all the arbiters on the bus when the multi-master system bus is available. When the multi-master system bus is available the highest requesting arbiter (determined by $\overline{BPRN}$) seizes the bus and pulls $\overline{BUSY}$ low to keep other arbiters off of the bus. When the arbiter is done with the bus it releases the $\overline{BUSY}$ signal permitting it to go high and thereby allowing another arbiter to acquire the multi-master system bus.
VCC	20	I	**Power Supply** (+5 V ± 10%)
GND	10	I	**Ground** (OV)

Tabel 9/10.2-41a: Beschrijving en functies van de aansluitpennen (deel 1).

10.2 Type-beschrijving 80-familie

Symbol	Number	Input (I) Output (O)	Function
SYSB/$\overline{\text{RESB}}$	3	I	**System Bus/Resident Bus** SYSB/$\overline{\text{RESB}}$ is an input signal when the arbiter is configured in the S.R. Mode (RESB is strapped high) which serves to determine when the multimaster system bus is requested and when the multi-master system bus surrendering is permitted. The signal is intended to originate from some form of address mapping circuitry such as a decoder or PROM attached to the resident address bus. Signal transitions and glitches are permitted on this pin from Ø1 of T4 to Ø1 to T2 of the processor cycle. During the period from Ø1 of T2 to Ø1 of T4 only clean transitions are permitted on this pin (no glitches). If a glitch does occur the arbiter may capture or miss it, and the multi-master system bus may be requested or surrendered, depending upon the state of the glitch. The arbiter requests the multi-master system bus in the S.R. Mode when the state of the SYSB/$\overline{\text{RESB}}$ pin is high and permits the bus to be surrendered when this pin is low.
$\overline{\text{CBRQ}}$	12	I/O	**Common Bus Request** $\overline{\text{CBRQ}}$ is an input signal which serves to instruct the arbiter if there are any other arbiters of lower priority requesting the use of the multi-master system bus. The $\overline{\text{CBRQ}}$ pins (open-collector output) of all the SAB 8289 Bus Arbiters which are to surrender the multi-master-system bus upon request are connected together. The Bus Arbiter running the current transfer cycle will not itself pull the $\overline{\text{CBRQ}}$ line low. Any other arbiter connected to the $\overline{\text{CBRQ}}$ line can request the multi-master system bus. The arbiter presently running the current transfer cycle drops its $\overline{\text{BREQ}}$ signal and surrenders the bus whenever the proper surrender conditions exist. Strapping $\overline{\text{CBREQ}}$ low and ANYRQST – high allows the multi-master system bus to be surrendered after each transfer cycle. See the pin definition of ANYRQST.
$\overline{\text{INIT}}$	6	I	**Initialize** $\overline{\text{INIT}}$ is an active low multimaster system bus input signal which is used to reset all the bus arbiters on the multi-master system bus. After initialization, no arbiters have the use of the multi-master system bus.
$\overline{\text{BCLK}}$	5	I	**Bus Clock** $\overline{\text{BCLK}}$ is the multi-master system bus clock to which all multimaster system bus interface signals are synchronized.
$\overline{\text{BREQ}}$	7	0	**Bus Request** $\overline{\text{BREQ}}$ is an active low output signal in the parallel Priority Resolving Scheme which the arbiter activates to request the use of the multi-master system bus.
$\overline{\text{BPRN}}$	9	I	**Bus Priority In** $\overline{\text{BPRN}}$ is the active low signal returned to the arbiter to instruct it that it may acquire the multimaster system bus on the next falling edge of BCLK. $\overline{\text{BPRN}}$ indicates to the arbiter that it is the highest priority requesting arbiter presently on the bus. The loss of $\overline{\text{BPRN}}$ instructs the arbiter that it has loss priority to a higher priority arbiter.

Tabel 9/10.2-41b: Beschrijving en functies van de aansluitpennen (deel 2).

Functionele beschrijving

De 8289 bus-arbiter werkt samen met de 8288 bus-controller waardoor 80xx microprocessoren op een multi-master systeembus kunnen worden aangesloten (waarbij zowel de 8086 als de 8088 in hun maximale mode zijn geconfigureerd). De processor weet niets van het bestaan van de arbiter en levert zijn commando's alsof hij het exclusieve gebruik van de systeembus heeft. Als de

processor geen gebruik maakt van de multi-master systeembus voorkomt de arbiter dat de bus-controller (8288), de datatransceivers en de adres-latches toegang tot de systeembus krijgen (alle busdriveruitgangen worden hoog-impedant gemaakt). Aangezien de commando-volgorde niet van de 8288 afkomstig was, zal de systeembus "Not Ready" zijn en zal de processor in wait-toestanden komen. De processor blijft in WAIT totdat de bus-arbiter de multi-master systeembus in gebruik krijgt, waarna de bus-arbiter toestaat dat de bus-controller, de data-transceivers en de adres-latches toegang tot het systeem krijgen. Zodra de processor een commando heeft gegeven en een datatransport heeft plaatsgevonden wordt gewoonlijk een transfer-bevestiging (XACK) teruggestuurd om "READY" van de gekozen slaaf te signaleren. De processor maakt dan zijn overdrachtcyclus af. De arbiter zorgt dus voor het multiplexen van een processor (of een busmaster) naar een multi-master systeembus en voorkomt dat er rivaliteitsproblemen tussen verschillende busmasters ontstaan.

Arbitrage tussen busmasters

Over het algemeen krijgen masters met een hogere prioriteit bezit van de bus wanneer een master met lagere prioriteit zijn lopende overdrachtcyclus afmaakt. Busmasters met een lagere prioriteit krijgen de bus alleen op een moment dat geen master met een hogere prioriteit toegang tot de systeembus krijgt. Er is een "strapping"-optie aanwezig (ANYRQST) die de arbiter in staat stelt de bus over te geven aan een master met lagere prioriteit. Als er geen andere busmasters om de bus vragen, houdt de arbiter de bus net zo lang tot zijn processor in de HALT-toestand komt. De arbiter geeft de systeembus niet vrijwillig over, maar moet door de bus-request van een andere master worden gedwongen (met uitzondering van de HALT-toestand). Er zijn extra "strapping"-opties die andere bedrijfsmodes mogelijk maken waarbij de multi-master systeembus onder verschillende voorwaarden wordt overgegeven of opgevraagd.

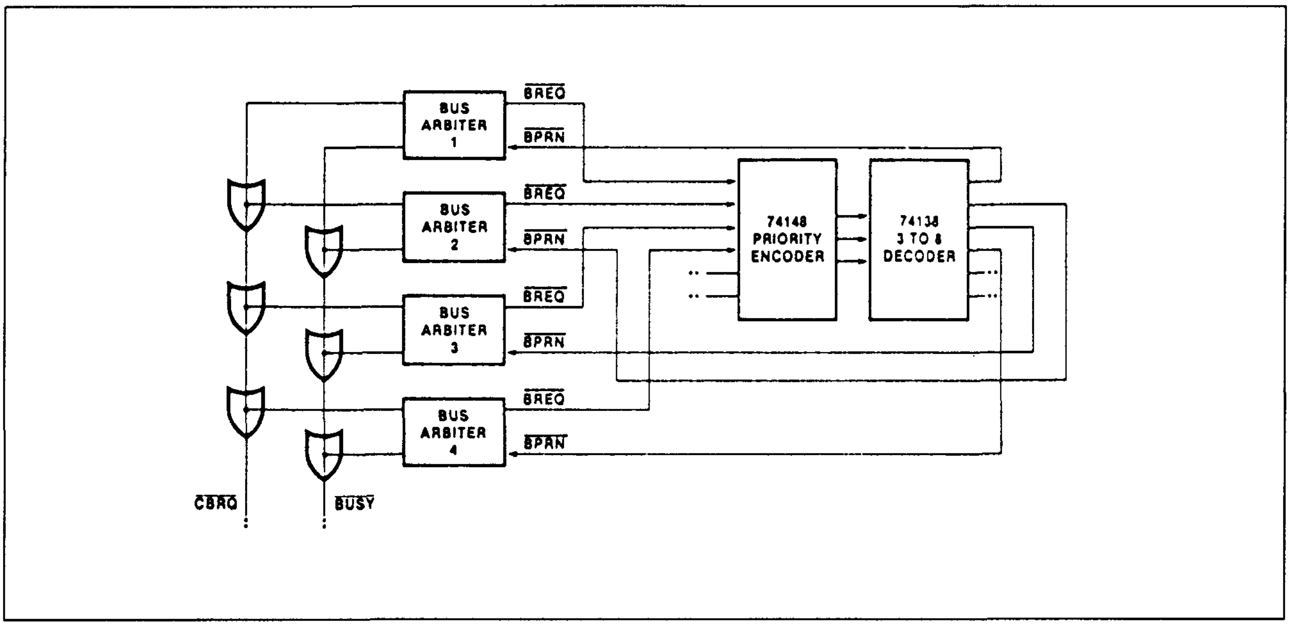
Prioriteitsregelingen

Wanneer veel busmasters op een multi-master systeembus zijn aangesloten moet er een manier zijn om de prioriteit te regelen als verschillende masters tegelijk om bezit van de bus vragen. De 8289 bus-arbiter levert verschillende oplossingen, waarbij alle technieken zijn gebaseerd op het prioriteitsconcept dat op een bepaald moment één busmaster voorrang heeft op alle andere. Er zijn voorzieningen voor het toepassen van parallelle, seriële en roterende beslissingstechnieken.

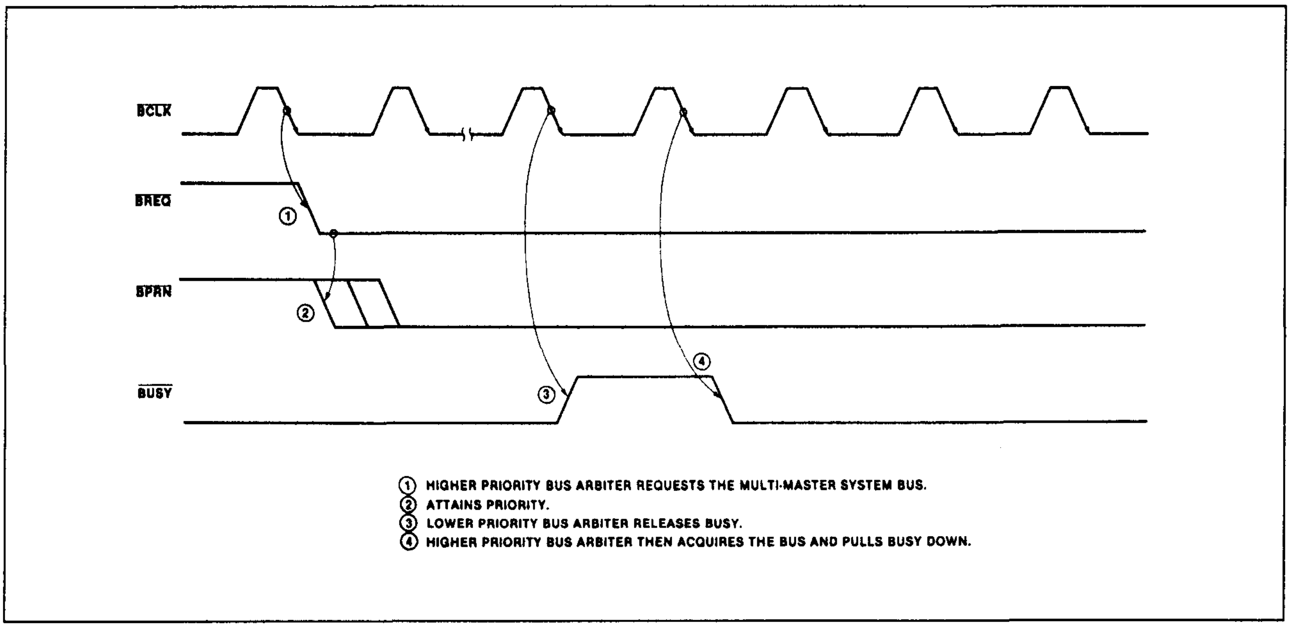
Parallelle prioriteitsregeling

Bij de techniek van parallelle prioriteitsbeslissing wordt gebruik gemaakt van een aparte bus-requestlijn ($\overline{BREQ}$) voor elke arbiter die op de multi-master systeembus is aangesloten (zie figuur 9/10.2-58). Alle $\overline{BREQ}$-lijnen komen samen in een prioriteits-encoder die het adres van de aktieve $\overline{BREQ}$-lijn met de hoogste prioriteit genereert. Het binaire adres wordt in een decoder gedecodeerd om de overeenkomstige $\overline{BPRN}$-lijn (Bus Priority In) te selecteren die naar de vragende arbiter met de hoogste prioriteit gaat. De arbiter die voorrang krijgt ($\overline{BPRN}$ = waar) laat zijn eigen busmaster toe tot de multi-master systeembus zodra die beschikbaar komt (bus is niet langer "busy"). Een bus-arbiter die voorrang krijgt op een andere kan de bus niet onmiddellijk overnemen, maar moet wachten tot de lopende bustransactie beëindigd is.
Nadat de handelingen klaar zijn ziet de huidige bezitter van de bus dat hij niet langer prioriteit heeft en geeft hij de bus af door $\overline{BUSY}$ te zetten. $\overline{BUSY}$ is een aktief-LAAG "OR"-verbonden signaal dat naar elke bus-arbiter op de systeembus gaat. Als $\overline{BUSY}$ inaktief (HOOG) wordt, grijpt de arbiter die op dat moment bus-prioriteit heeft ($\overline{BPRN}$ = waar) de bus en trekt $\overline{BUSY}$ LAAG om de andere arbiters van de bus weg te houden (zie tijddiagram, figuur 9/10.2-59).

10.2 Type-beschrijving 80-familie



Figuur 9/10.2-58: Parallelle prioriteits-beslissingstechniek.



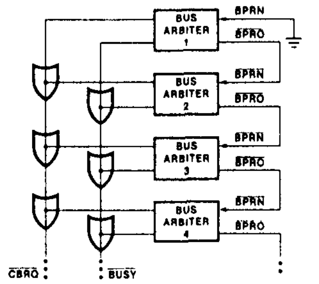
Figuur 9/10.2-59: Tijddiagram waarbij een arbiter met hogere prioriteit bezit van de bus krijgt van een arbiter met lagere prioriteit.

Let op dat alle multi-master systeembus transacties worden gesynchroniseerd op de bus-clock ($\overline{BCLK}$).

Seriële prioriteitsregeling

Bij de seriële prioriteitsregeling is geen prioriteits encoder-decoder nodig omdat de bus-arbiters in cascade staan, waarbij de Bus Priority Output $\overline{BPRO}$ van de bus-arbiter met de hoogste prioriteit aan de $\overline{BPRN}$ van de arbiter met de opvolgend lagere prioriteit wordt gelegd (zie figuur 9/10.2-60).

10.2 Type-beschrijving 80-familie



THE NUMBER OF ARBITERS THAT MAY BE DAISY-CHAINED TOGETHER IN THE SERIAL PRIORITY RESOLVING SCHEME IS A FUNCTION OF BCLK AND THE PROPAGATION DELAY FROM ARBITER TO ARBITER. NORMALLY, AT 10 MHz ONLY 3 ARBITER MAY BE DAISY-CHAINED.

Figuur 9/10.2-60: Seriële prioriteitsregeling.

Roterende prioriteitsregeling

De roterende prioriteitsregeling lijkt op de parallelle prioriteits-beslissingstechniek, behalve dat hierbij de prioriteit dynamisch telkens opnieuw wordt toegekend. De prioriteits-encoder is vervangen door een ingewikkelder schakeling die de prioriteit tussen de vragende arbiters laat roteren. Elke arbiter heeft in een bepaalde tijd zodoende een gelijke kans om de multi-master systeembus te gebruiken.

Keuze van de prioriteits-beslissingstechniek

Aan elk van de bovenbeschreven technieken kleven voor- en nadelen. Voor de roterende prioriteitsregeling is veel externe logika nodig, terwijl de seriële techniek geen externe logika gebruikt.

De seriële oplossing kan echter voor slechts een beperkt aantal arbiters worden gebruikt, omdat anders de vertragingstijd van de cascade-schakeling in conflict komt met de systeemclock ($\overline{BCLK}$).

De parallelle techniek is over het algemeen een goed compromis tussen de beide andere technieken. Hierbij kunnen veel arbiters op de bus aanwezig zijn, terwijl niet al te veel logika vereist is.

Bedrijfsmodes van de 8289

Er zijn twee typen processoren in de 8086-familie: een Input/Output Processor (8089 IOP) en de CPU's 8086 en 8088. De 8289 bus-arbiter moet zodoende twee principiële bedrijfsmodes hebben.

In de eerste, de IOB (I/O Peripheral Bus)-mode, kan de processor toegang krijgen tot zowel een Peripheral Bus als een multi-master systeembus. De tweede, de RESB (Resident Bus)-mode, staat de processor toe te communiceren over zowel een Residente Bus als over een multi-master systeembus.

Een I/O Peripheral Bus is een bus waarbij alle schakelingen die eraan zitten, inclusief geheugen, worden behandeld als I/O-schakelingen en worden geadresseerd met I/O-commando's. Alle geheugen-commando's worden naar een andere bus gestuurd: de multi-master systeembus.

Een Resident Bus kan zowel geheugen- als I/O-commando's leveren, maar is een volledig andere bus dan de multi-master systeembus. Het verschil is dat de Resident Bus slechts één master heeft waardoor hij te allen tijde beschikbaar is voor die master. In tabel 9/10.2-42 worden de bedrijfsmodes van de 8289 en de reactie op de status-signalen samengevat.

De $\overline{IOB}$ "strapping"-optie configureert de 8289 voor de $\overline{IOB}$-mode en de RESB "strapping"-optie bepaalt de RESB-mode. Hier kan worden opgemerkt dat indien beide "strapping"-opties "false" worden aangelegd, de processor via de arbiter alleen met een multi-master systeembus communiceert (zie figuur 9/10.2-61). Met beide opties "true" geschakeld sluit de arbiter de processor aan op een multi-master systeembus, een Resident Bus en een I/O-bus.

In de $\overline{IOB}$-mode communiceert de processor met de randapparatuur via de Peripheral Bus. Moet de I/O-processor met systeemgeheugen communiceren, dan doet hij dat via de systeem-geheugenbus. Figuur 9/10.2-62 toont een mogelijke I/O-processor systeemconfiguratie.

10.2 Type-beschrijving 80-familie

Status Lines From SAB 8086 / 88 / 89				<u>IOB Mode</u> Only	<u>RESB (Mode) Only</u> IOB=High RESB=High		<u>IOB Mode RESB Mode</u> IOB=Low RESB=High		Single <u>Bus Mode</u> IOB=High RESB=Low
	$\overline{S2}$	$\overline{S1}$	$\overline{S0}$	IOB=Low	SYSB/$\overline{RESB}$ =High	SYSB/$\overline{RESB}$ =Low	SYSB/$\overline{RESB}$ =High	SYSB/$\overline{RESB}$ =Low	
I/O	0	0	0	x		x	x	x	
COMMANDS	0	0	1	x		x	x	x	
	0	1	0	x		x	x	x	
HALT	0	1	1	x	x	x	x	x	x
MEM	1	0	0			x		x	
COMMANDS	1	0	1			x		x	
	1	1	0			x		x	
IDLE	1	1	1	x	x	x	x	x	x

NOTE:
x = Multi-Master System Bus is allowed to be Surrendered.

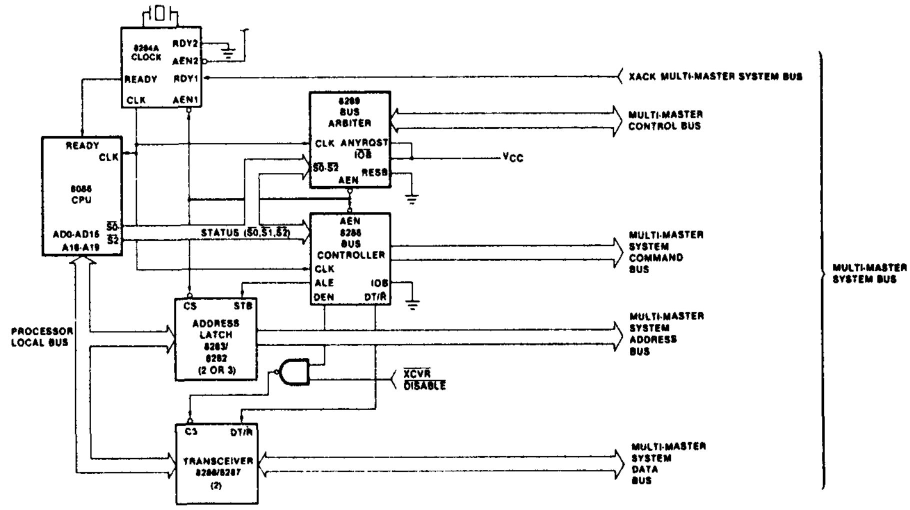
Mode	Pin Strapping	Multi-Master System Bus	
		Requested**	Surrendered*
Single Bus Multi-Master Mode	$\overline{IOB}$=High RESB=Low	Whenever the processor's status lines go active	HLT+TI•CBRQ+HPBRQ***
RESB Mode Only	$\overline{IOB}$=High RESB=High	SYSB/$\overline{RESB}$=High• ACTIVE STATUS	(SYSB/$\overline{RESB}$=Low+TI)• CRBQ+HLT+HPBRQ
IOB Mode Only	IOB=Low RESB=Low	Memory Commands	(I/O Status+TI)•CBRQ+ HLT+HPBRQ
IOB Mode•RESB Mode	$\overline{IOB}$=Low RESB=High	(Memory Command)• (SYSB/$\overline{RESB}$=High)	((I/O Status Commands)+ SYSB/RESB=LOW))•CBRQ +HPBRQ***+HLT

NOTES:
*$\overline{LOCK}$ prevents surrender of Bus to any other arbiter, $\overline{CRQLCK}$ prevents surrender of Bus to any lower priority arbiter.
**Except for HALT and Passive or IDLE Status.
***HPBRQ, Higher priority Bus request or $\overline{BPRN}$=1.
1. $\overline{IOB}$ Active Low.
2. RESB Active High.
3. +is read as "OR" and•as "AND".
4. TI=Processor Idle Status $\overline{S2}$, $\overline{S1}$, $\overline{S0}$=111
5. HLT=Processor Halt Status $\overline{S2}$, $\overline{S1}$, $\overline{S0}$=011

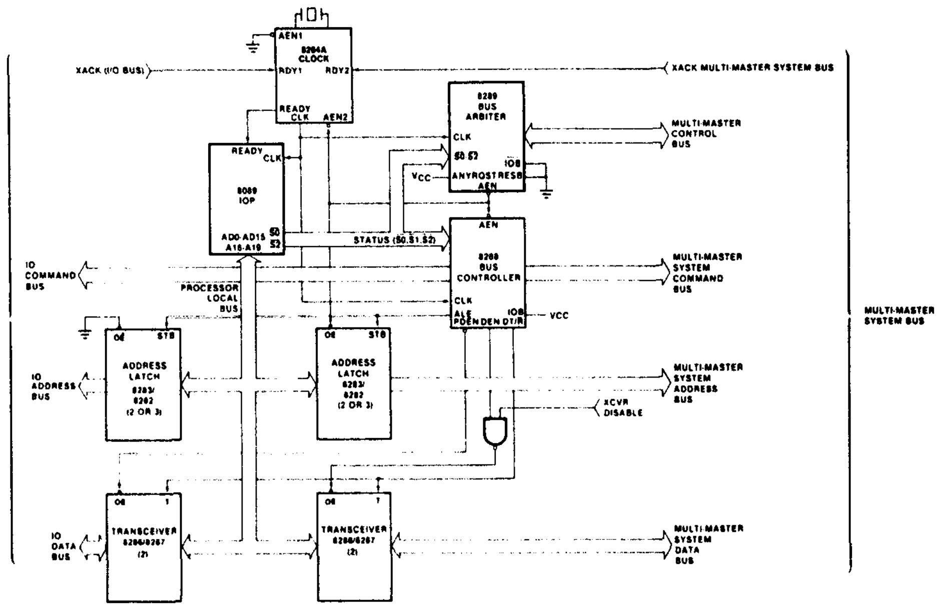
Tabel 9/10.2-42: Overzicht van de 8289 bedrijfsmodes en het opvragen en loslaten van de Multi-Master systeembus.

De 8088 en 8086 processoren kunnen met een Resident Bus en een multi-master systeembus communiceren.
Voor de configuratie van figuur 9/10.2-63 zijn twee bus-controllers en slechts één bus-arbiter nodig. In een dergelijk systeem heeft de processor toegang tot geheugen en periferie-schakelingen van beide bussen. Er wordt met behulp van memory-mapping technieken geselecteerd welke bus zal worden benaderd. De SYSB/RESB-ingang van de arbiter dient om deze te instrueren of de systeembus wel of niet zal worden betreden. Het met SYSB/RESB verbonden signaal zorgt ook voor enable/disable van de commando's van de bus-controllers.

10.2 Type-beschrijving 80-familie

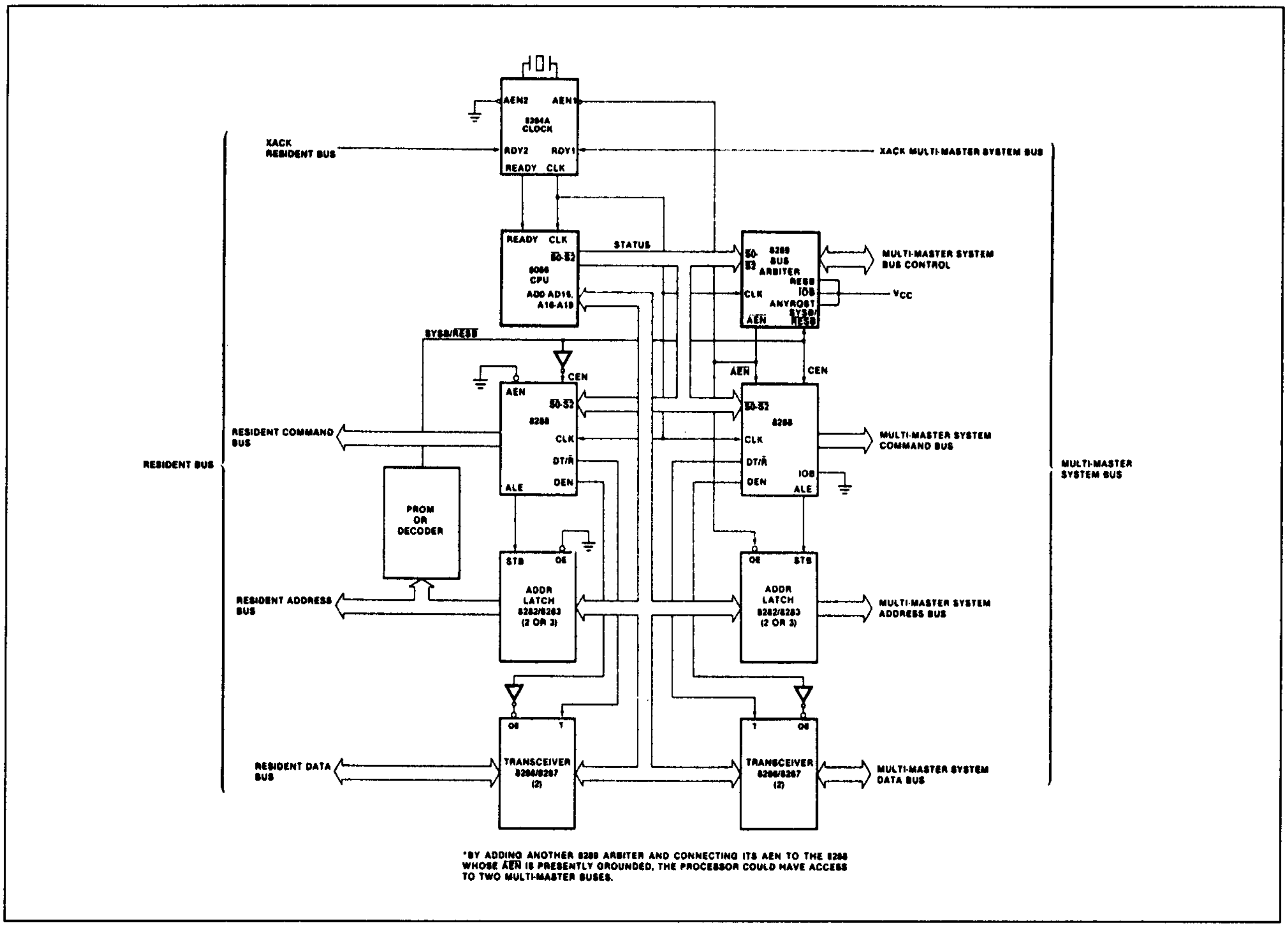


Figuur 9/10.2-61: Voorbeeld van een typisch CPU-systeem met gemiddelde complexiteit.



Figuur 9/10.2-62: Een IOB-systeem met gemiddelde complexiteit.

10.2 Type-beschrijving 80-familie



Figuur 9/10.2-63: Toepassing van een 8289 bus-arbiter in een systeem met Residente Bus en Multi-Master systeembus.

Absolute Maximum Ratings*

Ambient Temperature Under Bias	0 to 70°C
Storage Temperature	–65 to 150°C
All Output and Supply Voltages	–0.5 to 7 V
All Input Voltages	–1.0 to 5.5 V
Power Dissipation	1.5 Watt

Tabel 9/10.2-43: Maximaal toegelaten waarden van de 8289.

10.2 Type-beschrijving 80-familie

TA = 0 to 70°C, VCC = 5 V ± 10%

Symbol	Parameter	Limit Values		Unit	Test Condition
		Min.	Max.		
VC	Input Clamp Voltage		– 1.0	V	VCC=4.5 V, IC=–5 mA
IF	Input Forward Current		–0.5	mA	VCC=5.5 V, VF=0.45 V
IR	Reverse Input Leakage Current	–	60	μA	VCC=5.5 V, VR=5.5 V
VOL	Output Low Voltage BUSY, CBRQ AEN BPRO, BREQ		0.45	V	 IOL=20 mA IOL=16 mA IOL=10 mA
VOH	Output High Voltage BUSY, CBRQ	Open Collector			–
	All Other Outputs	2.4	–	V	IOH=400 μA
ICC	Power Supply Current	–	165	mA	
VIL	Input Low Voltage		0.8	V	–
VIH	Input High Voltage	2.0	–		
Cin Status	Input Capacitance	–	25	pF	
Cin (Others)	Input Capacitance		12		

Tabel 9/10.2-44: Gelijkspannings karakteristieken van de 8289.

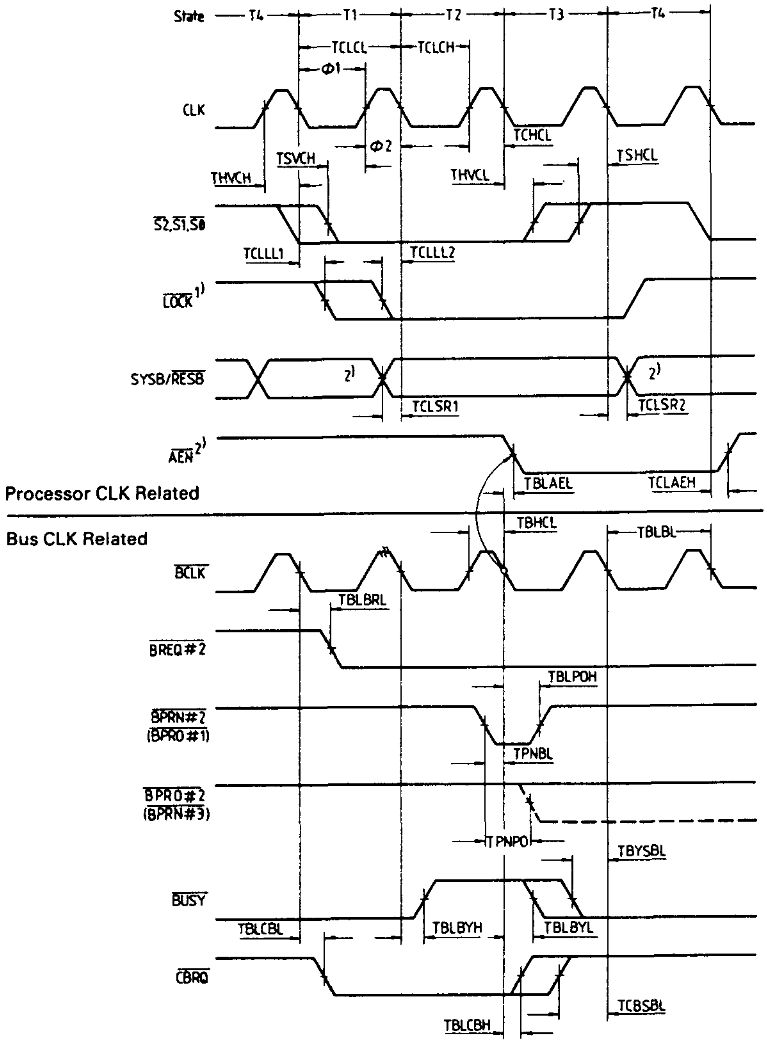
Timing Requirements

Symbol	Parameter	Limit Values				Unit
		SAB 8289		SAB 8289-1		
		Min.	Max.	Min.	Max.	
TCLCL	CLK Cycle Period	125		100		
TCLCH	CLK Low Time	65	–	53	–	
TCHCL	CLK High Time	35		35		
TSVCH	Status Active-Setup	65	TCLCL-10	55	TCLCL-10	
TSHCL	Status Inactive-Setup	50		45		
THVCH	Status Active Hold	10		10		
THVCL	Status Inactive Hold					
TBYSBL	Busy↑↓Setup to BCLK↓	20	–	20	–	
TCBSBL	CBRQ↑↓Setup to BCLK↓					ns
TBLBL	BCLK Cycle Time	100		100		
TBHCL	BCLK High Time	30	0.65 [TBLBL]	30	0.65 [TBLBL]	
TCLLL1	LOCK Inactive Hold	10		10		
TCLLL2	LOCK Active Setup	40		40		
TPNBL	BPRN↓↑ to BCLK Setup Time	15	–	15	–	
TCLSR1	SYSB/RESB Setup	0		0		
TCLSR2	SYSB/RESB Hold	20		20		
TNIH	Initialization Pulse Width	3TBLBL+ 3TCLCL		3TBLBL+ 3TCLCL		
TILIH	Input Rise Time	–	20	–	20	
TIHIL	Input Fall Time		12		12	

↑↓ Denotes the spec applies to both transitions of the signal.

Tabel 9/10.2-45: Benodigde schakeltijden van de 8289 en 8289-1 (zie ook figuur 9/10.2-64).

10.2 Type-beschrijving 80-familie



NOTES:

1. $\overline{\text{LOCK}}$ active can occur during any state, as long as the relationships shown above with respect to the CLK are maintained.
   $\overline{\text{LOCK}}$ inactive has not critical time and can be asynchronous.
   $\overline{\text{CRQLCK}}$ has no critical timing and is considered an asynchronous input signal.
2. Glitching of SYSB/$\overline{\text{RESB}}$ pin is permitted during this time. After I 2 of T1, and before I 1 of T4, SYSB/$\overline{\text{RESB}}$ should be stable.
3. $\overline{\text{AEN}}$ leading edge is related to $\overline{\text{BCLK}}$, trailing edge to CLK. The trailing edge of AEN occurs after bus priority is lost.

Figuur 9/10.2-64: Golfvormen en schakeltijden van de 8289.

10.2 Type-beschrijving 80-familie

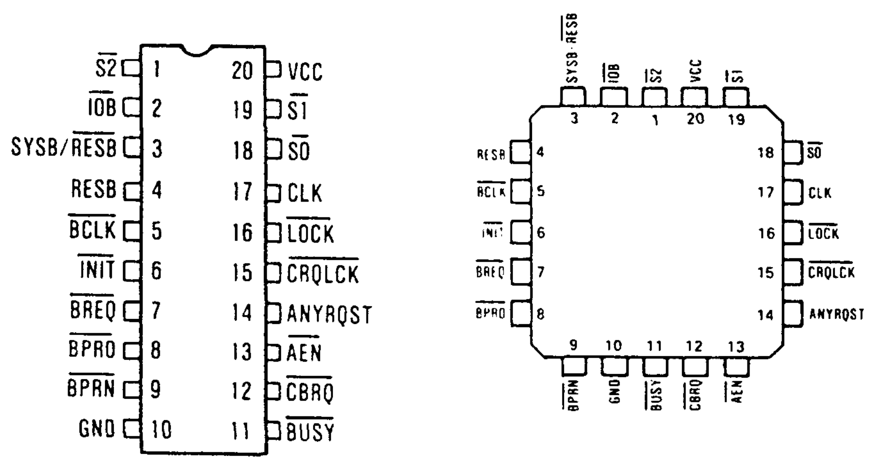
Timing Responses

Symbol	Parameter	Limit Values		Unit	Test Condition
		Min.	Max.		
TBLBRL	BCLK to BREQ Delay↓↑		35		
TBLPOH	BCLK to BPRO↓↑ 1)		40		
TPNPO	BPRN↓↑ to BPRO↓↑ Delay 1)		25		–
TBLBYL	BCLK to BUSY Low		60	–	
TBLBYH	BCLK to BUSY Float 2)		35		
TCLAEH	CLK to AEN High	–	65	ns	
TBLAEL	BCLK to AEN Low		40		
TBLCBL	BCLK to CBRQ Low		60		
TBLCRH	BCLK to CBRQ Float 2)		35		
TOLOH	Output Rise Time		20		From 0.8 to 2.0 V
TOHOL	Output Fall Time		12		From 2.0 to 0.8 V

↓↑ Denotes the spec applies to both transitions of the signal.

NOTES:
1) BCLK generates the first BPRO wherein subsequent BPRO changes lower in the chain are generated through BPRON.
2) Measured at 0.5 V above GND.

Tabel 9/10.2-46: In de 8289 optredende vertragingstijden.



Figuur 9/10.2-65: Aansluitingen van de DIL- en LCC-uitvoering van de 82C89.

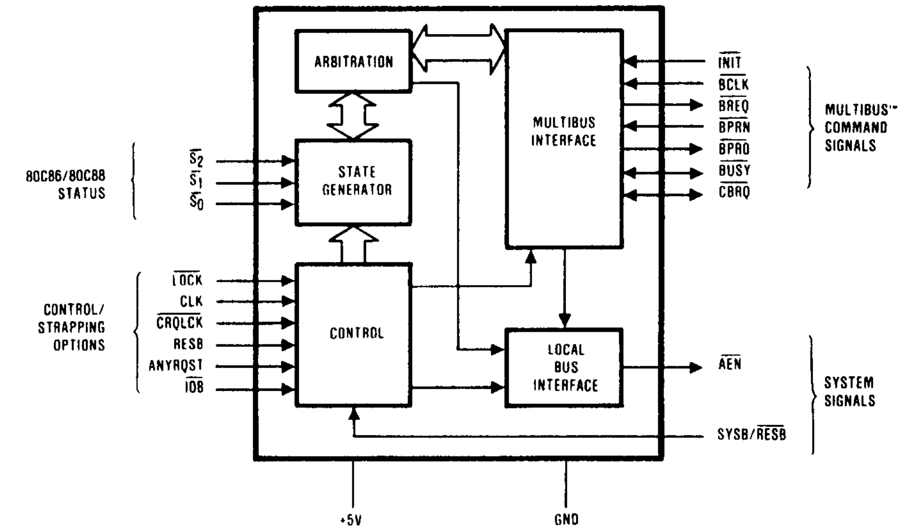
82C89
CMOS bus-arbiter

Ook van de 8289 is natuurlijk een CMOS-uitvoering verschenen: de 82C89, die bestemd is voor samenwerking met de 5 MHz en 8 MHz CMOS processoren 80C88 en 80C86. De 82C89 werkt op dezelfde manier als de bipolaire versie en heeft ook dezelfde aansluitingen. Voor de beschrijving van de 82C89 wordt dus verwezen naar de 8289 bus-arbiter. In dit gedeelte komen alleen afwijkende gegevens aan bod. De busarbiters van Harris zijn in commerciële, industriële en militaire uitvoering leverbaar.

10.2 Type-beschrijving 80-familie

Specificaties

- compatibel met de bipolaire 8289
- levert Multi-Master systeembus regeling en arbitrage
- synchroniseert 80C86/8086 en 80C88/8088 processoren met Multi-Masterbus
- eenvoudige interface met 82C88/8288 bus-controller
- 4 bedrijfsmodes voor flexibele systeem-configuratie
- volledig TTL-compatibel
- 20-pens plastic DIL- of 20-pens LCC/PLCC-behuizing
- fabrikant: Harris: 82C89



Figuur 9/10.2-66: Blokschema van de 82C89 en gebruikte signalen.

Absolute Maximum Ratings

Supply Voltage	+8.0 Volts
Input, Output or I/O Voltage Applied	GND -0.5V to VCC +0.5V
Maximum Package Power Dissipation	1 Watt
Storage Temperature Range	-65°C to +150°C
θ_{jc}	26°C/W (CERDIP package), 31°C/W (LCC package)
θ_{ja}	76°C/W (CERDIP package), 81°C/W (LCC package)
Gate Count	200 Gates
Junction Temperature	+150°C
Lead Temperature (Soldering, Ten Seconds)	+260°C

CAUTION: Stresses above those listed in the "ABSOLUTE MAXIMUM RATINGS" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied.

Operating Conditions

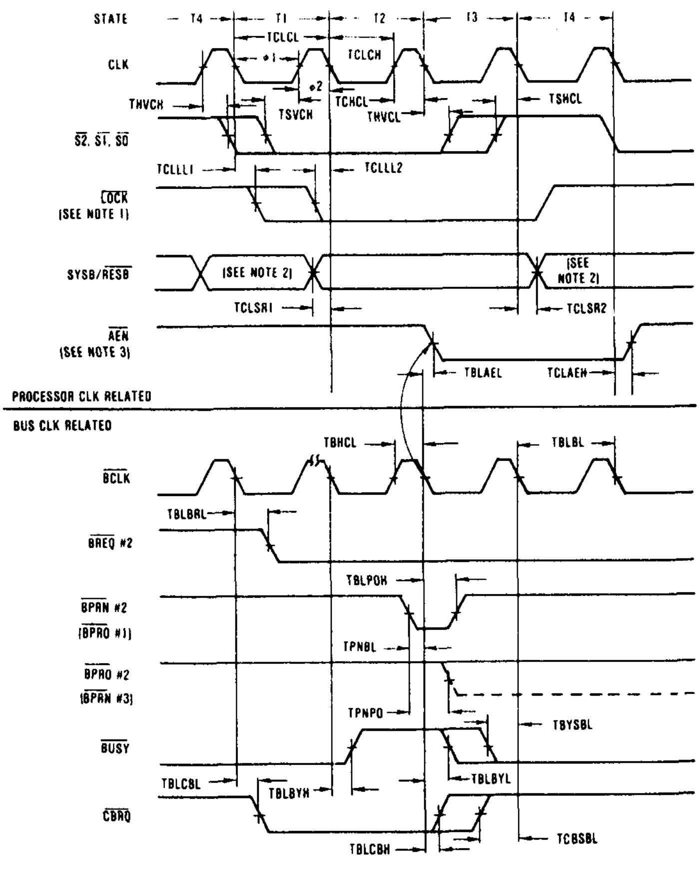
Operating Voltage Range	+4.5V to +5.5V
Operating Temperature Range	
C82C89	0°C to +70°C
I82C89	-40°C to +85°C
M82C89	-55°C to +125°C

Tabel 9/10.2-47: Maximaal toegelaten waarden en aanbevolen bedrijfscondities van de 82C89.

10.2 Type-beschrijving 80-familie

SYMBOL	PARAMETER	MIN	MAX	UNITS	TEST CONDITIONS
VIH	Logical One Input Voltage	2.0 2.2		V V	C82C89, I82C89 M82C89
VIL	Logical Zero Input Voltage		0.8	V	
VIHC	CLK Logical One Input Voltage	0.7 VCC		V	
VILC	CLK Logical Zero Input Voltage		0.2 VCC	V	
VOL	Output Low Voltage $\overline{BUSY}$, $\overline{CBRQ}$ $\overline{AEN}$ $\overline{BPRO}$, $\overline{BREQ}$		 0.45 0.45 0.45	 V V V	 IOL = 20mA IOL = 16mA IOL = 10mA
VOH	Output High Voltage $\overline{BUSY}$, $\overline{CBRQ}$	Open-Drain			
	All other Outputs	3.0 VCC -0.4		V V	IOH = -2.5mA IOH = -100μA
II	Input Leakage Current	-1.0	1.0	μA	VIN = GND or VCC DIP Pins 1-6, 9, 14-19
IO	I/O Leakage	-10.0	10.0	μA	VO = GND orVCC DIP Pins 11-12
ICCSB	Standby Power Supply Current		10	μA	VCC = 5.5V VIN = VCC or GND Outputs Open
ICCOP	Operating Power Supply Current		1	mA/MHz	VCC = 5.5V Outputs Open See Note 1

Tabel 9/10.2-48: Gelijkspannings karakteristieken van de 82C89.



Figuur 9/10.2-67: Golfvormen en schakeltijden van de 82C89.

10.2 Type-beschrijving 80-familie

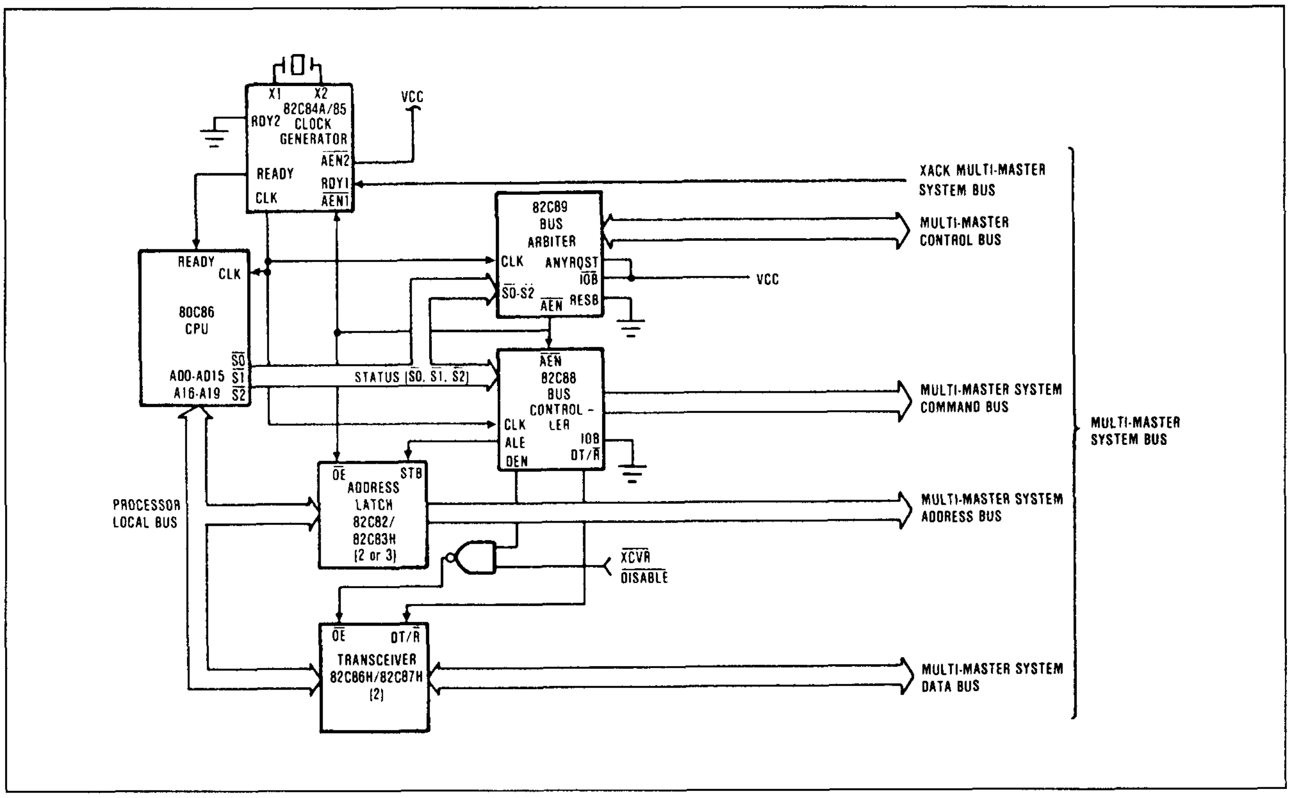
A.C. Electrical Specifications VCC = +5V ±10%, GND = 0V: T_A = 0°C to 70°C (C82C89)
T_A = -40°C to +85°C (I82C89)
T_A = -55°C to +125°C (M82C89)

SYMBOL	PARAMETER	MIN	MAX	UNIT	TEST CONDITION
TCLCL	CLK Cycle Period	125		ns	Note 3
TCLCH	CLK Low Time	55		ns	
TCHCL	CLK High Time	35		ns	
TSVCH	Status Active Setup	65	TCLCL-10	ns	
TSHCL	Status Inactive Setup	50	TCLCL-10	ns	
THVCH	Status Active Hold	10		ns	
THVCL	Status Inactive Hold	10		ns	
TBYSBL	$\overline{BUSY}$↑↓ Setup to $\overline{BCLK}$↓	20		ns	
TCBSBL	$\overline{CBRQ}$↑↓ Setup to $\overline{BCLK}$↓	20		ns	
TBLBL	$\overline{BCLK}$ Cycle Time	100		ns	
TBHCL	$\overline{BCLK}$ High Time	30	0.65(TBLBL)	ns	
TCLLL1	$\overline{LOCK}$ Inactive Hold	10		ns	
TCLLL2	$\overline{LOCK}$ Active Setup	40		ns	
TPNBL	$\overline{BPRN}$↑↓ to $\overline{BCLK}$ Setup Time	15		ns	
TCLSR1	SYSB/$\overline{RESB}$ Setup	0		ns	
TCLSR2	SYSB/$\overline{RESB}$ Hold	30		ns	
TIVIH	Initialization Pulse Width	3 TBLBL+ 3 TCLCL		ns	
TBLBRL	$\overline{BCLK}$ to $\overline{BREQ}$ Delay↑↓		35	ns	↓
TBLPOH	$\overline{BCLK}$ to $\overline{BPRO}$↑↓		40	ns	Note 1 and 3
TPNPO	$\overline{BPRN}$↑↓ to $\overline{BPRO}$↑↓ Delay		25	ns	Note 1 and 3
TBLBYL	$\overline{BCLK}$ to $\overline{BUSY}$ Low		60	ns	Note 3
TBLBYH	$\overline{BCLK}$ to $\overline{BUSY}$ Float		35	ns	Note 2 and 3
TCLAEH	CLK to $\overline{AEN}$ High		65	ns	Note 3
TBLAEL	$\overline{BCLK}$ to $\overline{AEN}$ Low		40	ns	Note 3
TBLCBL	$\overline{BCLK}$ to $\overline{CBRQ}$ Low		60	ns	Note 3
TBLCBH	$\overline{BCLK}$ to $\overline{CBRQ}$ Float		35	ns	Note 2 and 3
TOLOH	Output Rise Time		20	ns	From 0.8V to 2.0V Note 4
TOHOL	Output Fall Time		12	ns	From 2.0V to 0.8V Note 4
TILIH	Input Rise Time		20	ns	From 0.8V to 2.0V
TIHIL	Input Fall Time		20	ns	From 2.0V to 0.8V

NOTES:
1. $\overline{BCLK}$ generates the first $\overline{BPRO}$ wherein subsequent $\overline{BPRO}$ changes lower in the chain are generated through BPRON.
2. Measured at 0.5V above GND.
3. All A.C. parameters tested as per test circuits in Figures 7 - 9. Input rise and fall times are driven at 1ns/V.
4. Except $\overline{BUSY}$ and $\overline{CBRQ}$.

Tabel 9/10.2-49: Schakeltijden van de 82C89 (zie ook figuur 9/10.2-67).

10.2 Type-beschrijving 80-familie



Figuur 9/10.2-68: Toepassing van een 82C89 en plaats van de overige schakelingen in een CPU-systeem met gemiddelde complexiteit.

10.2 Type-beschrijving 80-familie

9/11

USB: Universal Serial Bus

Inhoud

9/11.1

Achtergrond-informatie

Wat is de USB?

Inleiding

Met de Universele Seriële Bus (USB) wordt het eenvoudiger om computers uit te breiden met allerlei voorzieningen. Er kunnen dan maximaal 127 randapparaten op één enkele "poort" achterop de PC worden aangesloten. Deze worden automatisch gedetecteerd waarbij configuratie, zonder installatie van soft- of hardware en zelfs zonder te rebooten, plaatsvindt. Het instellen van eigen interrupt-niveaus, I/O-adressen en DMA-kanalen behoort hiermee eindelijk tot het verleden. Het is ook niet nodig de computer daarbij uit te schakelen, zodat er van "real hot plug & play" kan worden gesproken.

USB contra Fire Wire IEEE-P1394

De USB is ontwikkeld door en voor enkele grote fabrikanten: Intel, IBM, Compaq, Microsoft, Sony.
Overigens is USB niet de enige technologie die verband houdt met de achterzijde van de PC. Er is nog een seriële bus: de IEEE-P1394 bus, die vanwege zijn snelheid de "fire-wire" wordt genoemd. Hoewel deze bus slechts de helft van het aantal randapparaten van de USB kan bedienen, gebeurt dat wél bij een aanzienlijk hogere snelheid (100 tot 400 Mb/s).
Zelfs bij de laagste snelheid kunnen hierover twee kanalen video plus CD-kwaliteit geluid worden verstuurd! Volgens Intel, die aan beide bussen meewerkt, vullen USB en Fire Wire elkaar aan en zijn ze niet concurrerend.

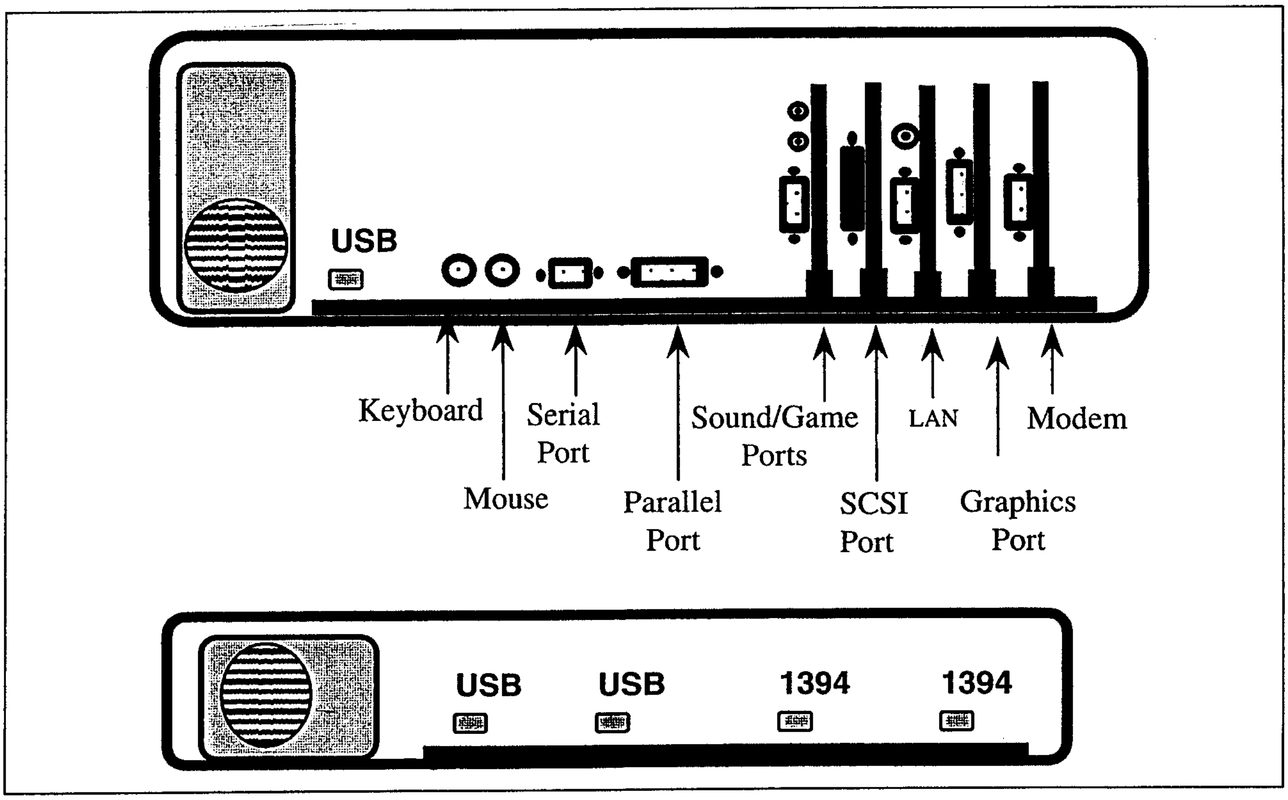
Hoe het was

Bij oudere PC's (zelfs als die zijn uitgerust met "gewone" Pentiums) kan men nog steeds niet direkt na het uitpakken van de apparatuur aan de slag. Als men aanneemt dat de diskdrive en CD-ROM speler al door de leverancier zijn geïnstalleerd, moeten toch nog eerst de monitor, het toetsenbord en de muis worden aangesloten, anders kan de programmatuur niet eens worden geïnstalleerd. Het begint dus met het aan de achterkant zoeken naar de juiste connectoren. Zitten de goede kabels erbij dan is er al veel gewonnen, hoewel het nog steeds fout kan gaan. Vroeger werd de muis op een 25-pens vrouwelijke sub-D connector aangesloten, terwijl een even grote mannelijke (nog steeds) diende voor de printer. Bij nieuwere PC's hebben de muis en het toetsenbord dezelfde soort mini-connector (totaal geen verschil). Als dus niet de juiste stickertjes aanwezig zijn gaat het zeker één keer mis. De 9-polige sub-D connector (eerst dus 25-polig) dient voor de RS-232 seriële verbinding naar bijvoorbeeld een externe modem. Deze mag niet worden verward met de 15-polige connector voor de monitor die gelukkig een rij pennetjes meer heeft. De printerkabel sluit men aan op het 25-polige mannetje. Aan de andere kant van de printerkabel zit vaak een "mondharmonica-connector" die alleen op de printer en nergens op de PC past.
Wil men een interne modem, een geluidskaart of een kaart voor een scanner installeren, dan moet de kast open. De geluidskaart heeft aan de buitenkant ingangen en uitgan-

11.1 Achtergrond-informatie

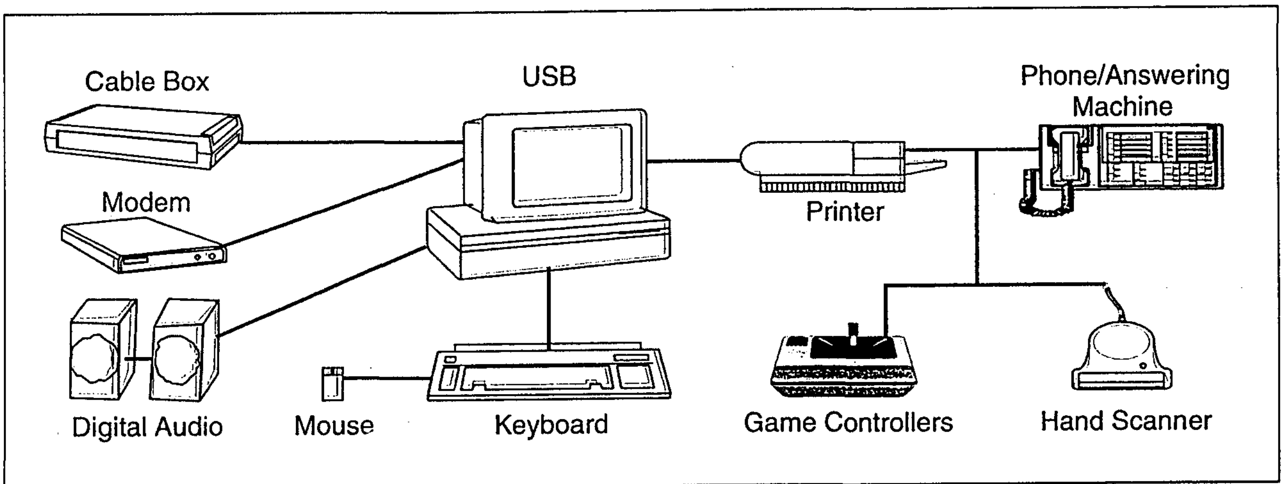
gen, waarvan de 15-polige ook geschikt blijkt te zijn voor een joystick. Eén van de drie kleine ronde plugjes is de microfoon-ingang, terwijl de andere voor de verbinding met de geluidsversterker zorgen (één ingang en één uitgang). Als dit niet werkt kan het meestal zonder schade nog andersom (zet wel eerst het volume weer laag). Ook met het interne modem kan het fout. Er is namelijk één aansluiting voor "lijn" en één voor telefoon (soms staat er niets bij). Bovendien kost het tijd omdat na elke misser eerst alles moet worden uitgezet voordat herstel kan plaatsvinden.
Doet men dat niet dan dreigt total loss. Het verschil tussen "oud" en "nieuw" wordt duidelijk uit figuur 9/11.1-1.

Universele Seriële Bus
Zoals de naam al aangeeft is deze serieel en universeel. Het is de bedoeling dat toekomstige PC's alleen met de kleine 4-polige USB-connector worden uitgerust en dat alle andere connectoren zullen verdwijnen. Ook zal het minder vaak nodig zijn om naderhand printkaarten in de PC te steken. Naast losse USB produkten, zoals chipsets en singleboard computers zijn er nu ook PC's met een USB-voorziening (vanaf de Pentium II) en randapparatuur, zoals toetsenborden en monitoren. Dit aanbod moet steeds groter worden, bijvoorbeeld modems, printers, camera's, geluidsapparatuur, enzovoorts (zie figuur 9/11.1-2). Aangezien er nog steeds printers met parallelle aansluitingen worden gebruikt, vormt de USB voorlopig een aanvulling op de normale aansluitingen.



Figuur 9/11.1-1: Door invoering van de USB en IEEE 1394 fire-wire wordt het aansluiten van nieuwe randapparatuur veel eenvoudiger. Boven: huidige situatie, onder: de toekomst.

11.1 Achtergrond-informatie



Figuur 9/11.1-2: Op de Universele Seriële Bus kan steeds meer worden aangesloten.

De USB-technologie

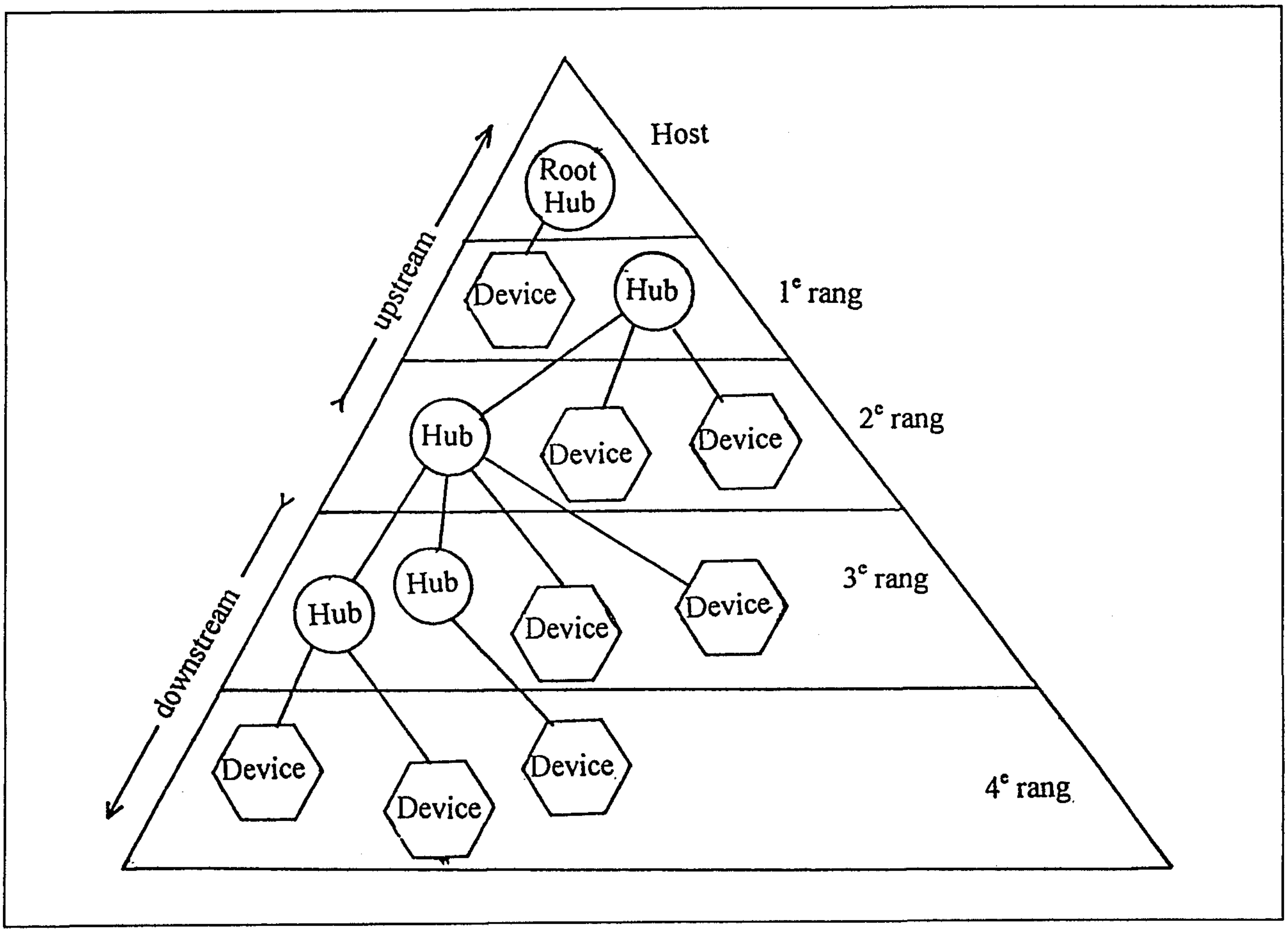
Werking
Een USB-systeem bestaat uit drie componenten: een "host controller", "hubs" en "peripherals". De besturingseenheid (host controller) is verantwoordelijk voor de besturing van het USB-systeem.
De verbindingen (hubs) verzorgen het datatransport en de voeding, terwijl de randapparatuur (peripherals) behalve voor hun specifieke functies ook voor de aan- en afvoer van data zorgen.

Host Controller
De besturingseenheid wordt in de PC opgenomen om de communicatie tussen de randapparatuur en de CPU van de PC te regelen. De besturingseenheid is ook verantwoordelijk voor het toekennen van de USB-allocaties: van elk randapparaat dat wordt toegevoegd stelt de besturingseenheid het type vast en voorziet het van een adres voor de communicatie. Als er fouten optreden bij het maken van de verbinding meldt de besturingseenheid dat aan de CPU, die dit op zijn beurt doorgeeft aan de gebruiker. Nadat is vastgesteld dat het randapparaat correct is aangesloten wijst de besturingseenheid de noodzakelijke systeemelementen toe. De besturingseenheid moet daarna zorgen voor het juiste datatransport tussen het randapparaat en de CPU.

Hubs
De hubs zijn "slimme" verdelers van data en voeding, waardoor één enkele PC USB-poort kan worden uitgebreid tot 127 gemakkelijk toegankelijke USB-aansluitingen. De hubs zorgen ervoor dat data en voeding naar de "lager gelegen" poorten worden doorgegeven en dat communicatie met de "hoger gelegen" poort mogelijk is. Een 4-poort hub accepteert bijvoorbeeld data vanuit de PC en brengt die over naar maximaal vier randapparaten, zie figuur 9/11.1-3. Omgekeerd kan deze hub data vanuit de vier lager gelegen poorten overbrengen in de richting van de PC via zijn hoger gelegen poort. Behalve de besturingseenheid bevat de PC ook de "Root Hub": de hoogst gelegen hub, waarop één of twee USB-connectoren worden aangesloten. Heeft de PC bijvoorbeeld één USB-poort waarop een 4-poort hub is aangesloten, dan heeft de PC zelf geen USB-aansluiting meer beschikbaar, maar zorgt de 4-poort hub weer voor vier "lager gelegen" USB-verbindingen. Op deze wijze kan het aantal USB-aansluitingen worden uitgebreid tot 127. Hoewel de hubs los worden verkocht zijn de meeste natuurlijk in de randapparaten ingebed. In een USB monitor kan bijvoor-

beeld een 7-poort hub zijn opgenomen, waardoor er zes USB-connectoren voor aanvullende randapparatuur overblijven.

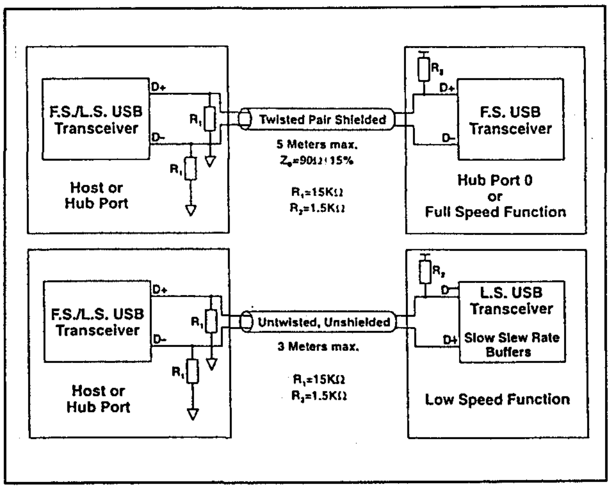
Periferie
De USB is geschikt voor randapparaten met lage en gemiddelde snelheid. Door twee aparte communicatie-snelheden (1,5 Mb/s: Low Speed en 12 Mb/s: High Speed) vast te stellen kan de USB efficiënter worden gebruikt. Interactieve apparaten, zoals muizen, toetsenborden en joysticks hebben geen 12 Mb/s snelheid nodig. Door hiervoor 1,5 Mb/s te gebruiken blijft er meer tijd over voor de snellere apparaten, zodat het totale systeem beter presteert. Bij gemiddeld snelle randapparaten, zoals monitoren, printers, modems, scanners, audio, enzovoorts, is immers sprake van grote hoeveelheden tijdsafhankelijke data. Deze data kan bovendien per aansluiting over een lengte van 5 meter worden getransporteerd.
De snelheid van een USB-verbinding kan heel eenvoudig worden vastgesteld: Low-Speed apparaten hebben een optrekweerstand aan de D- lijn en High-Speed apparaten hebben die aan de D+ lijn, zie ook figuur 9/11.1-4.
Alle USB-apparaten zijn voorzien van een tabel waarin de basisgegevens ervan staan. Deze tabel wordt door de host uitgelezen die daardoor de juiste drivers kan laden. Wel moet de PC dan met Windows '98 zijn uitgerust, omdat die de USB volledig ondersteunt. Ook is bij Windows '95 een "service-pack" met de USB-uitbreiding leverbaar.



Figuur 9/11.1-3: Alle USB-randapparaten zijn via een stervormig netwerk met de "Root Hub" in de PC verbonden.

11.1 Achtergrond-informatie

Vervolgens krijgt het betreffende randapparaat een adres dat bij de communicatie wordt gebruikt.



Figuur 9/11.1-4: Detectie van de snelheid van een randapparaat gebeurt door middel van de positie van de optrekweerstand aan het "neerwaartse" einde van de kabel. Bij High-Speed is R2 aan de D+ draad bevestigd; bij Low-Speed aan de D- draad.

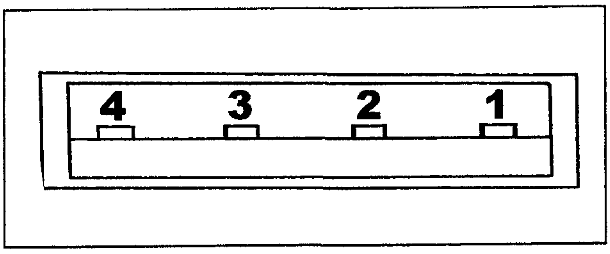
USB kabels en connectoren

Zowel de verbindingskabels als de connectoren voor de USB zijn gestandaardiseerd. Zoals in figuur 9/11.1-4 te zien is, is voor high-speed een afgeschermde kabel met twee getwiste aders voor de signaaloverdracht en twee aders voor de voeding nodig. Deze kabel mag maximaal 5 m lang zijn. Voor low-speed komt het niet zo nauw: hiervoor kan een niet-afgeschermde kabel van maximaal 3 m lengte met niet-getwiste aders worden gebruikt.

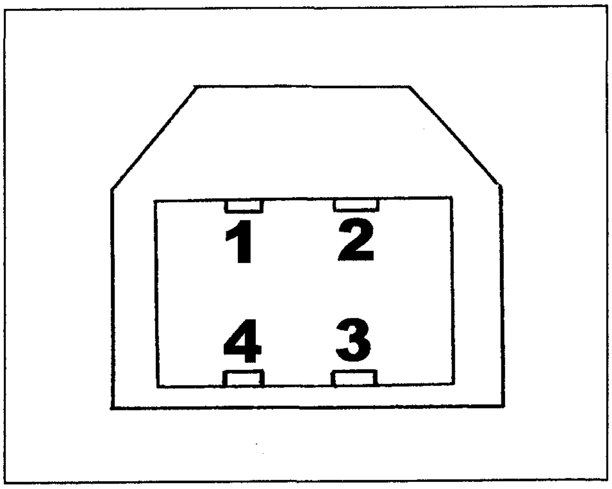
Er worden twee verschillende connectoren gebruikt: in "opwaartse richting" kan alleen een connector van het A-type worden gebruikt, zie figuur 9/11.1-5. Deze platte 4-polige connector past dus alleen op de USB-uitgang van de PC en op de uitgang(en) van een hub. De connector van het B-type, zie figuur 9/11.1-6, is bedoeld voor de "neerwaartse richting". Deze dikke 4-polige connector wordt dus in het randapparaat of de ingang van een hub gestoken. Als het randapparaat of de hub reeds van een USB-kabel zijn voorzien vervalt deze connector uiteraard.

De aansluitingen van beide connectoren zijn als volgt:

- 1; V_{USB}:
  wordt gebruikt voor apparatuur die weinig stroom verbruikt
- 2; D-:
  één van de signaaldraden, compatibel met low-voltage TTL : 3,3 V
- 3; D+:
  de andere signaaldraad
- 4; GND
  massa

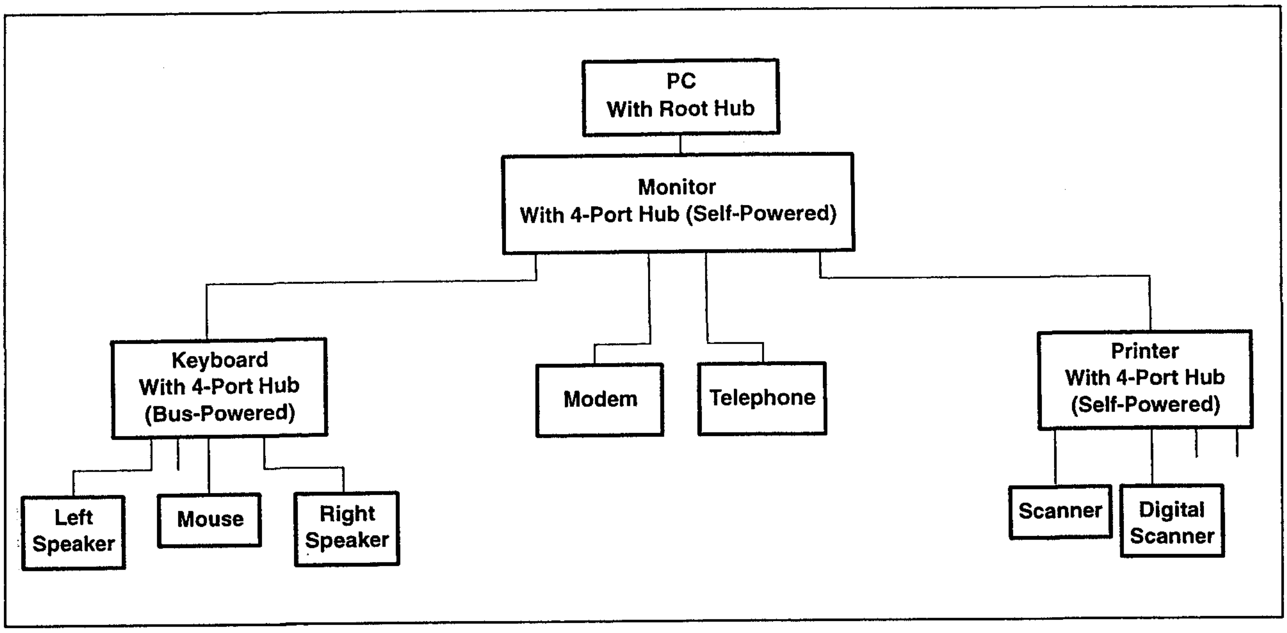


Figuur 9/11.1-5: USB-connector van het A-type voor "opwaartse" richting. Kabeldeel, vooraanzicht.



Figuur 9/11.1-6: USB-connector van het A-type voor "neerwaartse" richting. Kabeldeel, vooraanzicht.

11.1 Achtergrond-informatie



Figuur 9/11.1-7: Voorbeeld van een in lagen verdeeld (tiered) USB-systeem.

Toepassingsinformatie

Een belangrijk voordeel van de USB is de mogelijkheid om maximaal 127 functies, geconfigureerd in maximaal 6 logische lagen ("tiers") op één PC aan te sluiten, zie figuur 9/11.1-7. Nog een voordeel van de USB is het feit dat alle randapparaten van zowel communicatie als voeding worden voorzien door middel van een genormaliseerde 4-draads kabel.

Voeding

Bij de USB zijn drie voedingsmogelijkheden gespecificeerd: de Bus-Power, Self-Power en High-Power mode. Voor alle drie configuraties geldt dat tijdens Power-Up maximaal 100 mA uit de 5 V lijn van de USB mag worden afgenomen.

- In de Bus-Power mode mag een hub maximaal 500 mA uit de 5 V lijn van de USB-kabel trekken. Een Bus-Powered hub moet in neerwaartse richting ("downstream") altijd worden aangesloten op een Self-Powered hub, tenzij hij de enige hub is die met de PC is verbonden en er neerwaarts geen High-Powered functies zijn aangesloten.
- In de Self-Power mode wordt de hub op zijn eigen voeding aangesloten, terwijl hij neerwaarts maximaal 500 mA aan elke downstream-poort kan leveren.
- High-Powered functies kunnen maximaal 500 mA afnemen en mogen in neerwaartse richting alleen op Self-Powered hubs worden aangesloten.

Beveiliging

Zowel Bus-Powered als Self-Powered hubs moeten op alle downstream-poorten zijn voorzien van overstroom beveiligingen. Er zijn twee manieren van beveiliging: individueel (individual port basis) of gemeenschappelijk (multiple port basis).

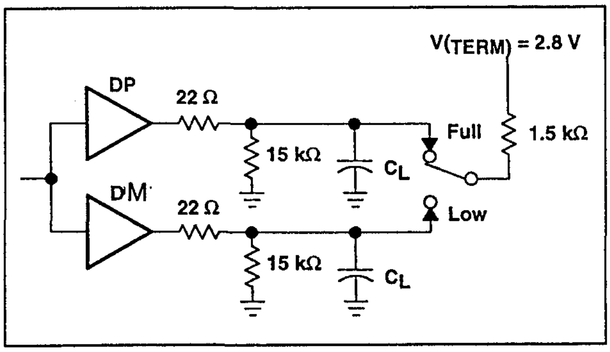
- Bij individuele poort-beveiliging moet elke downstream-poort zijn voorzien van een power-management schakeling. Dit verhoogt echter de betrouwbaarheid van het USB-systeem omdat, als ergens een overstroom-conditie optreedt, de USB Host alleen de voeding van de poort met die conditie zal uitschakelen.
- Voor de gemeenschappelijke (ganged) configuratie zijn minder power-management schakelingen nodig en dit

systeem is daardoor goedkoper, maar als een overstroom-conditie optreedt worden alle gemeenschappelijke poorten door de USB Host buiten werking gesteld.

Door gebruik te maken van de $\overline{\text{BUSPWR}}$- en GANGED-ingangen zijn vier modes van power-management mogelijk: Bus-Powered hub met individueel- of gemeenschappelijk power-management of Self-Powered hub met individueel- of gemeenschappelijk power-management.

Afsluiting

Alle USB-datalijnen moeten worden afgesloten met 22 Ω weerstanden. Alle downstream poort-datalijnen (bijvoorbeeld DM1 tot en met DM4 en DP1 tot en met DP4 bij een 4-poorts hub) moeten worden neergetrokken door middel van 15 kΩ weerstanden. DP0 (upstream) moet worden opgetrokken met een 1,5 kΩ weerstand, zie figuur 9/11.1-8.



Figuur 9/11.1-8: Belasting van een differentiële USB-driver. (DPn = Dn+ lijn ; DMn = Dn- lijn).

11.1 Achtergrond-informatie

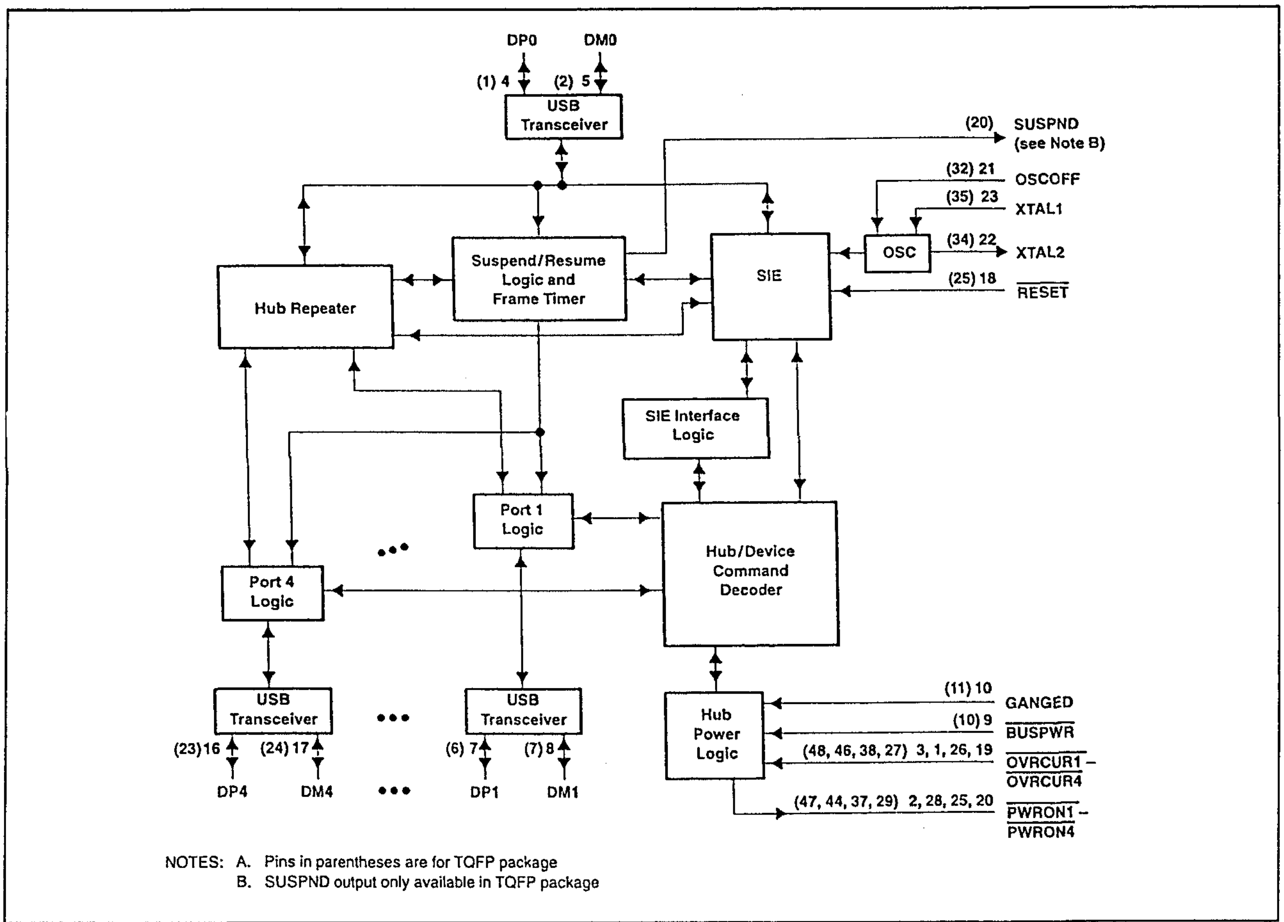
9/11.2

Type-beschrijving TUSB-serie

TUSB2040

4-poort USB-hub

De TUSB2040 is een 3,3 V CMOS hub met vier "downstream" poorten die voldoen aan de USB versie 1.0-specificaties. Hij kan op twee manieren worden gevoed: "bus-powered" en "self-powered". De hub en de downstream poorten maken gebruik van dezelfde voedingsbron. In de standby-positie verbruikt de TUSB2040 slechts 20 nA doordat de interne oscillator wordt afgeschakeld. De TUSB2040 kan de voeding van de downstream poorten individueel of allemaal tegelijk (ganged operation) laten uitschakelen.



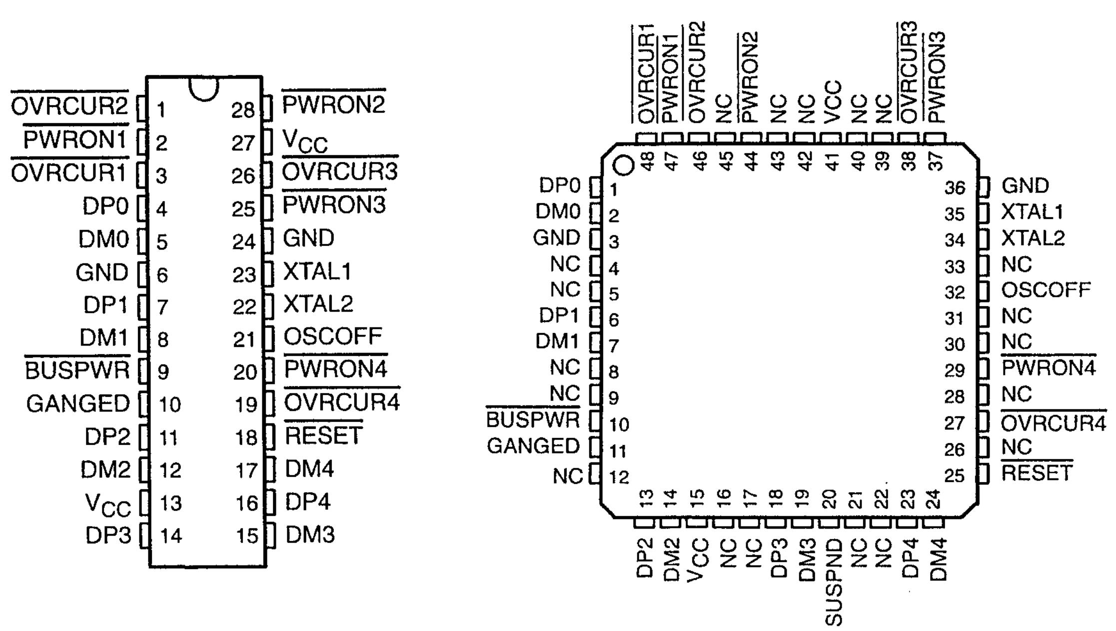
Figuur 9/11.2-1: Functioneel blokschema van de TUSB2040.

11.2 Type-beschrijving TUSB-serie

Voor dit in- en uitschakelen en het detecteren van condities met te grote stromen zijn externe schakeling(en) nodig. De TUSB2040 beschikt hiertoe over de nodige in- en uitgangen. Bij de gemeenschappelijke werking veranderen alle PWRON-signalen tegelijk, waarbij elke willekeurige OVERCUR-ingang mag worden gebruikt. De hub gebruikt een 48 MHz clock-signaal voor het bemonsteren van de data uit de upstream-poort en het genereren van een gesynchroniseerd 12 MHz USB clocksignaal. De hub is zo flexibel dat naar keuze een 48 MHz oscillator of een 48 MHz kristal kan worden toegepast. Als een oscillator wordt gebruikt, moet de uitgang daarvan met de XTAL1-pen worden verbonden en blijft de XTAL2-pen open. De uitgang van de oscillator mag TTL-compatibel zijn als het signaal maar niet boven 3,6 V uitkomt. Wordt een kristal gebruikt, dan dient de XTAL1-pen als ingang en de XTAL2-pen als tegenkoppeling met het kristal. Omdat het kristal moet resoneren op 48 MHz, is een schakeling als in figuur 9/11.2-5 vereist.

Technische gegevens

- Universele Seriële Bus (USB), voldoet aan versie 1.0
- geïntegreerde USB-transceivers
- 4 downstream poorten
- voeding op 2 manieren mogelijk:
  self-powered mode
  bus-powered mode
- aan/uitschakelen van de voeding en overstroom-melding naar keuze per poort of gemeenschappelijk ("ganged")
- Suspend Status-pen aanwezig voor externe logische power-down
- alle downstream poorten geschikt voor Full-Speed en Low-Speed operaties
- ondersteunt Suspend en Resume operaties
- behuizingen: 28-pens DIP of 48-pens TQFP
- voeding: 3,3 V
- fabrikant: Texas Instruments



Figuur 9/11.2-2: Aansluitingen van de 28-pens DIP (N) en 48-pens TQFP (PT) versie van de TUSB2040.

11.2 Type-beschrijving TUSB-serie

NAME	TERMINAL N NO.	TERMINAL PT NO.	I/O	DESCRIPTION
$\overline{BUSPWR}$	9	10	I	Power source indicator. $\overline{BUSPWR}$ is an active low input that indicates whether the ports and the hub derive power from the bus or are self-powered by the local supply. This standard TTL input must not change dynamically during operation.
DM0	5	2	I/O	Root port USB differential data minus. DM0 paired with DP0 constitutes the upstream USB port.
DM1 – DM4	8, 12, 15, 17	7, 14, 19, 24	I/O	USB differential data minus. DM1 – DM4 paired with DP1 – DP4 support up to four downstream USB ports.
DP0	4	1	I/O	Root port USB differential data plus. DP0 paired with DM0 constitutes the upstream USB port.
DP1 – DP4	7, 11, 14, 16	6, 13, 18, 23	I/O	USB differential data plus. DP1 – DP4 paired with DM1 – DM4 support up to four downstream USB ports.
GANGED	10	11	I	Power switching/overcurrent detection mode. GANGED selects between gang or per port switching and overcurrent detection for downstream ports. This standard TTL input must not change dynamically during operation.
GND	6, 24	3, 36		Ground. GND terminals must be tied to ground for proper operation.
OSCOFF	21	32	I	Oscillator off. OSCOFF disables the internal oscillator for quiesent current draw (ICCQ) testing. It must be tied low for proper operation.
$\overline{OVRCUR1}$ – $\overline{OVRCUR4}$	3, 1, 26, 19	48, 46, 38, 27	I	Overcurrent indicators. $\overline{OVRCUR1}$ – $\overline{OVRCUR4}$ are active low, standard TTL inputs. One overcurrent indicator is available for each of the four downstream ports. In GANGED mode, one implementation is to tie these inputs together. Alternatively, one $\overline{OVRCUR}$ input pin may be used with the remaining $\overline{OVRCUR}$ pins tied to V_{CC}.
$\overline{PWRON1}$ – $\overline{PWRON4}$	2, 28, 25, 20	47, 44, 37, 29	O	Power-on/-off control signals. $\overline{PWRON1}$ – $\overline{PWRON4}$ are active low, open-drain outputs. One power on/off control switch is used for each of the four downstream ports. In GANGED mode, all outputs are switched together.
$\overline{RESET}$	18	25	I	Reset. $\overline{RESET}$ is an active low TTL input with hysteresis and must be asserted at power up. When $\overline{RESET}$ is asserted it initializes all logic.
SUSPND	–	20	O	Suspend status. SUSPND is an active high output that is available for external logic power down operations. During the SUSPEND mode, SUSPND is high. SUSPND is low for normal operation.
V_{CC}	13, 27	15, 41		3.3-V supply voltage
XTAL1	23	35	I	Crystal 1. XTAL1 is a 48-MHz crystal input with 50 % duty cycle. Operation at 48-MHz is four times the USB full-speed bit rate of 12-Mbps.
XTAL2	22	34	O	Crystal 2. XTAL2 is a 48-MHz crystal output. Operation at 48-MHz is four times the USB full-speed bit rate of 12-Mbps. This terminal is left open when using an oscillator.

Tabel 9/11.2-1: **Functies van de aansluitpennen.**

Supply voltage range, V_{CC} (see Note 1) .... −0.5 V to 3.8 V

Input voltgage range, V_I .... −0.5 V to V_{CC} + 0.5 V

Output voltage range, V_O .... −0.5 V to V_{CC} + 0.5 V
Input clamp current, I_{IK}, ($V_I < 0$ V or $V_I > V_{CC}$) .... ±20 mA
Output clamp current, I_{OK}, ($V_O < 0$ V or $V_O > V_{CC}$) .... ±20 mA
Storage temperature range, T_{stg} .... −65°C to 150°C

Tabel 9/11.2-2: **Maximaal toegelaten waarden voor de TUSB2040.**

11.2 Type-beschrijving TUSB-serie

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	3	3.3	3.6	V
Input voltage, TTL/LVCMOS, V_I	0		V_{CC}	V
Output voltage, TTL/LVCMOS, V_O	0		V_{CC}	V
High-level input voltage, signal-ended receiver, $V_{IH(REC)}$	2		V_{CC}	V
Low-level input voltage, signal-ended receiver, $V_{IL(REC)}$			0.8	V
High-level input voltage, TTL/LVCMOS, $V_{IH(TTL)}$	2		V_{CC}	V
Low-level input voltage, TTL/LVCMOS, $V_{IL(TTL)}$			0.8	V
Operating free-air temperature, T_A	0		70	°C
External series, differential driver resistor, $R_{(DRV)}$	22 (−5%)		22 (+5%)	Ω
Operating (dc differential driver) high speed mode, $f_{(OPRH)}$			12	Mb/s
Operating (dc differential driver) low speed mode, $f_{(OPRL)}$			1.5	Mb/s
Common mode, input range, differential receiver, $V_{(ICR)}$	0.8		2.5	V
Input transition times, t_t, TTL/LVCMOS	0		6	ns

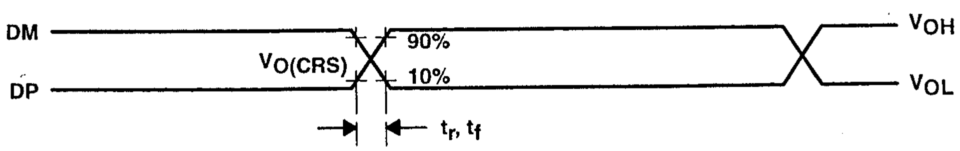
Tabel 9/11.2-3: **Aanbevolen bedrijfscondities.**

PARAMETER			TEST CONDITIONS	MIN	MAX	UNIT
V_{OH}	High-level output voltage	USB data lines	$R_{(DRV)}$ = 15 kΩ, to GND	2.8	3.6	V
			I_{OH} = −12 mA (without $R_{(DRV)}$)	V_{CC} − 0.5		
V_{OL}	Low-level output voltage	TTL/LVCMOS	I_{OL} = 4 mA		0.5	V
		USB data lines	$R_{(DRV)}$ = 1.5 k Ω to 3.6 V		0.3	
			I_{OL} = 12 mA (without $R_{(DRV)}$)		0.5	
V_{IT+}	Positive input threshold voltage	TTL/LVCMOS			2	V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V		1.8	V
V_{IT-}	Negative-input threshold voltage	TTL/LVCMOS		0.8		V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V	1		V
V_{hys}	Input hysteresis† ($V_{T+} - V_{T-}$)	TTL/LVCMOS		0.25	0.7	V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V	300	500	mV
I_{OZ}	High-impedance output current	TTL/LVCMOS	V = V_{CC} or GND‡		±10	μA
		USB data lines	0 V ≤ V_O ≤ V_{CC}		±10	μA
I_{IL}	Low-level input current	TTL/LVCMOS	V_I = GND		−1	μA
I_{IH}	High-level input current	TTL/LVCMOS	V_I = V_{CC}		1	μA
$z_{o(DRV)}$	Driver output impedance	USB data lines	Static V_{OH} or V_{OL}	7.1	19.9	Ω
V_{ID}	Differential input voltage	USB data lines	0.8 V ≤ V_{ICR} ≤ 2.5 V	0.2		V
I_{CC}	Input supply current		Normal operation		100	mA
			Suspend mode		1	μA

† Applies for input buffers with hysteresis
‡ Applies for open drain buffers

Tabel 9/11.2-4: **Elektrische eigenschappen van de TUSB2040 (bij de aanbevolen temperatuur en voedingsspanning).**

11.2 Type-beschrijving TUSB-serie



Figuur 9/11.2-3: Golfvormen van de differentiële driver.

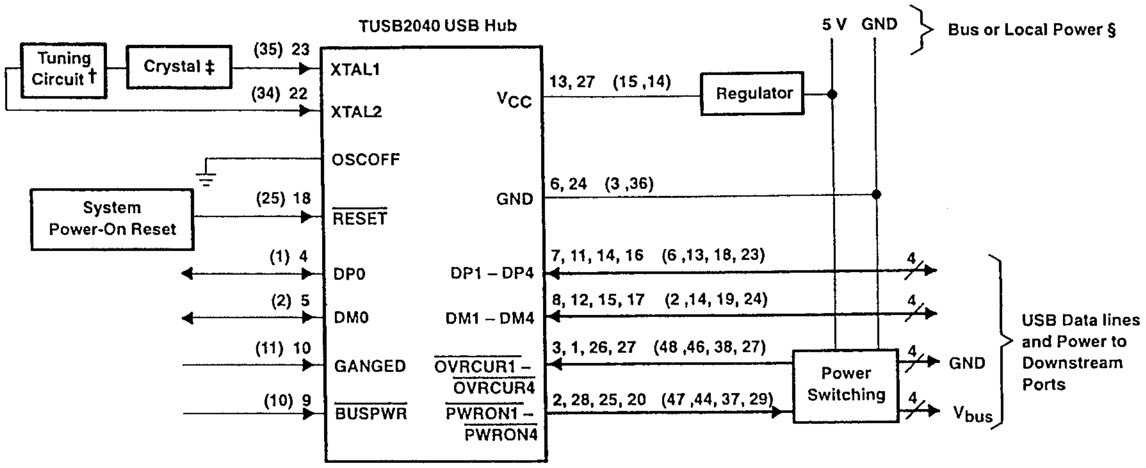
full speed mode

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_r	Transition rise time for DP or DM	See Figure 1 and Figure 2	4	20	ns
t_f	Transition fall time for DP or DM	See Figure 1 and Figure 2	4	20	ns
$t_{(RFM)}$	Rise/fall time matching	$(t_r/t_f) \times 100$	90	110	%
$V_{O(CRS)}$	Signal crossover output voltage		1.3	2.0	V

low speed mode

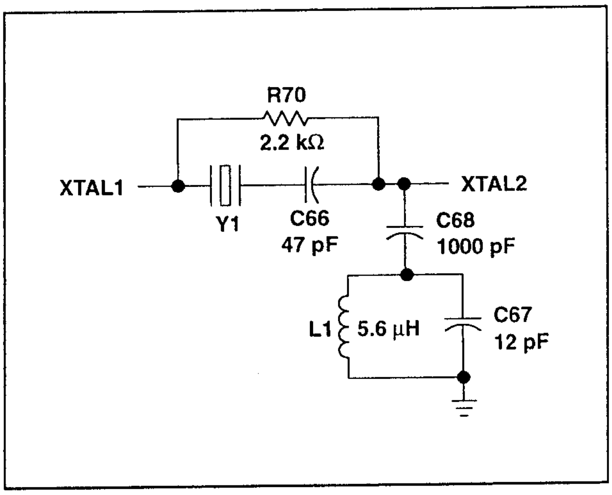
PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_r	Transition rise time for DP to DM	C_L = 50 pF to 350 pF, See Figure 1 and Figure 2	75	300	ns
t_f	Transition fall time for DP to DM	C_L = 50 pF to 350 pF, See Figure 1 and Figure 2	75	300	ns
$t_{(RFM)}$	Rise/fall time matching	$(t_r/t_f) \times 100$	80	120	%
$V_{O(CRS)}$	Signal crossover output voltage	C_L = 50 pF to 350 pF	1.3	2.0	V

Tabel 9/11.2-5: Schakeltijden van de differentiële driver in de Full-Speed en de Low-Speed mode (zie ook figuur 9/11.2-3).



† Values for timing components are subject to change when using different crystals and PCBs.
‡ The crystal in this application is a 48–MHz US Crystal, P/N HC–18/U 48MHZ.
§ BUSPWR input should be set according to the system power source. If self-powered, the local ground is tied to the USB ground.
¶ Pin numbers in parentheses are for TQFP package only.

Figuur 9/11.2-4: Praktische toepassing van de TUSB2040 USB hub. De pen-nummers tussen haakjes hebben betrekking op de TQFP-behuizing.



Figuur 9/11.2-5: Oscillator-schakeling bij toepassing van een 48 MHz kristal. XTAL1 = ingang en XTAL2 = tegenkoppeling van het kristal.

Toepassingsvoorbeelden

Bus-Powered hub met gemeenschappelijk (ganged) poort-power management

Een Bus-Powered TUSB2040 ondersteunt maximaal vier downstream poorten die elk 100 mA mogen opnemen (zie figuur 9/11.2-6). Bus-Powered hubs moeten zijn uitgerust met een schakelsysteem voor de voeding. Voor de gemeenschappelijke voeding van figuur 9/11.2-6 wordt de TPS2014 powerswitch gebruikt om de downstream poorten te beveiligen. Aanloopstromen en spanningspieken worden op de datalijnen hierbij beperkt door individuele transiëntonderdrukkers (SN75240). De TPS7133 low-dropout spanningsregelaar levert een Power Good (PG) signaal om bij power-up het resetten van de TUSB2040 te regelen. De $\overline{\text{OVERCUR1}}$ tot en met $\overline{\text{OVERCUR4}}$ ingangen worden bij de ganged mode aan elkaar gelegd.

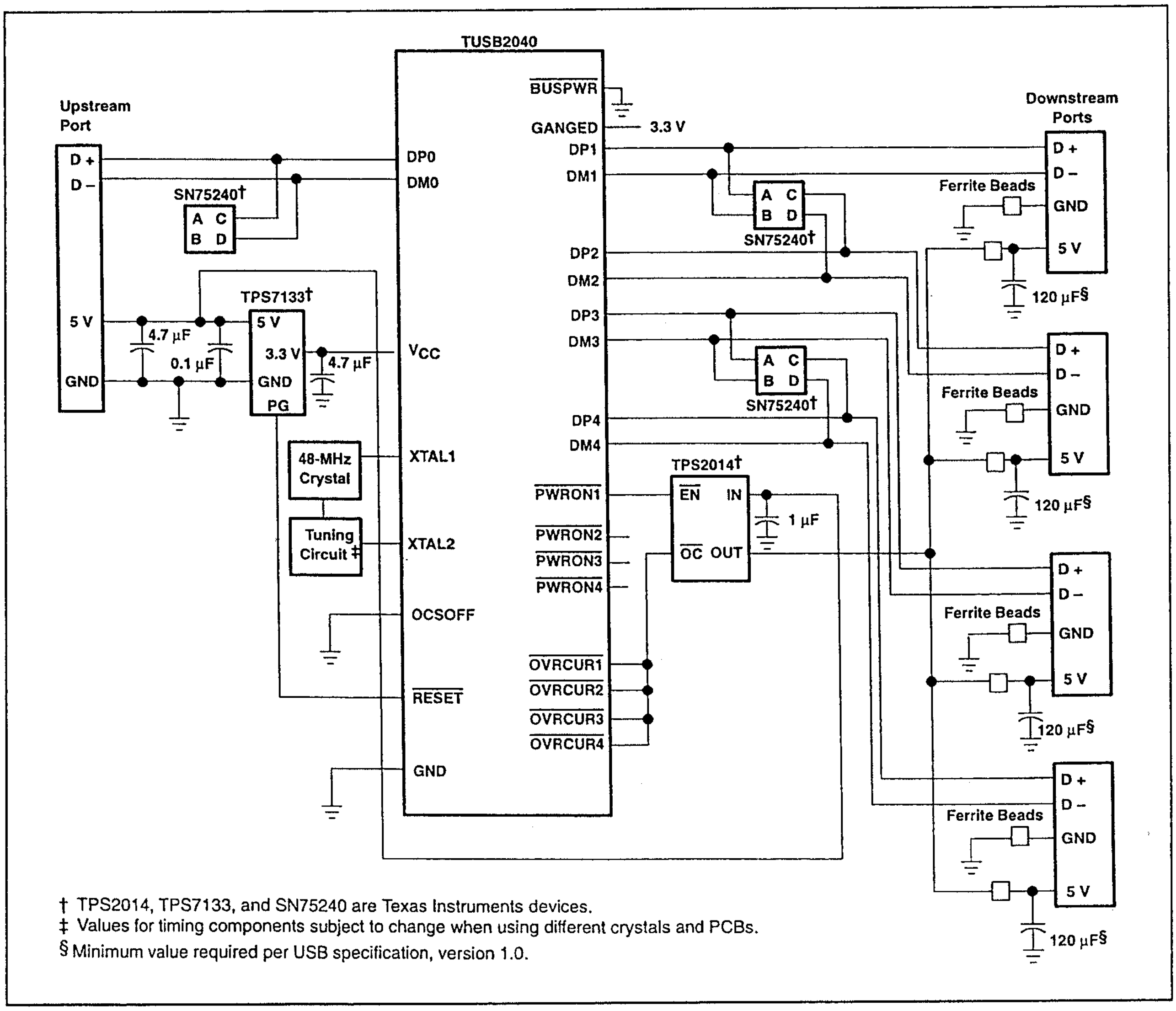
Self-Powered hub met gemeenschappelijk (ganged) poort-power management

Bij een Self-Powered TUSB2040 kan ook gemeenschappelijk power-management worden toegepast (zie figuur 9/11.2-7). Deze implementatie komt overeen met de individuele power-management, behalve dan dat telkens één TPS2015 wordt gebruikt voor de beveiliging van twee poorten. Hoewel dit een voordeliger oplossing is, zal een fout op één van de downstream poorten ervoor zorgen dat de voedingsspanning op beide poorten zal worden weggenomen.
Net als in figuur 9/11.2-6 kunnen maximaal vier downstream poorten (maximaal 100 mA per stuk) worden aangesloten. De datalijnen worden individueel beveiligd met de SN75240. Bij het opkomen van de voedingsspanning levert de TPS7133 low-dropout spanningsregelaar een Power Good (PG) signaal om de TUSB2040 te resetten. De $\overline{\text{OVERCUR1}}$ tot en met $\overline{\text{OVERCUR4}}$ ingangen zijn met elkaar verbonden.

Self-Powered hub met individueel poort-power management

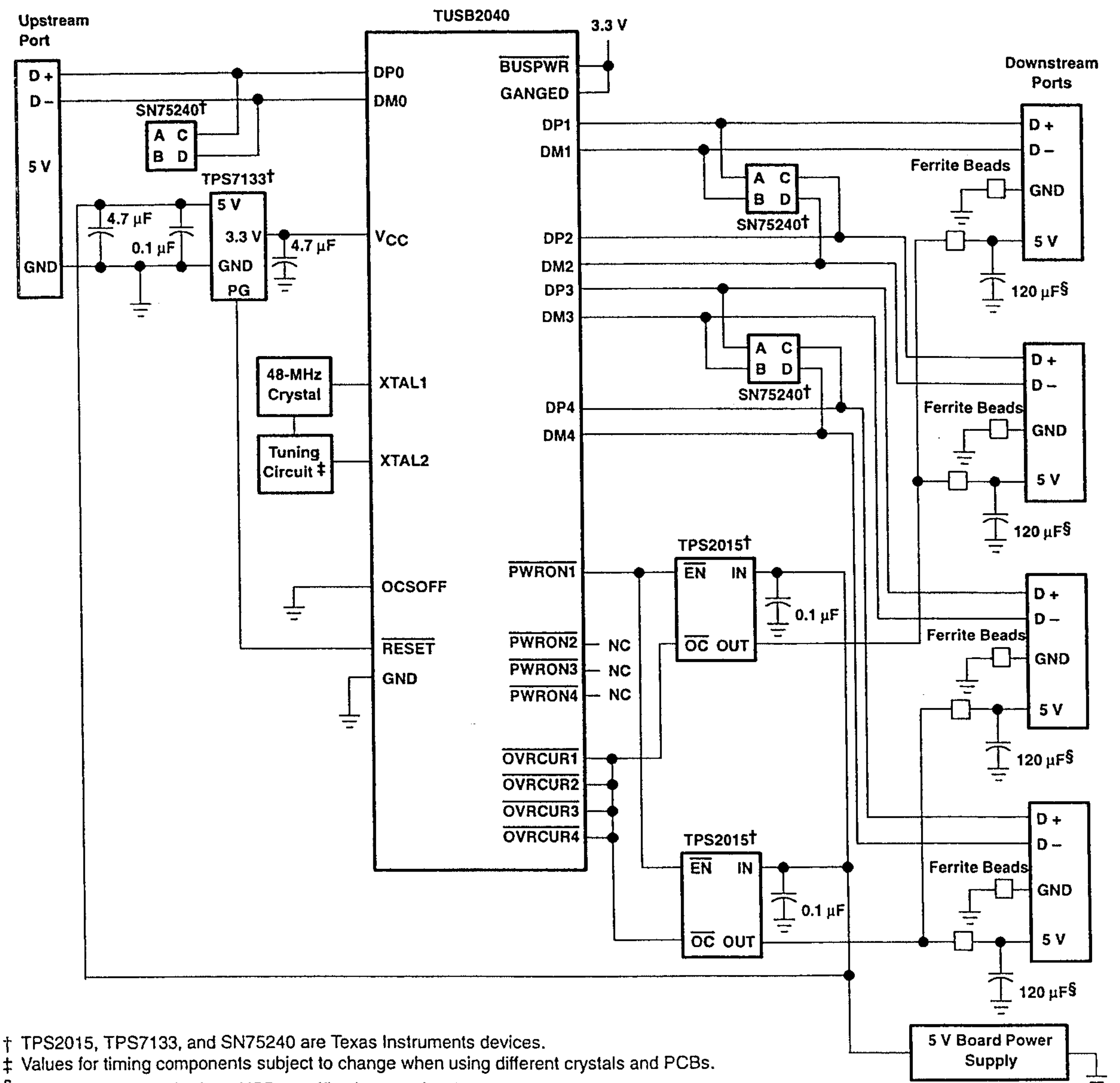
Een Self-Powered TUSB2040 is in staat om 500 mA per downstream poort te leveren. Self-Powered hubs zijn vereist om overstroom-beveiliging te implementeren. Bij de individueel power-management (figuur 9/11.2-8) worden TPS2014's gebruikt voor het schakelen en beveiligen van de voedingen. Hierdoor wordt de betrouwbaarheid van het hub-systeem vergroot. Als de hub een fout op een downstream poort detecteert wordt de voeding alleen van die poort weggenomen, zodat de andere poorten gewoon kunnen blijven functioneren. De datalijnen worden ook hier individueel beveiligd met SN75240's. Bij het opkomen van de voedingsspanning levert de TPS7133 low-dropout spanningsregelaar een Power Good (PG) signaal om de TUSB2040 te resetten.

11.2 Type-beschrijving TUSB-serie



Figuur 9/11.2-6: TUSB2040 Bus-Powered hub met gemeenschappelijk power-management.

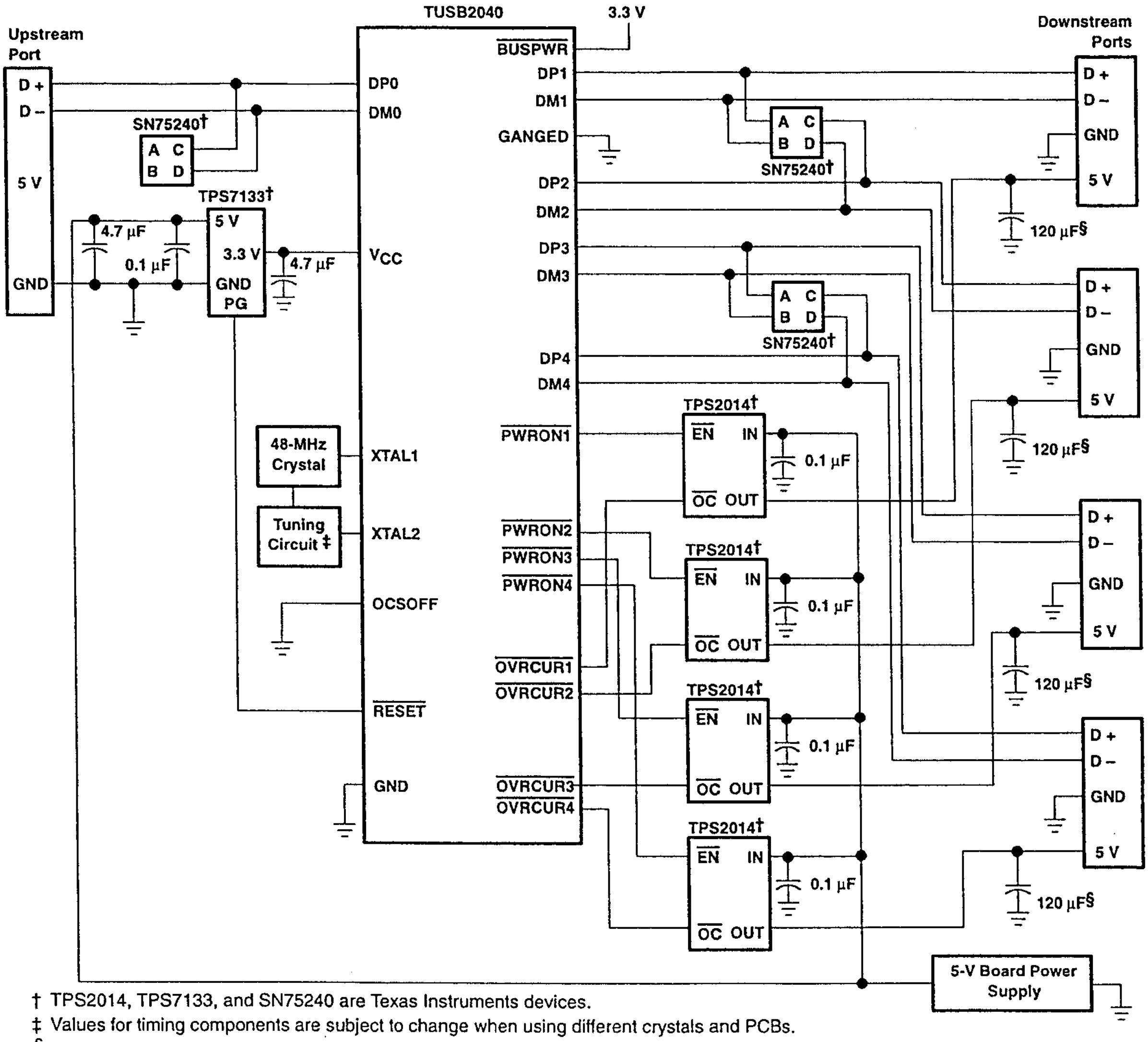
11.2 Type-beschrijving TUSB-serie



† TPS2015, TPS7133, and SN75240 are Texas Instruments devices.
‡ Values for timing components subject to change when using different crystals and PCBs.
§ Minimum value required per USB specification, version 1.0.

Figuur 9/11.2-7: TUSB2040 Self-Powered hub met gemeenschappelijk power-management.

11.2 Type-beschrijving TUSB-serie



† TPS2014, TPS7133, and SN75240 are Texas Instruments devices.
‡ Values for timing components are subject to change when using different crystals and PCBs.
§ Minimum value required per USB specification, version 1.0.

Figuur 9/11.2-8: TUSB2040 Self-Powered hub met individueel power-management.

TUSB2040A

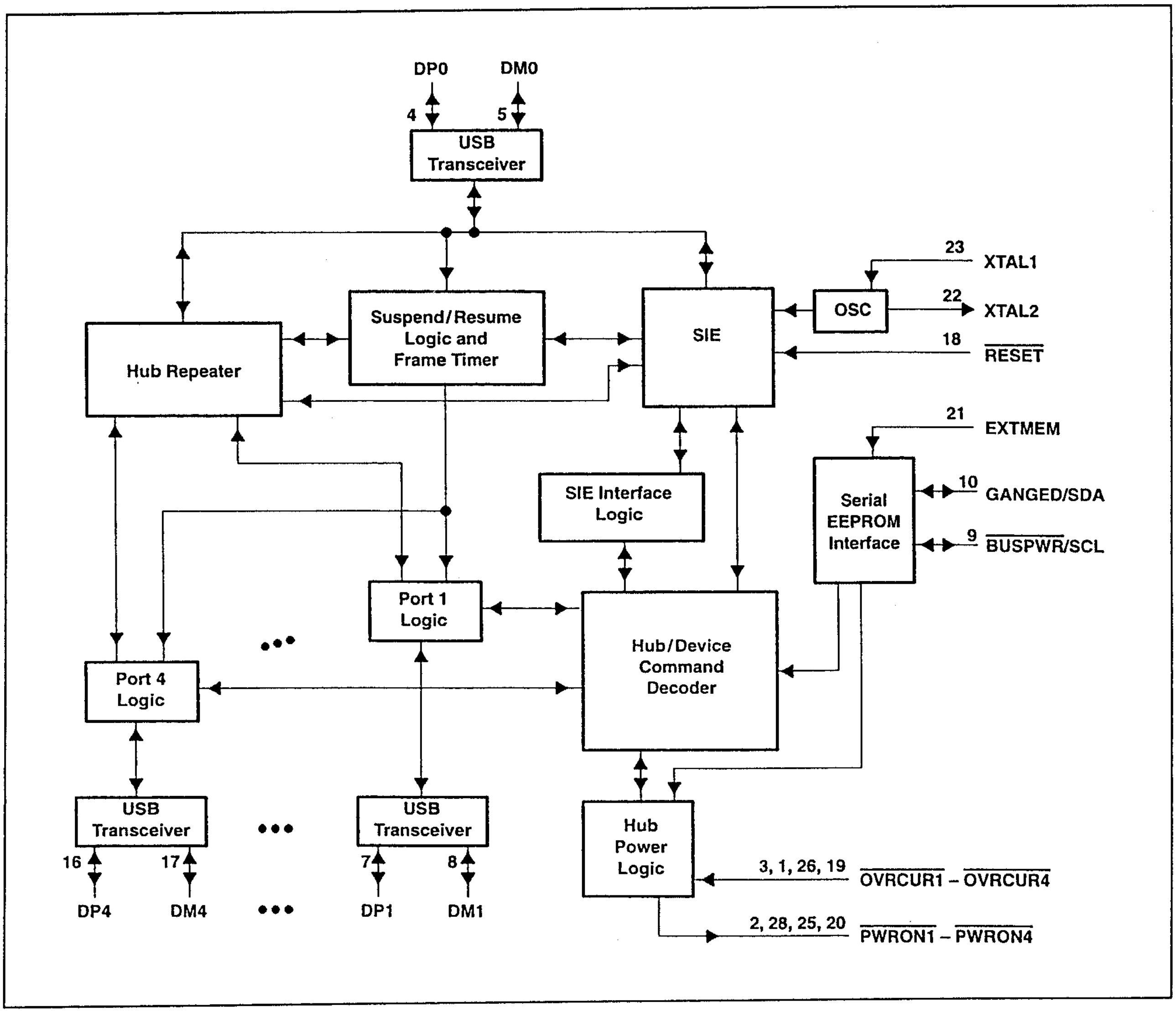
4-poort USB-hub met optionele seriële EEPROM interface

De TUSB2040A is een 3,3 V CMOS hub met vier "downstream" poorten die voldoen aan de USB versie 1.0-specificaties. Met pen 21 (EXTMEM) wordt de EEPROM-interface in- of uitgeschakeld: als EXTMEM = LAAG is, is de TUSB2040A functioneel gelijk aan de TUSB2040, waarbij de product-identificatie (PID) een General Purpose USB Hub aangeeft. Bij deze configuratie hebben de pennen 9 en 10 respectievelijk de ingangsfuncties $\overline{\text{BUSPWR}}$ en GANGED.

Als de fabrikant- (VID) en product-gegevens (PID) gewenst zijn, moet pen 21 HOOG zijn (EXTMEM = "1"), waarbij een 93C46 of equivalente EEPROM op de pennen 9 en 10

11.2 Type-beschrijving TUSB-serie

moet zijn aangesloten. Bij deze configuratie worden de waarden voor BUSPWR en GANGED opgeslagen in de EEPROM en worden de pennen 9 en 10 de EEPROM-interface. De TUSB2040A kan op twee manieren worden gevoed: "bus-powered" en "self-powered". De TUSB2040A kan de voeding van de downstream poorten individueel of gemeenschappelijk (ganged operation) uitschakelen. Hiervoor en voor het detecteren van overstroom-condities zijn externe schakelingen nodig. Uitgangssignalen van de externe vermogens-schakelingen leveren overstroom-informatie aan de OVRCUR-ingangen van de TUSB2040A. Treedt zo'n overstroom-conditie op dan reageren de bijbehorende PWRON-pennen. In de GANGED mode veranderen alle PWRON-signalen tegelijk en kan iedere willekeurige OVRCUR-ingang worden gebruikt. De hub heeft een 48 MHz clock-signaal nodig om data uit de upstream-poort te bemonsteren en een gesynchroniseerd 12 MHz USB clock-signaal te genereren. Hiervoor kan naar keuze een 48 MHz oscillator of een 48 MHz kristal worden toegepast.



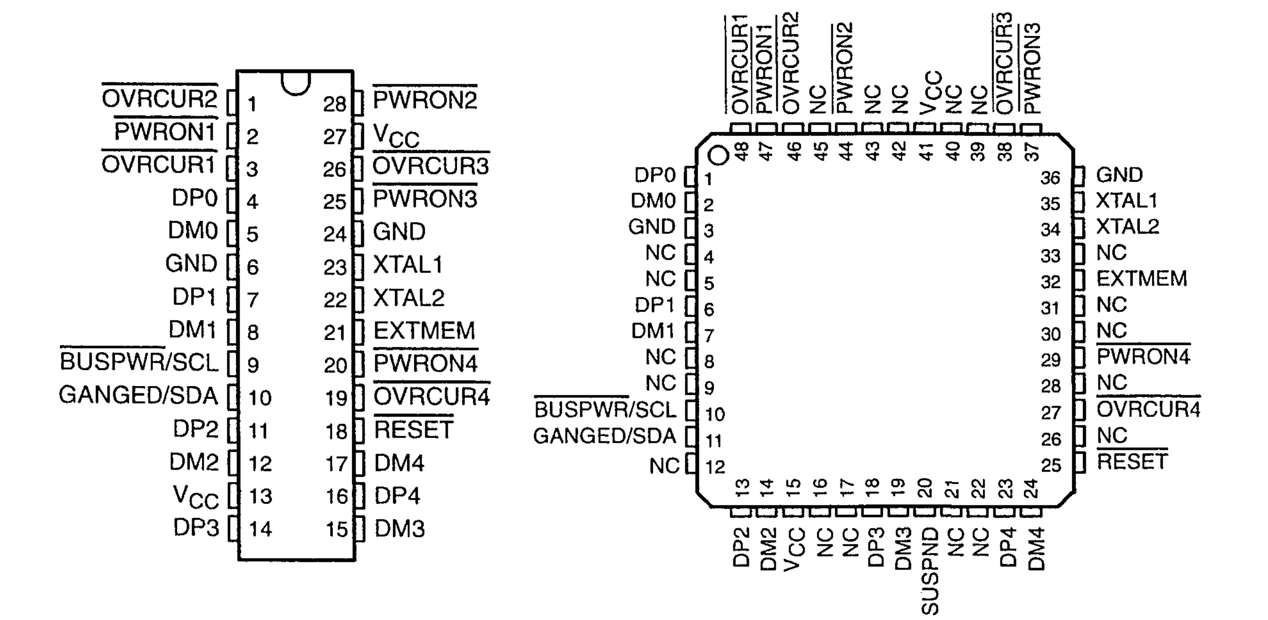
Figuur 9/11.2-9: Functioneel blokschema van de TUSB2040A.

11.2 Type-beschrijving TUSB-serie

Omdat de meeste oscillatoren actieve schakelingen zijn zal de low-power suspend mode van de TUSB2040A niet werken aangezien de oscillator zal doorgaan met het aandrijven van de interne clock. Er kan een oscillator worden gebruikt waarvan het TTL-uitgangssignaal maximaal 3,6 V wordt. De uitgang daarvan wordt met XTAL1 verbonden en XTAL2 blijft open. Als een kristal of een resonator wordt gebruikt dient de XTAL1-pen als ingang en de XTAL2-pen als tegenkoppeling. Omdat het kristal moet resoneren op 48 MHz, zijn schakelingen als in figuur 9/11.2-13 en -14 vereist.
De upstream poort en alle downstream poorten zijn USB-compatibele transceivers. Elke downstream poort ondersteunt zowel full-speed als low-speed aansluitingen, waarbij de slew-rate automatisch wordt ingesteld op de snelheid van de aangesloten schakeling.

Technische gegevens

- Universele Seriële Bus (USB), voldoet aan versie 1.0
- geïntegreerde USB-transceivers
- 4 downstream poorten
- voeding op 2 manieren mogelijk:
  self-powered mode
  bus-powered mode
- aan/uitschakelen van de voeding en overstroom-melding naar keuze per poort of gemeenschappelijk ("ganged")
- Suspend Status-pen voor externe logische power-down
- alle downstream poorten geschikt voor Full-Speed en Low-Speed operaties
- ondersteunt Suspend en Resume operaties
- behuizingen: 28-pens DIP of 48-pens TQFP
- voeding: 3,3 V
- pen-voor-pen compatibel met de TUSB2040 als EXTMEM = LAAG
- ondersteunt programmeerbare fabrikant- en produkt-ID met externe seriële EEPROM
- EEPROM sharing mogelijk door 3-state EEPROM-interface
- fabrikant: Texas Instruments



Figuur 9/11.2-10: Aansluitingen (bovenaanzicht) van de 28-pens DIP (N) en 48-pens TQFP (PT) versie van de TUSB2040A. De pen-nummers hebben betrekking op de Nbehuizing.

11.2 Type-beschrijving TUSB-serie

TERMINAL			I/O	DESCRIPTION
NAME	N	PT		
$\overline{\text{BUSPWR}}$/SCL	9	10	I/O	Power source input/EEPROM serial clock. When EXTMEM is low, $\overline{\text{BUSPWR}}$/SCL is an active low input that indicates whether the ports and the hub derive power from the bus or the local supply. When EXTMEM is high, $\overline{\text{BUSPWR}}$/SCL acts as a tri-state serial clock output to the EEPROM with a 100 µA internal pulldown. This standard TTL input must not change dynamically during operation.
DM0	5	2	I/O	Root port USB differential data minus. DM0 paired with DP0 constitutes the upstream USB port.
DM1 – DM4	8, 12, 15, 17	7, 14, 19, 24	I/O	USB differential data minus. DM1 – DM4 paired with DP1 – DP4 support up to four downstream USB ports.
DP0	4	1	I/O	Root port USB differential data plus. DP0 paired with DM0 constitutes the upstream USB port.
DP1 – DP4	7, 11, 14, 16	6, 13, 18, 23	I/O	USB differential data plus. DP1 – DP4 paired with DM1 – DM4 support up to four downstream USB ports.
GANGED/SDA	10	11	I/O	Power switching and overcurrent detection mode/EEPROM serial data I/O. When EXTMEM is low, GANGED/SDA selects between gang or per port switching for the overcurrent detection of the downstream ports. When EXTMEM is high, GANGED/SDA acts as a tri-state serial data I/O to and from the EEPROM with a 100 µA internal pull-down. This standard TTL input must not change dynamically during operation.
GND	6, 24	3, 36		Ground. GND terminals must be tied to ground for proper operation.
EXTMEM	21	32	I	EEPROM read enable. When EXTMEM is low, it disables the serial EEPROM interface of the device. Pins 9 and 10 are configured as $\overline{\text{BUSPWR}}$ and GANGED, respectively. When EXTMEM is high, it enables the serial EEPROM interface and pins 9 and 10 are configured as SCL and SDA, respectively.
$\overline{\text{OVRCUR1}}$ – $\overline{\text{OVRCUR4}}$	3, 1, 26, 19	48, 46, 38, 27	I	Overcurrent indicators. $\overline{\text{OVRCUR1}}$ – $\overline{\text{OVRCUR4}}$ are active low, standard TTL inputs. One overcurrent indicator is available for each of the four downstream ports. In GANGED mode, one implementation is to tie these inputs together. Alternatively, one $\overline{\text{OVRCUR}}$ input pin may be used with the remaining $\overline{\text{OVRCUR}}$ pins tied to V_{CC}.
$\overline{\text{PWRON1}}$ – $\overline{\text{PWRON4}}$	2, 28, 25, 20	47, 44, 37, 29	O	Power-on/-off control signals. $\overline{\text{PWRON1}}$ – $\overline{\text{PWRON4}}$ are active low, open-drain outputs. One power-on/-off control switch is used for each of the four downstream ports. In GANGED mode, all outputs are switched together.
$\overline{\text{RESET}}$	18	25	I	Reset. $\overline{\text{RESET}}$ is an active low TTL input with hysteresis and must be asserted at power up. When $\overline{\text{RESET}}$ is asserted, it initializes all logic.
SUSPND		20	O	Suspend status. SUSPND is an active high output that is available for external logic power down operations. During the SUSPEND mode, SUSPND is high. SUSPND is low for normal operation.
V_{CC}	13, 27	15, 41		3.3-V supply voltage
XTAL1	23	35	I	Crystal 1. XTAL1 is a 48-MHz crystal input with 50% duty cycle. Operation at 48-MHz is four times the USB full-speed bit rate of 12 Mbps.
XTAL2	22	34	O	Crystal 2. XTAL2 is a 48-MHz crystal output. Operation at 48-MHz is four times the USB full-speed bit rate of 12 Mbps. This terminal is left open when using an oscillator.

Tabel 9/11.2-6: Functies van de aansluitpennen.

Supply voltage range, V_{CC} (see Note 1)	−0.5 V to 3.8 V
Input voltage range, V_I	−0.5 V to V_{CC} + 0.5 V
Output voltage range, V_O	−0.5 V to V_{CC} + 0.5 V
Input clamp current, I_{IK}, ($V_I < 0$ V or $V_I > V_{CC}$)	±20 mA
Output clamp current, I_{OK}, ($V_O < 0$ V or $V_O > V_{CC}$)	±20 mA
Storage temperature range, T_{stg}	−65°C to 150°C

Tabel 9/11.2-7: Maximaal toegelaten waarden van de TUSB2040A.

11.2 Type-beschrijving TUSB-serie

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	3	3.3	3.6	V
Input voltage, TTL/LVCMOS, V_I	0		V_{CC}	V
Output voltage, TTL/LVCMOS, V_O	0		V_{CC}	V
High-level input voltage, signal-ended receiver, $V_{IH(REC)}$	2		V_{CC}	V
Low-level input voltage, signal-ended receiver, $V_{IL(REC)}$			0.8	V
High-level input voltage, TTL/LVCMOS, $V_{IH(TTL)}$	2		V_{CC}	V
Low-level input voltage, TTL/LVCMOS, $V_{IL(TTL)}$			0.8	V
Operating free-air temperature, T_A	0		70	°C
External series, differential driver resistor, $R_{(DRV)}$	22 (−5%)		22 (+5%)	Ω
Operating (dc differential driver) high speed mode, $f_{(OPRH)}$			12	Mb/s
Operating (dc differential driver) low speed mode, $f_{(OPRL)}$			1.5	Mb/s
Common mode, input range, differential receiver, $V_{(ICR)}$	0.8		2.5	V
Input transition times, t_t, TTL/LVCMOS	0		6	ns

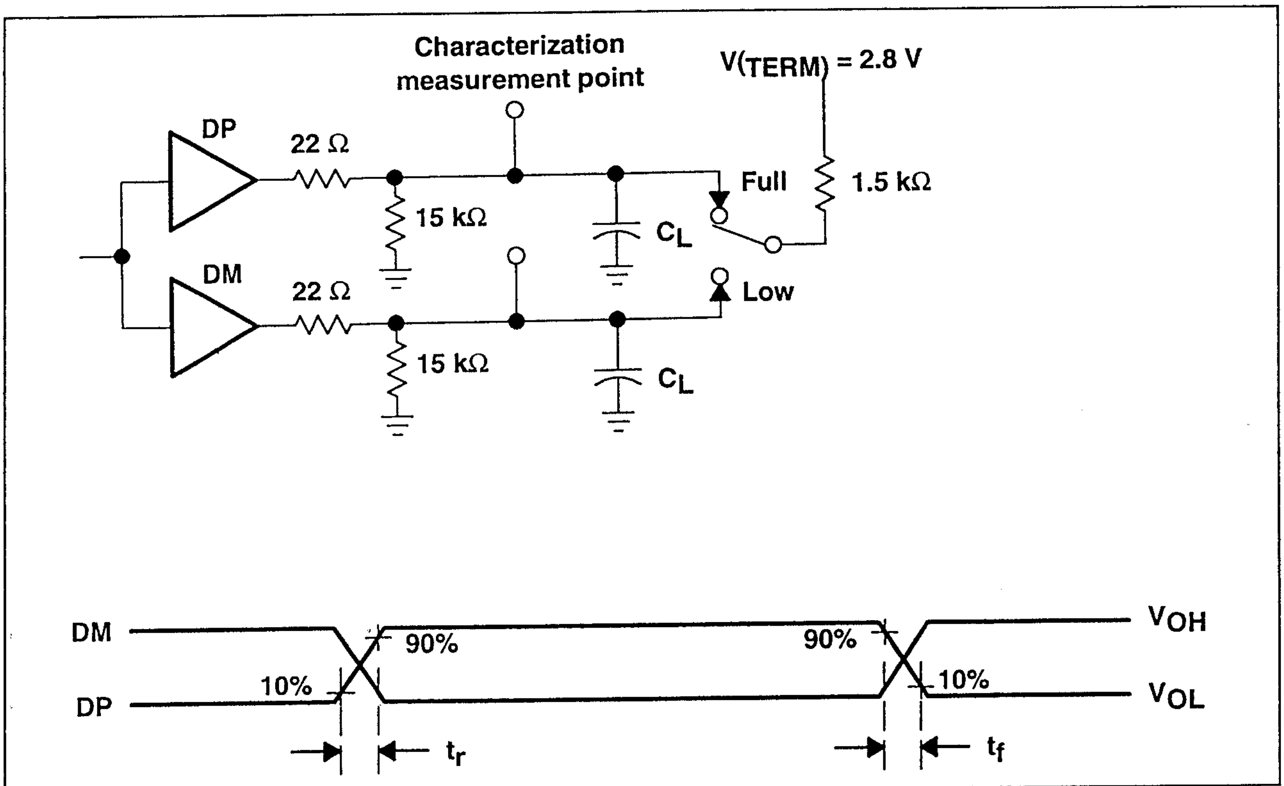
Tabel 9/11.2-8: **Aanbevolen bedrijfscondities van de TUSB2040A.**

PARAMETER			TEST CONDITIONS	MIN	MAX	UNIT
V_{OH}	High-level output voltage	USB data lines	$R_{(DRV)}$ = 15 kΩ, to GND	2.8	3.6	V
			I_{OH} = −12 mA (without $R_{(DRV)}$)	V_{CC} − 0.5		
V_{OL}	Low-level output voltage	TTL/LVCMOS	I_{OL} = 4 mA		0.5	V
		USB data lines	$R_{(DRV)}$ = 1.5 k Ω to 3.6 V		0.3	
			I_{OL} = 12 mA (without $R_{(DRV)}$)		0.5	
V_{IT+}	Positive input threshold voltage	TTL/LVCMOS			2	V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V		1.8	V
V_{IT-}	Negative-input threshold voltage	TTL/LVCMOS		0.8		V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V	1		V
V_{hys}	Input hysteresis† ($V_{T+} - V_{T-}$)	TTL/LVCMOS		0.25	0.7	V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V	300	500	mV
I_{OZ}	High-impedance output current	TTL/LVCMOS	V = V_{CC} or GND‡		±10	µA
		USB data lines	0 V ≤ V_O ≤ V_{CC}		±10	µA
I_{IL}	Low-level input current	TTL/LVCMOS	V_I = GND		−1	µA
I_{IH}	High-level input current	TTL/LVCMOS	V_I = V_{CC}		1	µA
$z_{o(DRV)}$	Driver output impedance	USB data lines	Static V_{OH} or V_{OL}	7.1	19.9	Ω
V_{ID}	Differential input voltage	USB data lines	0.8 V ≤ V_{ICR} ≤ 2.5 V	0.2		V
I_{CC}	Input supply current		Normal operation		100	mA
			Suspend mode		1	µA

† Applies for input buffers with hysteresis
‡ Applies for open drain buffers

Tabel 9/11.2-9: **Elektrische eigenschappen van de TUSB2040A (bij de aanbevolen temperatuur en voedingsspanning).**

11.2 Type-beschrijving TUSB-serie



Figuur 9/11.2-11: Afsluiting van de differentiële driver en hierbij optredende golfvormen.

full speed mode

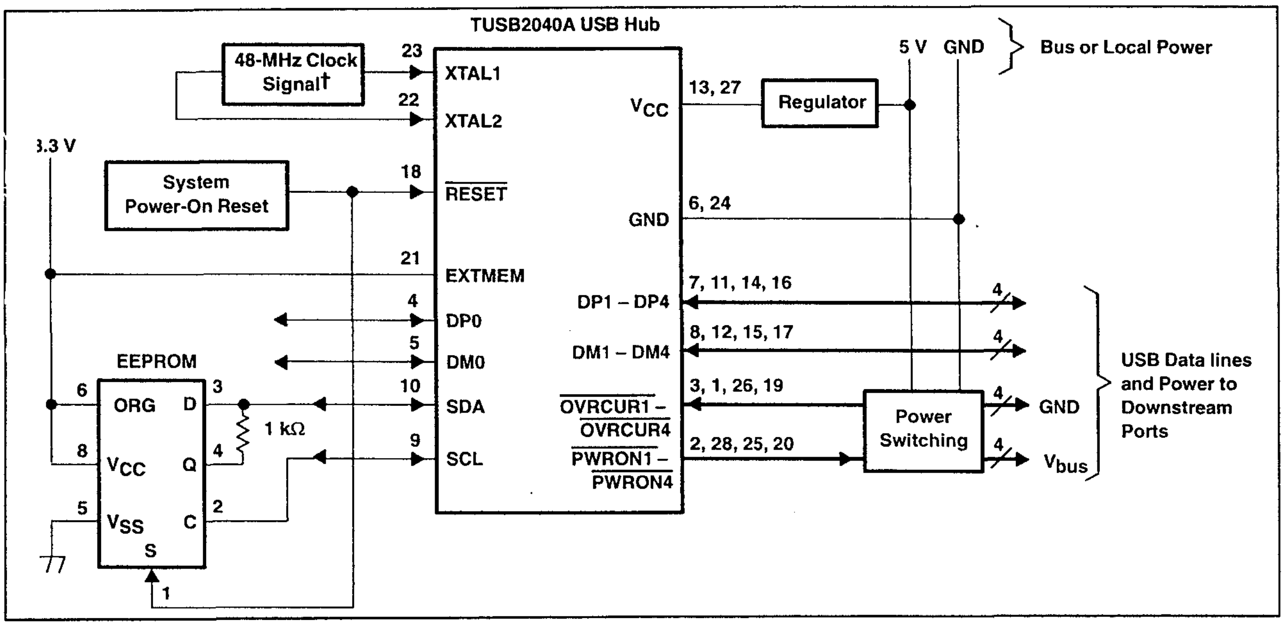
	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
t_r	Transition rise time for DP or DM	See Figure 1 and Figure 2	4	20	ns
t_f	Transition fall time for DP or DM	See Figure 1 and Figure 2	4	20	ns
$t_{(RFM)}$	Rise/fall time matching	(t_r/t_f) x 100	90	110	%
$V_{O(CRS)}$	Signal crossover output voltage		1.3	2.0	V

low speed mode

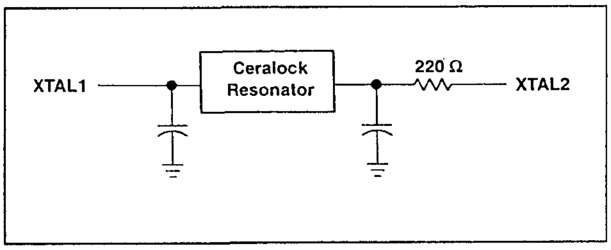
	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
t_r	Transition rise time for DP to DM	C_L = 50 pF to 350 pF, See Figure 1 and Figure 2	75	300	ns
t_f	Transition fall time for DP to DM	C_L = 50 pF to 350 pF, See Figure 1 and Figure 2	75	300	ns
$t_{(RFM)}$	Rise/fall time matching	(t_r/t_f) x 100	80	120	%
$V_{O(CRS)}$	Signal crossover output voltage	C_L = 50 pF to 350 pF	1.3	2.0	V

Tabel 9/11.2-10: Schakeltijden van de differentiële driver in de Full-Speed en de Low-Speed mode (zie ook figuur 9/11.2-11).

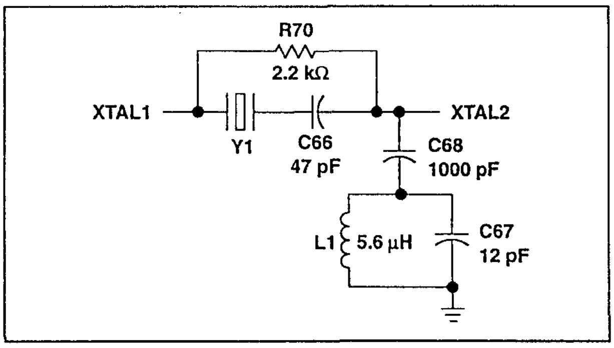
11.2 Type-beschrijving TUSB-serie



Figuur 9/11.2-12: Praktische toepassing van de TUSB2040A USB hub (de pen-nummers hebben betrekking op de DIP-versie). Voor het gemak zijn de optrek-, neertrek- en serie-weerstanden weggelaten.



Figuur 9/11.2-13: Oscillator-schakeling waarbij een resonator is toegepast. Met de 220 Ω weerstand kan precies op 48 MHz worden afgestemd. Deze schakeling werkt ook zonder de condensatoren.



Figuur 9/11.2-14: Oscillator-schakeling met een 48 MHz kristal. XTAL1 = ingang en XTAL2 = tegenkoppeling van het kristal.

Programmeren van de EEPROM

Voor de opslag van de VID (fabrikant-identificatie) en de PID (produkt-ID) kan een 93C46 EEPROM of equivalent worden gebruikt. Als de EEPROM-interface is vrijgegeven (EXTMEM = "1") worden de SCL en SDA intern neergetrokken in de TUSB2040A (100 µA). In de low-power suspend-mode moet de $\overline{\text{BUSPWR}}$/SCL-pen echter extern worden neergetrokken omdat dan de interne pulldowns zijn gesperd.

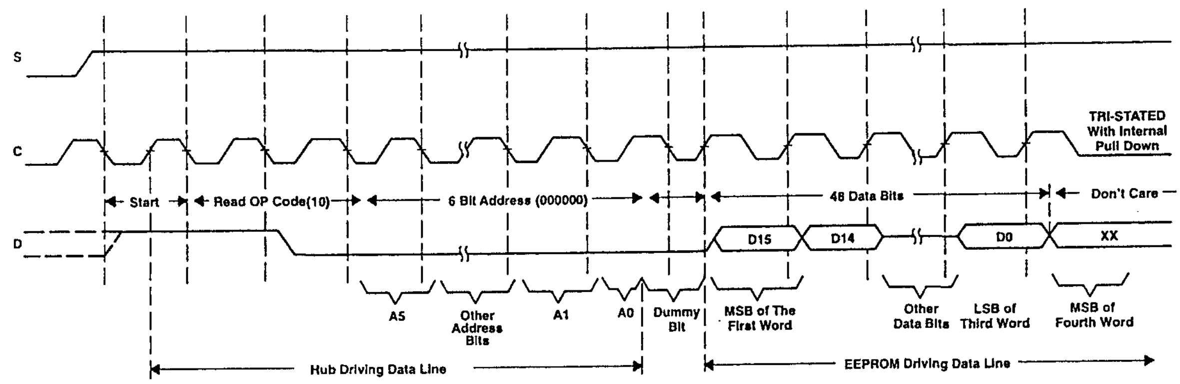
De interne pulldowns zijn ook gesperd als de EEPROM-interface zelf gesperd is (als EXTMEM = "0").

De EEPROM wordt geprogrammeerd met de drie lokaties uit tabel 9/11.2-11. Door pen 6 van de EEPROM HOOG te maken (ORG = "1") wordt de EEPROM georganiseerd in 64 x 16 bit woorden.

11.2 Type-beschrijving TUSB-serie

ADDRESS	D15	D14	D13	D12–D8	D7–D0
00000	0	GANGED	$\overline{\text{BUSPWR}}$	00000	00000000
00001	VID High-byte				VID Low-byte
00010	PID High-byte				PID Low-byte
	XXXXXXXX				

Tabel 9/11.2-11: Memory Map van de eerste 3 plaatsen van de EEPROM.



Figuur 9/11.2-15: Timing van het uitlezen van de EEPROM door de TUSB2040A.

De D en Q signalen van de EEPROM moeten voor de gemeenschappelijke I/O-operaties met een 1 kΩ weerstand aan elkaar worden gelegd, waardoor een ééndraads bus ontstaat. Na de power-on reset van het systeem voert de TUSB2040A een eenmalige leesoperatie op de EEPROM uit als de EXT-MEM-pen HOOG wordt getrokken en de chip-select van de EEPROM met de power-on reset van het systeem is verbonden. De TUSB2040A begint met het aansturen van de SDA-pen om een startbit ("1") te verzenden, gevolgd door de lees-instructie (10) en het beginwoord-adres (0000). Zodra de lees-instructie is ontvangen worden de instructie en het adres door de EEPROM gedecodeerd, die dan de data naar het uitgangs-schuifregister stuurt. Op dit punt stopt de hub met het aansturen van de SDA-pen en begint de EEPROM ermee. Dan worden een dummy-bit ("0") en de eerste drie 16 bit woorden in de EEPROM verstuurd (met het MSB eerst).

De veranderingen van de uitgangsdata worden getriggerd op de stijgende flank van de clock die door de TUSB2040A op de SCL-pen wordt gezet. De 93C46 EEPROM (SGS-Thomson) wordt aanbevolen, omdat deze automatisch naar het volgende adres overgaat. Wanneer een andere EEPROM wordt toegepast, moet deze in elk geval beschikken over de automatische adres-increment

functie. Na het uitlezen van de drie woorden uit de EEPROM zet de TUSB2040A de EEPROM-interface in een hoog-impedante toestand om de EEPROM vrij te geven voor gebruik door andere logica. De timing van de lees-operatie van de EEPROM is te zien in figuur 9/11.2-15.

Toepassingsvoorbeelden
Door de overeenkomst van de TUSB2040A met de TUSB2040 wordt voor toepassingen verwezen naar de hiervoor vermelde notities.
- Bus-Powered hub met gemeenschappelijk poort-power management: zie figuur 9/11.2-6.
- Self-Powered hub met gemeenschappelijk poort-power management: zie figuur 9/11.2-7.
- Self-Powered hub met individueel poort-power management: zie figuur 9/11.2-8.

TUSB2043

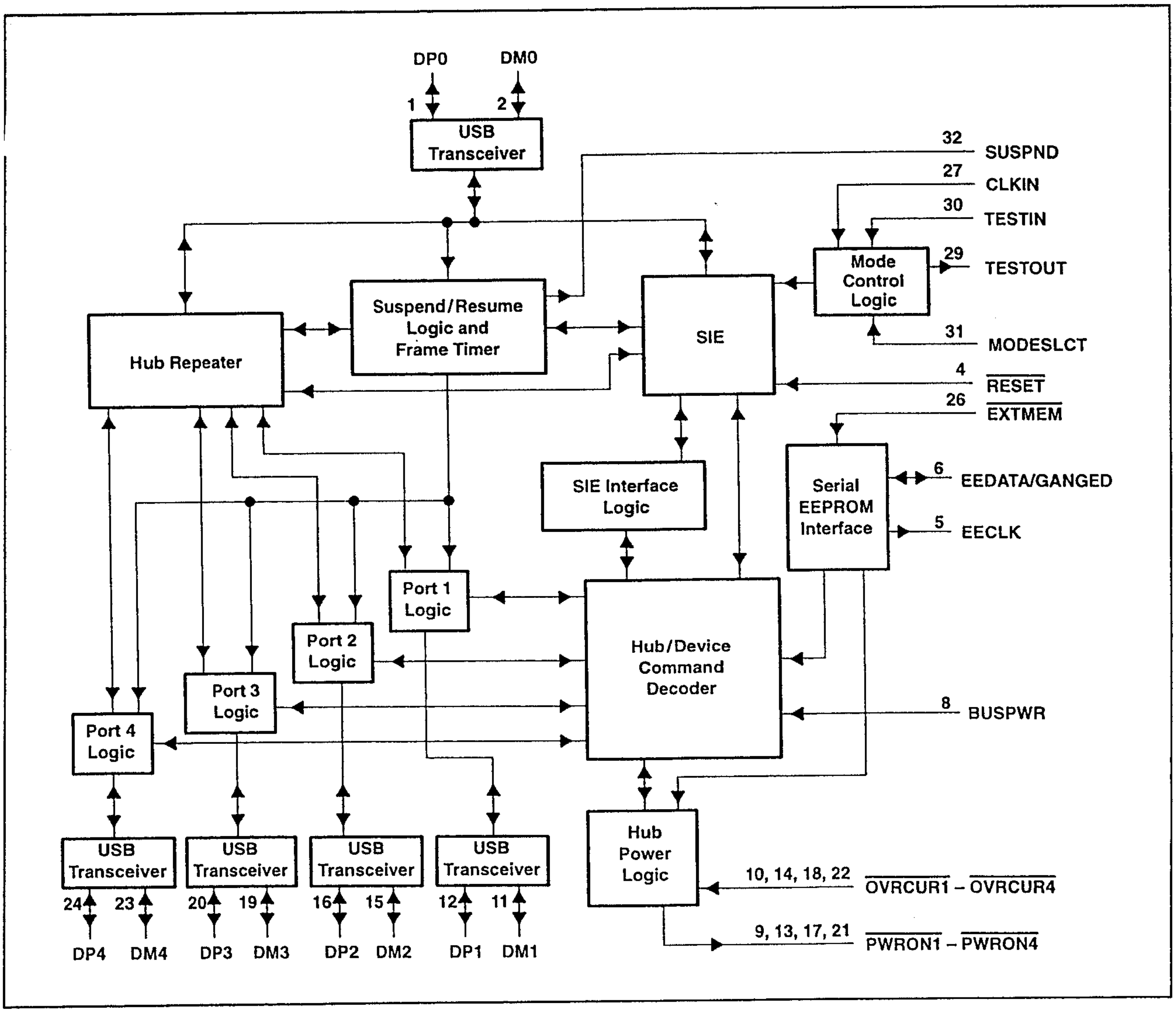
4-poort USB-hub met optionele seriële EEPROM interface

De TUSB2043 is in feite een kleinere en goedkopere versie van de TUSB2040A. Het is een 3,3 V CMOS hub met één upstream poort en vier downstream poorten die voldoen aan de USB versie 1.1-specificatie. Omdat deze schakeling is opgebouwd met een digitale state-machine in plaats van een microcontroller is geen software programmering nodig. In de ASIC zijn volledig USB-compatibele transceivers voor alle upstream- en downstream poorten geïntegreerd. De downstream poorten ondersteunen zowel full-speed als low-speed schakelingen en stellen de slew-rate automatisch in op de snelheid van de aangesloten schakeling. Met de BUSPWR-pen kan de bus-powered of self-powered mode worden ingeschakeld.
Met het GANGED-signaal kunnen de power switching en over-current detectie-modes voor de downstream poorten worden bepaald. Voor het besturen van de 5 V voeding voor de downstream poorten, in overeenstemming met de waarden van de bijbehorende $\overline{\text{PWRON}}$-pen, zijn externe schakelingen zoals de TPS2044 nodig. Bij detectie van een overstroom-conditie maakt de power-management schakeling de overeenkomstige $\overline{\text{OVRCUR}}$-pen van de TUSB2043 logisch LAAG. Als de GANGED-ingang HOOG is schakelen alle $\overline{\text{PWRON}}$-uitgangen tegelijk als één van de $\overline{\text{OVRCUR}}$-pennen wordt geactiveerd, zodat alle poorten in de power-off toestand komen.
Als de GANGED-ingang LAAG is werken de $\overline{\text{PWRON}}$-uitgangen en $\overline{\text{OVRCUR}}$-ingangen op een poort-per-poort basis.
De $\overline{\text{EXTMEM}}$-pen schakelt de EEPROM-interface in of uit. Als de $\overline{\text{EXTMEM}}$-pen HOOG is wordt tijdens het melden de product-identificatie (PID) als “General Purpose USB Hub” aangegeven. Hiertoe moet pen 5 worden gesperd, terwijl pen 6 dan als de GANGED ingangspen werkt. Als speciale PID en fabrikant (VID) gegevens gewenst zijn, moet de $\overline{\text{EXTMEM}}$-pen LAAG zijn. De pennen 5 en 6 functioneren bij deze configuratie als EEPROM-interface (respectievelijk als EECLK en EEDATA). In tabel 9/11.2-17 is een beschrijving van de memory map van de EEPROM (een 93C46 of equivalent type) te zien. De hub werkt op een 48 MHz clocksignaal, waarvoor een 48 MHz oscillator of een 48 MHz kristal kan worden gebruikt (zie de figuren 9/11.2-13 en -14). Andere belangrijke kenmerken van de TUSB2043 zijn de behuizing die een 0,8 mm pitch heeft (om routing en assemblage van de printkaart te vergemakkelijken), push-pull uitgangen voor de $\overline{\text{PWRON}}$-pennen (waardoor geen optrekweerstanden nodig zijn) en gefilterde $\overline{\text{OVRCUR}}$-pennen.

Technische gegevens
- Universele Seriële Bus (USB), voldoet aan versie 1.1
- 32-pens TQFP-behuizing met 0,8mm pen-pitch
- 3,3 V Low Power ASIC logica
- geïntegreerde USB-transceivers

11.2 Type-beschrijving TUSB-serie

- door State-machine implementatie vervalt software programmering
- 1 upstream poort en 4 downstream poorten
- alle downstream poorten geschikt voor Full-Speed en Low-Speed operaties
- voeding: self-powered of bus-powered
- aan/uitschakelen van de voeding en overstroom-melding per poort of gemeenschappelijk ("ganged")
- Suspend Status-pen voor externe logische power-down
- ondersteunt Suspend en Resume operaties
- ondersteunt programmeerbare fabrikant- en produkt-ID met externe seriële EEPROM
- EEPROM sharing mogelijk door 3-state EEPROM-interface
- geen externe optrekweerstanden vereist door push-pull $\overline{PWRON}$-uitgangen
- gefilterde $\overline{OVRCUR}$-uitgangen
- dubbelzijdige print mogelijk door eenvoudige pinout
- fabrikant: Texas Instruments



Figuur 9/11.2-16: Functioneel blokschema van de TUSB2043.

11.2 Type-beschrijving TUSB-serie

TERMINAL NAME	TERMINAL NO.	I/O	DESCRIPTION
BUSPWR	8	I	Power source indicator. BUSPWR is an active high input that indicates whether the downstream ports source their power from the USB cable or a local power supply. For the bus-power mode, this pin should be pulled to 3.3 V, and for the self-powered mode, this pin should be pulled low. This standard TTL input must not change dynamically during operation.
DM0	2	I/O	Root port USB differential data minus. DM0 paired with DP0 constitutes the upstream USB port.
DM1 – DM4	11, 15, 19, 23	I/O	USB differential data minus. DM1 – DM4 paired with DP1 – DP4 support up to four downstream USB ports.
DP0	1	I/O	Root port USB differential data plus. DP0 paired with DM0 constitutes the upstream USB port.
DP1 – DP4	12, 16, 20, 24	I/O	USB differential data plus. DP1 – DP4 paired with DM1 – DM4 support up to four downstream USB ports.
EECLK	5	O	EEPROM serial clock. When $\overline{\text{EXTMEM}}$ is high, the EEPROM interace is disabled. The EECLK pin is disabled and should be left floating (unconnected). When $\overline{\text{EXTMEM}}$ is low, EECLK acts as a 3-state serial clock output to the EEPROM with a 100 µA internal pulldown.
EEDATA/ GANGED	6	I/O	EEPROM serial data/power management mode indicator. When $\overline{\text{EXTMEM}}$ is high, EEDATA/GANGED selects between gang or per port power over-current detection for the downstream ports. When $\overline{\text{EXTMEM}}$ is low, EEDATA/GANGED acts as a serial data I/O for the EEPROM and is internally pulled down with a 100 µA pulldown. This standard TTL input must not change dynamically during operation.
$\overline{\text{EXTMEM}}$	26	I	EEPROM read enable. When $\overline{\text{EXTMEM}}$ is high, the serial EEPROM interface of the device is disabled. When $\overline{\text{EXTMEM}}$ is low, terminals 5 and 6 are configured as the clock and data pins of the serial EEPROM interface, respectively.
GND	7, 28		Ground. GND terminals must be tied to ground for proper operation.
$\overline{\text{OVRCUR1}}$ – $\overline{\text{OVRCUR4}}$	10, 14, 18, 22	I	Over-current inputs. $\overline{\text{OVRCUR1}}$ – $\overline{\text{OVRCUR4}}$ are active low, standard TTL inputs. For per-port over current detection, one over-current input is available for each of the four downstream ports. In the ganged mode, any $\overline{\text{OVRCUR}}$ input may be used and all $\overline{\text{OVRCUR}}$ pins should be tied together. $\overline{\text{OVRCUR}}$ pins are active low inputs with noise filtering logic.
$\overline{\text{PWRON1}}$ – $\overline{\text{PWRON4}}$	9, 13, 17, 21	O	Power-on/-off control signals. $\overline{\text{PWRON1}}$ – $\overline{\text{PWRON4}}$ are active low, push-pull outputs. Push-pull outputs eliminate the pullup resistors which open-drain outputs require. However, the external power switches that connect to these pins must be able to operate with 3.3 V inputs because these outputs cannot drive 5 V signals.
$\overline{\text{RESET}}$	4	I	Reset. $\overline{\text{RESET}}$ is an active low TTL input with hysteresis and must be asserted at power up. When $\overline{\text{RESET}}$ is asserted, all logic is initialized.
SUSPND	32	O	Suspend status. SUSPND is an active high output available for external logic power down operations. During the SUSPEND mode, SUSPND is high. SUSPND is low for normal operation.
MODESLCT	31	I	Mode select pin. With a simple RC circuit, this pin ensures the normal operation mode is selected. Refer to application information section for detailed information.
CLKIN	27	I	48 MHz clock input. Tie this pin to the output of the oscillator.
V_{CC}	3, 25		3.3-V supply voltage
TESTIN	30	I	Test input pin. This pin is used as a test input pin during production test. TESTIN must be tied to VCC (3.3 V) for normal operation.
TESTOUT	29	O	Test output pin. This pin is used as a test output pin during production test. TESTOUT must be left open during normal operation..

Tabel 9/11.2-12: Functies van de aansluitpennen.

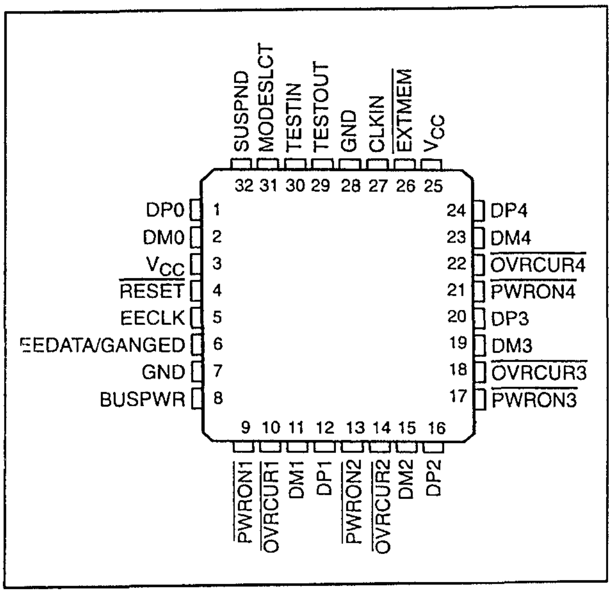
11.2 Type-beschrijving TUSB-serie

Supply voltage range, V_{CC} (see Note 1) .... −0.5 V to 3.6 V
Input voltage range, V_I .... −0.5 V to V_{CC} + 0.5 V
Output voltage range, V_O .... −0.5 V to V_{CC} + 0.5 V
Input clamp current, I_{IK}, (V_I < 0 V or V_I > V_{CC}) .... ±20 mA
Output clamp current, I_{OK}, (V_O < 0 V or V_O > V_{CC}) .... ±20 mA
Storage temperature range, T_{stg} .... −65°C to 150°C
Operating free-air temperature range, T_A .... 0°C to 70°C

Tabel 9/11.2-13: Maximaal toegelaten waarden van de TUSB2043.

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	3	3.3	3.6	V
Input voltage, TTL/LVCMOS, V_I	0		V_{CC}	V
Output voltage, TTL/LVCMOS, V_O	0		V_{CC}	V
High-level input voltage, signal-ended receiver, $V_{IH(REC)}$	2		V_{CC}	V
Low-level input voltage, signal-ended receiver, $V_{IL(REC)}$			0.8	V
High-level input voltage, TTL/LVCMOS, $V_{IH(TTL)}$	2		V_{CC}	V
Low-level input voltage, TTL/LVCMOS, $V_{IL(TTL)}$	0		0.8	V
Operating free-air temperature, T_A	0		70	°C
External series, differential driver resistor, $R_{(DRV)}$	22 (−5%)		22 (+5%)	Ω
Operating (dc differential driver) high speed mode, $f_{(OPRH)}$			12	Mb/s
Operating (dc differential driver) low speed mode, $f_{(OPRL)}$			1.5	Mb/s
Common mode, input range, differential receiver, $V_{(ICR)}$	0.8		2.5	V
Input transition times, t_t, TTL/LVCMOS	0		25	ns
Junction temperature range, T_J	0		115	°C

Tabel 9/11.2-14: Aanbevolen bedrijfscondities van de TUSB2043.



Figuur 9/11.2-17: Aansluitingen (bovenaanzicht) van de 32-pens TQFP (VF) behuizing.

11.2 Type-beschrijving TUSB-serie

PARAMETER			TEST CONDITIONS	MIN	MAX	UNIT
V_{OH}	High-level output voltage	TTL/LVCMOS	I_{OH} = –4 mA	V_{CC} – 0.5		V
		USB data lines	$R_{(DRV)}$ = 15 kΩ, to GND	2.8		
			I_{OH} = –12 mA (without $R_{(DRV)}$)	V_{CC} – 0.5		
V_{OL}	Low-level output voltage	TTL/LVCMOS	I_{OL} = 4 mA		0.5	V
		USB data lines	$R_{(DRV)}$ = 1.5 k Ω to 3.6 V		0.3	
			I_{OL} = 12 mA (without $R_{(DRV)}$)		0.5	
V_{IT+}	Positive input threshold voltage	TTL/LVCMOS			1.8	V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V		1.8	
V_{IT-}	Negative-input threshold voltage	TTL/LVCMOS		0.8		V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V	1		
V_{hys}	Input hysteresis† (V_{T+} – V_{T-})	TTL/LVCMOS		0.3	0.7	V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V	300	500	mV
I_{OZ}	High-impedance output current	TTL/LVCMOS	V = V_{CC} or GND‡		±10	µA
		USB data lines	0 V ≤ V_O ≤ V_{CC}		±10	
I_{IL}	Low-level input current	TTL/LVCMOS	V_I = GND		–1	µA
I_{IH}	High-level input current	TTL/LVCMOS	V_I = V_{CC}		1	µA
$z_{o(DRV)}$	Driver output impedance	USB data lines	Static V_{OH} or V_{OL}	7.1	19.9	Ω
V_{ID}	Differential input voltage	USB data lines	0.8 V ≤ V_{ICR} ≤ 2.5 V	0.2		V
I_{CC}	Input supply current		Normal operation		100	mA
			Suspend mode		1	µA

† Applies for input buffers with hysteresis
‡ Applies for open drain buffers

Tabel 9/11.2-15: Elektrische eigenschappen van de TUSB2043 (bij de aanbevolen temperatuur en voedingsspanning).

full speed mode

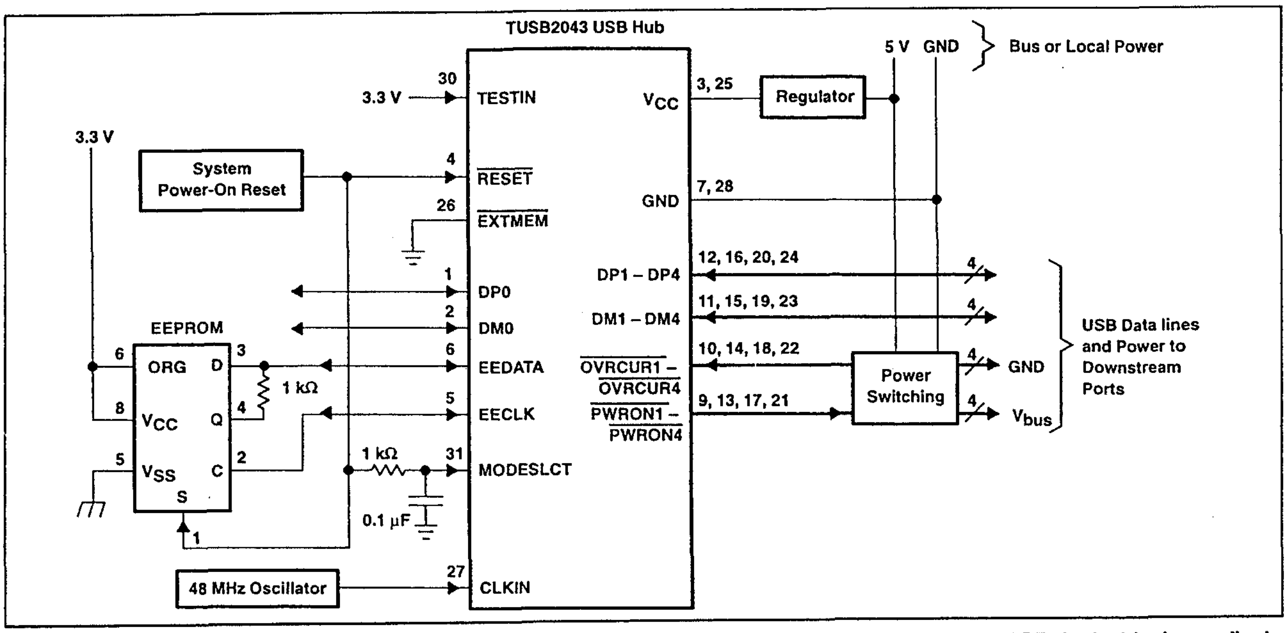
PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_r	Transition rise time for DP or DM	See Figure 1 and Figure 2	4	20	ns
t_f	Transition fall time for DP or DM	See Figure 1 and Figure 2	4	20	ns
$t_{(RFM)}$	Rise/fall time matching	(t_r/t_f) x 100	90%	110%	
$V_{O(CRS)}$	Signal crossover output voltage		1.3	2.0	V

low speed mode

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_r	Transition rise time for DP or DM	C_L = 200 pF to 600 pF, See Figure 1 and Figure 2	75	300	ns
t_f	Transition fall time for DP or DM	C_L = 200 pF to 600 pF, See Figure 1 and Figure 2	75	300	ns
$t_{(RFM)}$	Rise/fall time matching	(t_r/t_f) x 100	80%	120%	
$V_{O(CRS)}$	Signal crossover output voltage	C_L = 200 pF to 600 pF	1.3	2.0	V

Tabel 9/11.2-16: Schakeltijden van de differentiële driver in de Full-Speed en de Low-Speed mode (zie ook figuur 9/11.2-11).

11.2 Type-beschrijving TUSB-serie



Figuur 9/11.2-18: Vereenvoudigd schema van een toepassing van de TUSB2043 USB hub (de benodigde optrek-, neertrek- en serie-weerstanden zijn hier weggelaten).

ADDRESS	D15	D14	D13	D12–D8	D7–D0
00000	0	GANGED	00000	00000	00000000
00001	VID High-byte				VID Low-byte
00010	PID High-byte				PID Low-byte
	XXXXXXXX				

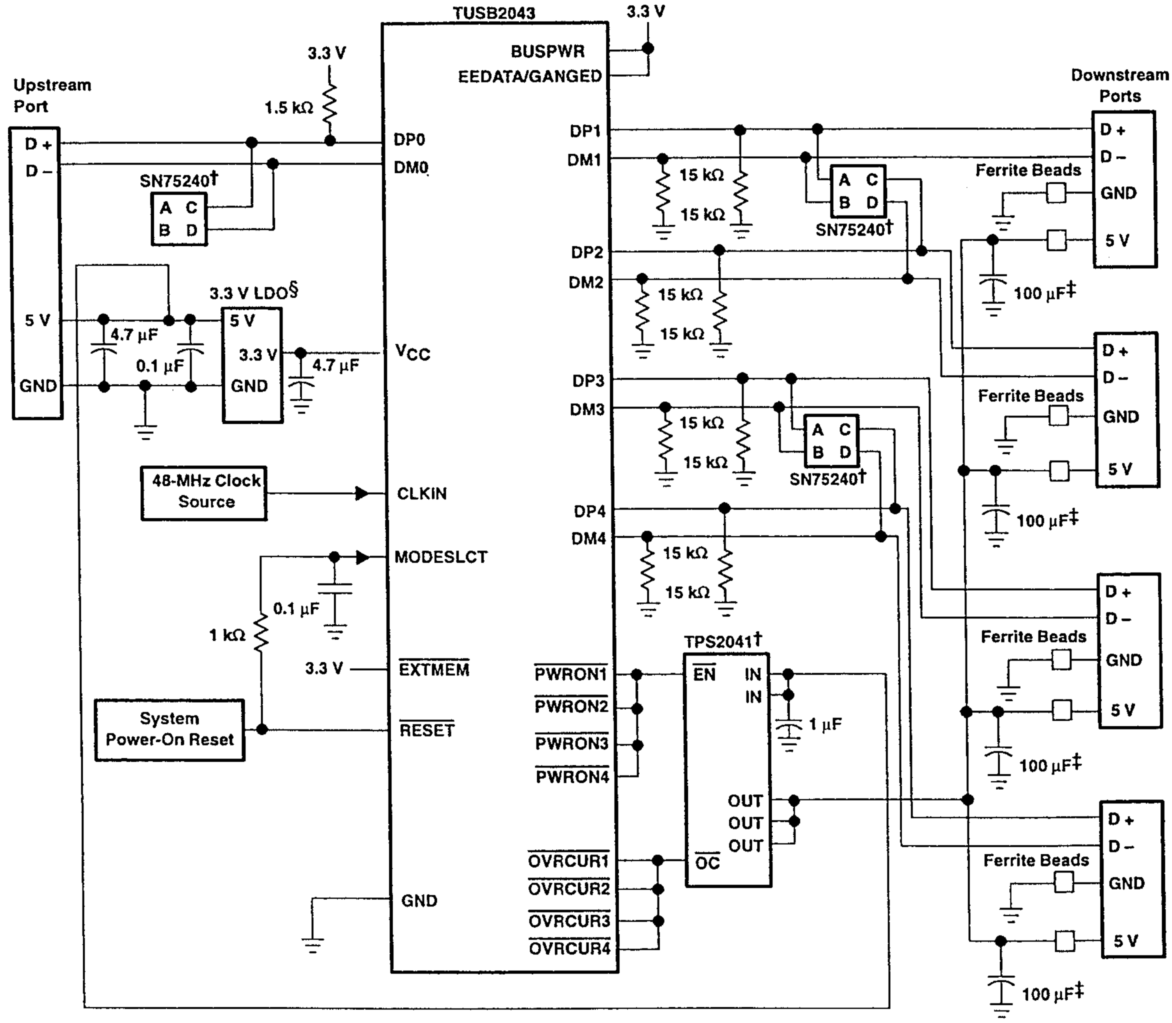
Tabel 9/11.2-17: Memory Map van de eerste 3 plaatsen van de EEPROM.

Programmeren van de EEPROM

Voor de opslag van de VID (fabrikantidentificatie) en de PID (produkt-ID) kan een 93C46 EEPROM of equivalent type worden gebruikt. Als (door $\overline{\text{EXTMEM}}$ = "0" te maken) de EEPROM-interface is vrijgegeven, worden de EECLK en EEDATA in de TUSB2043 intern neergetrokken (100 µA). De interne pulldowns worden gesperd als de EEPROM-interface gesperd is (dan is $\overline{\text{EXTMEM}}$ = "1"). De EEPROM wordt geprogrammeerd met de drie 16 bit locaties uit tabel 9/11.2-17. Door pen 6 van de EEPROM HOOG te maken (ORG = "1") wordt de EEPROM georganiseerd in 64 x 16 bit woorden.

Om gemeenschappelijke I/O-operaties mogelijk te maken moeten de D- en Q-signalen van de EEPROM met een 1 kΩ weerstand aan elkaar worden gelegd. Hierdoor ontstaat dan een ééndraads bus. Na de power-on reset van het systeem voert de TUSB2043 een eenmalige lees-operatie uit op de EEPROM. De $\overline{\text{EXTMEM}}$-pen moet dan LAAG worden getrokken, terwijl de chip-select van de EEPROM met de power-on reset van het systeem is verbonden.

11.2 Type-beschrijving TUSB-serie



† TPS2041 and SN75240 are Texas Instruments devices.
‡ 120 µF per hub is the minimum required per the USB specification, version 1.1. However, TI recommends a 100 µF low ESR tantulum capacitor per port for immunity to voltage droop.
§ LDO is a 5 V to 3.3 V voltage regulator

Figuur 9/11.2-19: TUSB2043 Bus-Powered hub met gemeenschappelijk power-management.

Als eerste handeling drijft de TUSB2043 de EEDATA-pen aan om een startbit ("1") te verzenden, gevolgd door de lees-instructie (10) en het beginwoord-adres (0000). Zodra de lees-instructie is ontvangen worden de instructie en het adres door de EEPROM gedecodeerd, die op zijn beurt de data naar het uitgangs-schuifregister stuurt. Op dit punt verwisselen de hub en de EEPROM de aansturing van de EEDATA-pen. Na een dummy-bit ("0") worden de eerste drie 16 bit woorden in de EEPROM verstuurd (met het MSB voorop). De veranderingen van de uitgangsdata worden getriggerd op de stijgende flank van de clock die door de TUSB2043 op de EECLK-pen wordt gezet. Een 93C46 EEPROM (SGS-Thomson) wordt aanbevolen, omdat deze automatisch naar het vol-

gende adres overgaat. Wordt een andere EEPROM toegepast, dan moet die in elk geval de automatische adres-increment functie hebben. Na het uitlezen van de drie woorden uit de EEPROM zet de TUSB2043 de EEPROM-interface in een hoog-impedante toestand (intern neergetrokken) zodat de EEPROM wordt vrijgegeven voor gebruik door andere logica.
De timing van de lees-operatie van de EE-PROM is te zien in figuur 9/11.2-15 (bij de TUSB2040A).

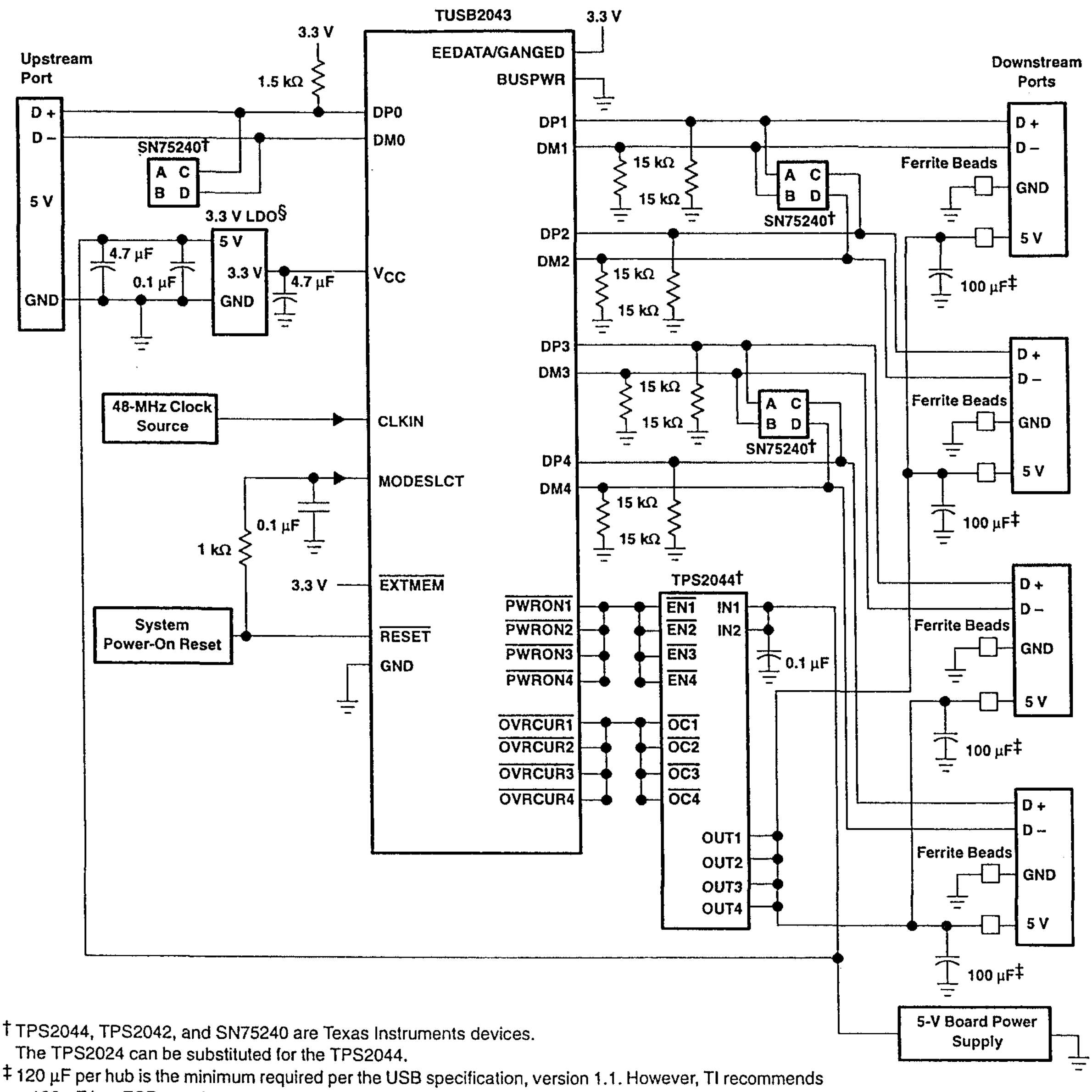
Toepassingsvoorbeelden

Bus-Powered hub met gemeenschappelijk (ganged) poort-power management
Wanneer hij in de Bus-Powered mode wordt gebruikt ondersteunt de TUSB2043 maximaal vier downstream poorten door een TPS2041 aan te sturen die 100 mA aan elke downstream poort kan leveren. Bus-Powered hubs moeten zijn uitgerust met een schakelsysteem voor de voeding om er zeker van te zijn dat niet meer dan 100 mA wordt afgenomen als de hub "hot" in het systeem wordt geplugd.
In het voorbeeld van figuur 9/11.2-19 wordt voor de gemeenschappelijke voeding een TPS2014 powerswitch gebruikt om de downstream poorten te beveiligen. Aanloopstromen en spanningspieken op de datalijnen worden beperkt door individuele transiënt-onderdrukkers van het SN75240-type. Alle $\overline{\text{OVERCUR}}$-ingangen moeten bij de ganged mode aan elkaar worden gelegd.

Self-Powered hub met gemeenschappelijk (ganged) poort-power management
De TUSB2043 kan ook worden gebruikt voor gemeenschappelijk power-management in een Self-Powered configuratie (zie figuur 9/11.2-20). Deze implementatie lijkt veel op het voorbeeld met bus-powered management, maar nu kan de self-powered poort 500 mA aan elke downstream poort leveren. De overstroom-beveiliging kan worden geregeld door een viervoudige TPS2044 of een enkelvoudige TPS2024 power switch.

Self-Powered hub met individueel poort-power management
In een Self-Powered configuratie kan de TUSB2043 worden geïmplementeerd voor individueel poort-power management met behulp van een TPS2044, omdat die in staat is om 500 mA per downstream poort te leveren. Ook kan de TPS2044 de stroombegrenzing op een per-poort basis voor zijn rekening nemen (zie figuur 9/11.2-21). Als de hub een fout op een downstream poort detecteert wordt de voeding alleen van die poort weggenomen, zodat de andere poorten gewoon kunnen blijven functioneren. Self-Powered hubs zijn vereist om overstroom-beveiliging te implementeren. Om de aanloopstromen en spanningspieken op de datalijnen te beperken worden SN75240 transiënt-suppressors toegepast.

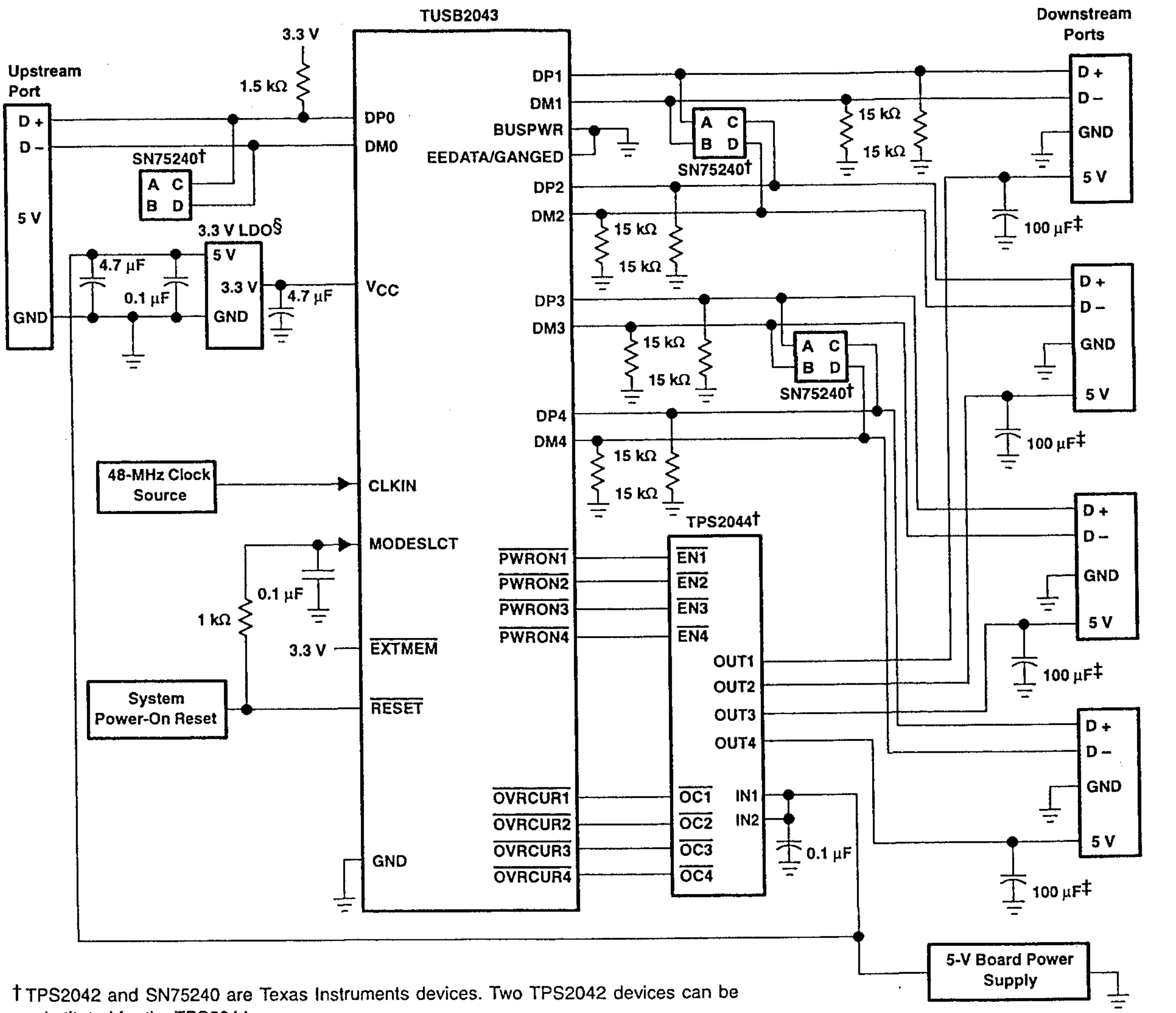
11.2 Type-beschrijving TUSB-serie



† TPS2044, TPS2042, and SN75240 are Texas Instruments devices.
The TPS2024 can be substituted for the TPS2044.
‡ 120 µF per hub is the minimum required per the USB specification, version 1.1. However, TI recommends a 100 µF low ESR tantulum capacitor per port for immunity to voltage droop.
§ LDO is a 5 V to 3.3 V voltage regulator

Figuur 9/11.2-20: TUSB2043 Self-Powered hub met gemeenschappelijk power-management.

11.2 Type-beschrijving TUSB-serie



† TPS2042 and SN75240 are Texas Instruments devices. Two TPS2042 devices can be substituted for the TPS2044.

‡ 120 μF per hub is the minimum required per the USB specification, version 1.1. However, TI recommends a 100 μF low ESR tantulum capacitor per port for immunity to voltage droop.

§ LDO is a 5 V to 3.3 V voltage regulator

Figuur 9/11.2-21: TUSB2043 Self-Powered hub met individueel power-management.

TUSB2046

4-poort USB-hub met optionele seriële EEPROM interface

De TUSB2046 is ook een kleinere en goedkopere versie van de TUSB2040A. Het is een 3,3 V CMOS hub met één upstream poort en vier downstream poorten die voldoen aan de USB versie 1.1-specificatie. Software programmering kan achterwege blijven omdat deze schakeling is opgebouwd met een digitale state-machine in plaats van een microcontroller. In de ASIC zijn volledig USB-compatibele transceivers voor alle upstream- en downstream poorten geïnte-

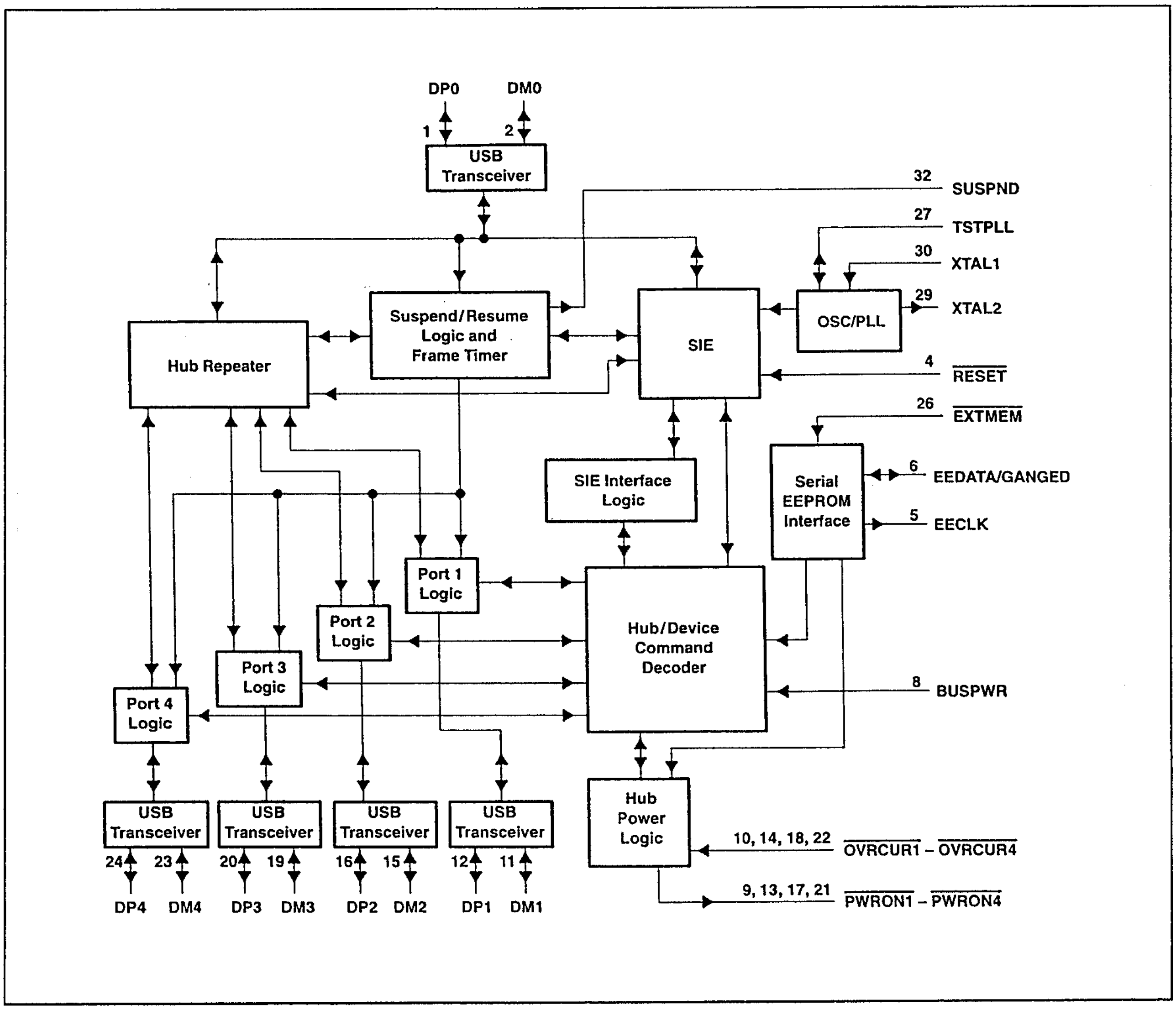
11.2 Type-beschrijving TUSB-serie

greerd. De downstream poorten ondersteunen full-speed en low-speed schakelingen, waarbij de slew-rate automatisch in op de snelheid van de aangesloten schakeling wordt ingesteld. Met de BUSPWR-pen kan de bus-powered of self-powered mode worden ingeschakeld.
Het GANGED-signaal dient voor de bepaling van power switching en over-current detectie-modes voor de downstream poorten. Om de 5 V voeding voor de downstream poorten, overeenkomend met de waarde van de bijbehorende $\overline{\text{PWRON}}$-pen, te besturen is een externe schakeling zoals de TPS2044 nodig.
Als een overstroom-conditie wordt gedetecteerd, maakt de power-management schakeling de overeenkomstige $\overline{\text{OVRCUR}}$-pen van de TUSB2046 logisch LAAG. Bij een HOGE GANGED-ingang schakelen alle $\overline{\text{PWRON}}$-uitgangen tegelijk om als één van de $\overline{\text{OVRCUR}}$-pennen wordt geactiveerd Alle poorten komen dan in de power-off toestand. Als de GANGED-ingang LAAG is werken de $\overline{\text{PWRON}}$-uitgangen en $\overline{\text{OVRCUR}}$-ingangen individueel op een poort-per-poort basis.
Er wordt een lage EMI-emissie bereikt doordat de TUSB2046 een 6 MHz kristal-signaal kan gebruiken. Als het kristal als in figuur 9/11.2-26 wordt aangesloten, genereert een interne PLL de 48 MHz clock die wordt gebruikt voor de bemonstering van de upstream poort en synchronisatie van de 12 MHz die dient voor het USB clock-signaal. Als low-power suspend en resume gewenst zijn moet een passief kristal of resonator worden gebruikt. Er kan echter ook een 6 MHz oscillator worden gebruikt door de uitgang hiervan op de XTAL1-pen aan te sluiten en de XTAL2-pen open te laten. Het TTL uitgangssignaal mag niet groter worden dan 3,6 V.
De $\overline{\text{EXTMEM}}$-pen schakelt de EEPROM-interface in of uit. Bij een HOGE $\overline{\text{EXTMEM}}$-pen wordt tijdens het melden de product-identificatie (PID) als "General Purpose USB Hub" aangegeven. Pen 5 is dan gesperd, terwijl pen 6 als de GANGED ingangspen werkt. Als speciale PID en fabrikant (VID) gegevens gewenst zijn, moet de $\overline{\text{EXTMEM}}$-pen LAAG zijn. De pennen 5 en 6 werken bij deze configuratie als EEPROM-interface (respectievelijk als EECLK en EEDATA). In tabel 9/11.2-23 is de memory map van de EEPROM te zien. Andere belangrijke kenmerken van de TUSB2046 zijn de behuizing die een pen-pitch van 0,8 mm heeft (om routing en assemblage van de printkaart te vergemakkelijken), push-pull uitgangen voor de $\overline{\text{PWRON}}$-pennen (waardoor geen optrekweer-standen nodig zijn) en gefilterde $\overline{\text{OVRCUR}}$-pennen.

Technische gegevens

- Universele Seriële Bus (USB), voldoet aan versie 1.1
- 32-pens TQFP-behuizing met 0,8mm pen-pitch
- 3,3 V Low Power ASIC logica
- geïntegreerde USB-transceivers
- State-machine implementatie: geen software programmering
- 1 upstream poort en 4 downstream poorten
- alle downstream poorten geschikt voor Full-Speed en Low-Speed operaties
- voeding: self-powered of bus-powered
- aan/uitschakelen van de voeding en overstroom-melding per poort of gemeenschappelijk ("ganged")
- Suspend Status-pen voor externe logische power-down
- ondersteunt Suspend en Resume operaties
- ondersteunt programmeerbare fabrikant- en produkt-ID met externe seriële EEPROM
- EEPROM sharing mogelijk door 3-state EEPROM-interface
- push-pull $\overline{\text{PWRON}}$-uitgangen: geen externe optrekweerstanden
- gefilterde $\overline{\text{OVRCUR}}$-uitgangen
- lage EMI-emissie door 6 MHz kristal-ingang
- dubbelzijdige print mogelijk door eenvoudige pinout
- fabrikant: Texas Instruments

11.2 Type-beschrijving TUSB-serie



Figuur 9/11.2-22: Functioneel blokschema van de TUSB2046.

11.2 Type-beschrijving TUSB-serie

TERMINAL NAME	TERMINAL VF	I/O	DESCRIPTION
BUSPWR	8	I	Power source indicator. BUSPWR is an active high input that indicates whether the downstream ports source their power from the USB cable or a local power supply. For the bus-power mode, this pin should be pulled to 3.3 V, and for the self-powered mode, this pin should be pulled low. Input must not change dynamically during operation.
DM0	2	I/O	Root port USB differential data minus. DM0 paired with DP0 constitutes the upstream USB port.
DM1 – DM4	11, 15, 19, 23	I/O	USB differential data minus. DM1 – DM4 paired with DP1 – DP4 support up to four downstream USB ports.
DP0	1	I/O	Root port USB differential data plus. DP0 paired with DM0 constitutes the upstream USB port.
DP1 – DP4	12, 16, 20, 24	I/O	USB differential data plus. DP1 – DP4 paired with DM1 – DM4 support up to four downstream USB ports.
EECLK	5	O	EEPROM serial clock. When EXTMEM is high, the EEPROM interace is disabled. The EECLK pin is disabled and should be left floating (unconnected). When EXTMEM is low, EECLK acts as a 3-state serial clock output to the EEPROM with a 100 μA internal pulldown.
EEDATA/ GANGED	6	I/O	EEPROM serial data/power management mode indicator. When EXTMEM is high, EEDATA/GANGED selects between gang or per port power over-current detection for the downstream ports. When EXTMEM is low, EEDATA/GANGED acts as a serial data I/O for the EEPROM and is internally pulled down with a 100 μA pulldown. This standard TTL input must not change dynamically during operation.
EXTMEM	26	I	EEPROM read enable. When EXTMEM is high, the serial EEPROM interface of the device is disabled. When EXTMEM is low, terminals 5 and 6 are configured as the clock and data pins of the serial EEPROM interface, respectively.
GND	7, 28		Ground. GND terminals must be tied to ground for proper operation.
OVRCUR1 – OVRCUR4	10, 14, 18, 22	I	Over-current input. OVRCUR1 – OVRCUR4 are active low. For per-port over current detection, one over-current input is available for each of the four downstream ports. In the ganged mode, any OVRCUR input may be used and all OVRCUR pins should be tied together. OVRCUR pins are active low inputs with noise filtering logic.
PWRON1 – PWRON4	9, 13, 17, 21	O	Power-on/-off control signals. PWRON1 – PWRON4 are active low, push-pull outputs. Push-pull outputs eliminate the pullup resistors which open-drain outputs require. However, the external power switches that connect to these pins must be able to operate with 3.3-V inputs because these outputs cannot drive 5-V signals.
RESET	4	I	Reset. RESET is an active low TTL input with hysteresis and must be asserted at power up. When RESET is asserted, all logic is initialized.
SUSPND	32	O	Suspend status. SUSPND is an active high output available for external logic power down operations. During the SUSPEND mode, SUSPND is high. SUSPND is low for normal operation.
TSTMODE	31	I	Test pin. TSTMODE is used as a test pin during production testing. This pin must be tied to ground for normal operation.
TSTPLL	27	I/O	Test pin. TSTPLL is used as a test pin during production testing. This pin must be tied to ground for normal operation
VCC	3, 25		3.3-V supply voltage
XTAL1	30	I	Crystal 1. XTAL1 is a 6-MHz crystal input with 50% duty cycle. An internal PLL generates the 48-MHz and 12-MHz clocks used internally by the ASIC logic.
XTAL2	29	O	Crystal 2. XTAL2 is a 6-MHz crystal output. This terminal should be left open when using an oscillator.

Tabel 9/11.2-18: Functies van de aansluitpennen.

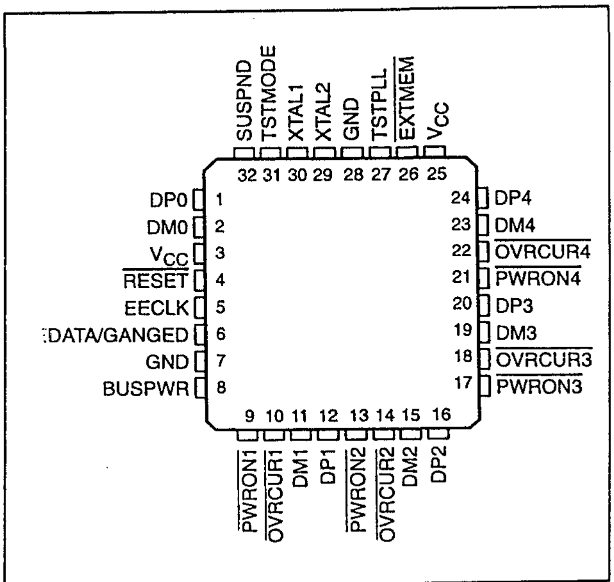
11.2 Type-beschrijving TUSB-serie

Supply voltage range, V_{CC} (see Note 1) .... −0.5 V to 3.6 V
Input voltage range, V_I .... −0.5 V to V_{CC} + 0.5 V
Output voltage range, V_O .... −0.5 V to V_{CC} + 0.5 V
Input clamp current, I_{IK}, (V_I < 0 V or V_I > V_{CC}) .... ±20 mA
Output clamp current, I_{OK}, (V_O < 0 V or V_O > V_{CC}) .... ±20 mA
Storage temperature range, T_{stg} .... −65°C to 150°C
Operating free-air temperature range, T_A .... 0°C to 70°C

Tabel 9/11.2-19: Maximaal toegelaten waarden van de TUSB2046.

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	3	3.3	3.6	V
Input voltage, TTL/LVCMOS, V_I	0		V_{CC}	V
Output voltage, TTL/LVCMOS, V_O	0		V_{CC}	V
High-level input voltage, signal-ended receiver, $V_{IH(REC)}$	2		V_{CC}	V
Low-level input voltage, signal-ended receiver, $V_{IL(REC)}$			0.8	V
High-level input voltage, TTL/LVCMOS, $V_{IH(TTL)}$	2		V_{CC}	V
Low-level input voltage, TTL/LVCMOS, $V_{IL(TTL)}$	0		0.8	V
Operating free-air temperature, T_A	0		70	°C
External series, differential driver resistor, $R_{(DRV)}$	22 (−5%)		22 (+5%)	Ω
Operating (dc differential driver) high speed mode, $f_{(OPRH)}$			12	Mb/s
Operating (dc differential driver) low speed mode, $f_{(OPRL)}$			1.5	Mb/s
Common mode, input range, differential receiver, $V_{(ICR)}$	0.8		2.5	V
Input transition times, t_t, TTL/LVCMOS	0		25	ns
Junction temperature range, T_J	0		115	°C

Tabel 9/11.2-20: Aanbevolen bedrijfscondities van de TUSB2046.



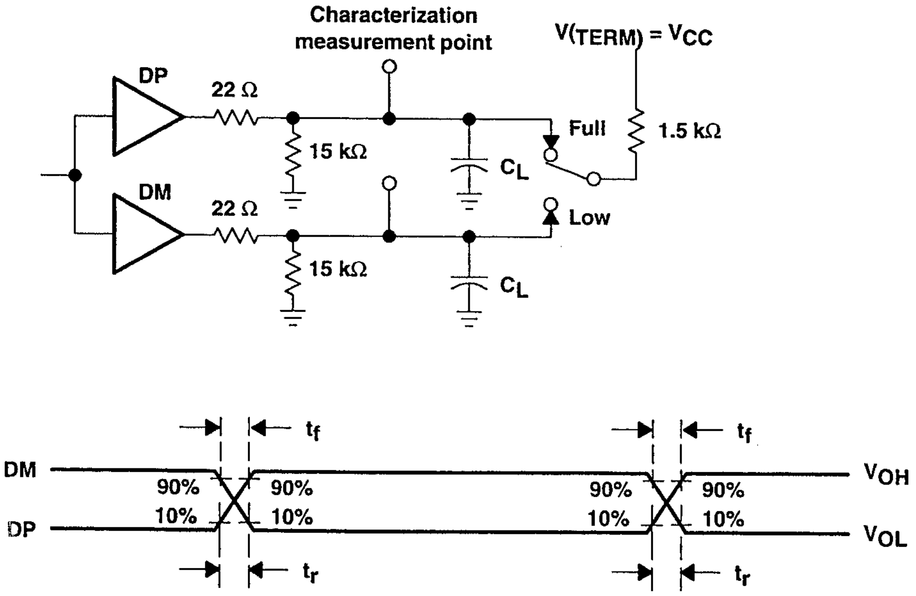
Figuur 9/11.2-23: Aansluitingen (bovenaanzicht) van de 32-pens TQFP (VF) behuizing van de TUSB2046.

11.2 Type-beschrijving TUSB-serie

PARAMETER			TEST CONDITIONS	MIN	MAX	UNIT
V_{OH}	High-level output voltage	TTL/LVCMOS	I_{OH} = –4 mA	V_{CC} – 0.5		V
		USB data lines	$R_{(DRV)}$ = 15 kΩ, to GND	2.8		
			I_{OH} = – 12 mA (without $R_{(DRV)}$)	V_{CC} – 0.5		
V_{OL}	Low-level output voltage	TTL/LVCMOS	I_{OL} = 4 mA		0.5	V
		USB data lines	$R_{(DRV)}$ = 1.5 kΩ to 3.6 V		0.3	
			I_{OL} = 12 mA (without $R_{(DRV)}$)		0.5	
V_{IT+}	Positive input threshold voltage	TTL/LVCMOS			1.8	V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V		1.8	V
V_{IT-}	Negative-input threshold voltage	TTL/LVCMOS		0.8		V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V	1		V
V_{hys}	Input hysteresis† (V_{T+} – V_{T-})	TTL/LVCMOS		0.3	0.7	V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V	300	500	mV
I_{OZ}	High-impedance output current	TTL/LVCMOS	V = V_{CC} or GND‡		±10	µA
		USB data lines	0 V ≤ V_O ≤ V_{CC}		±10	µA
I_{IL}	Low-level input current	TTL/LVCMOS	V_I = GND		–1	µA
I_{IH}	High-level input current	TTL/LVCMOS	V_I = V_{CC}		1	µA
$z_{o(DRV)}$	Driver output impedance	USB data lines	Static V_{OH} or V_{OL}	7.1	19.9	Ω
V_{ID}	Differential input voltage	USB data lines	0.8 V ≤ V_{ICR} ≤ 2.5 V	0.2		V
I_{CC}	Input supply current		Normal operation		100	mA
			Suspend mode		1	µA

† Applies for input buffers with hysteresis
‡ Applies for open drain buffers

Tabel 9/11.2-21: Elektrische eigenschappen van de TUSB2046 (bij de aanbevolen temperatuur en voedingsspanning).



Figuur 9/11.2-24: Voorgeschreven afsluiting van de differentiële driver en de hierbij optredende golfvormen.

11.2 Type-beschrijving TUSB-serie

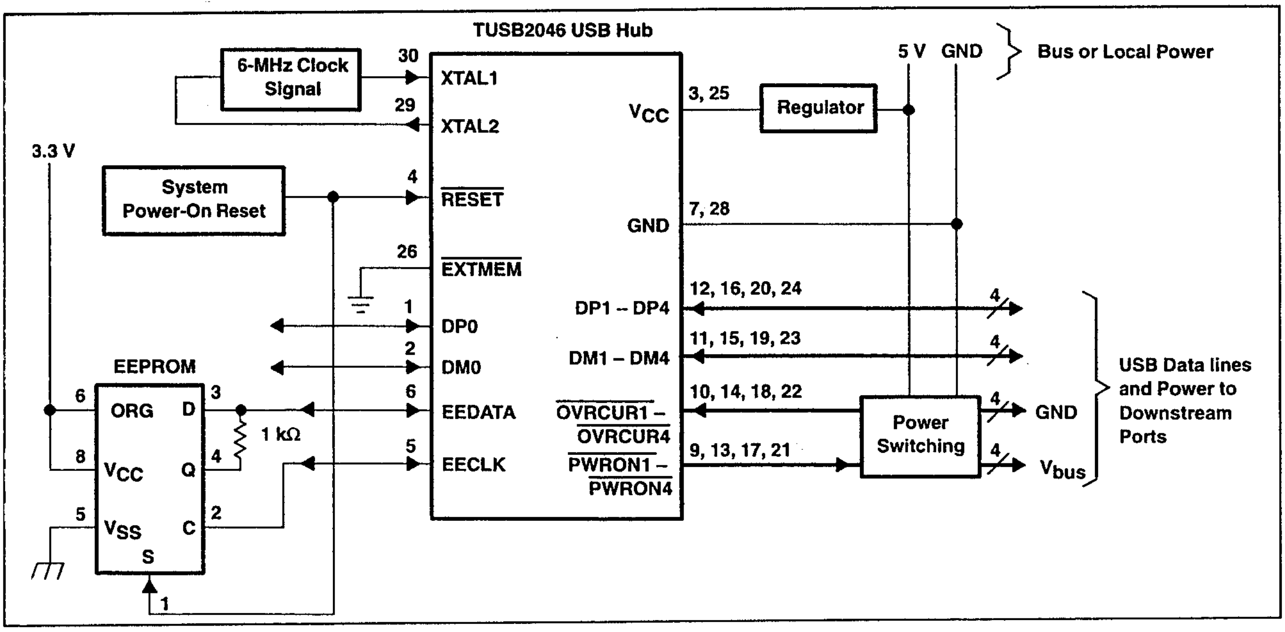
full speed mode

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_r	Transition rise time for DP or DM	See Figure 1 and Figure 2	4	20	ns
t_f	Transition fall time for DP or DM	See Figure 1 and Figure 2	4	20	ns
$t_{(RFM)}$	Rise/fall time matching	$(t_r/t_f) \times 100$	90%	110%	
$V_{O(CRS)}$	Signal crossover output voltage		1.3	2.0	V

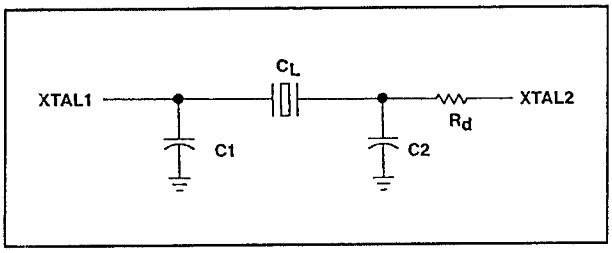
low speed mode

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_r	Transition rise time for DP or DM	C_L = 200 pF to 600 pF, See Figure 1 and Figure 2	75	300	ns
t_f	Transition fall time for DP or DM	C_L = 200 pF to 600 pF, See Figure 1 and Figure 2	75	300	ns
$t_{(RFM)}$	Rise/fall time matching	$(t_r/t_f) \times 100$	80%	120%	
$V_{O(CRS)}$	Signal crossover output voltage	C_L = 200 pF to 600 pF	1.3	2.0	V

Tabel 9/11.2-22: Schakeltijden van de differentiële driver in de Full-Speed en de Low-Speed mode (zie ook figuur 9/11.2-24).



Figuur 9/11.2-25: Praktische toepassing van de TUSB2046 USB hub (de optrek-, neertrek- en serie-weerstanden zijn weggelaten).



Figuur 9/11.2-26: Oscillator-schakeling met een 6 MHz kristal. C1 = C2 = 27 pF, Rd = 1,5 kΩ.

Programmeren van de EEPROM

De VID (fabrikant-identificatie) en de PID (produkt-ID) kan in een 93C46 EEPROM of equivalent worden opgeslagen. Bij vrijgegeven EEPROM-interface ($\overline{\text{EXTMEM}}$ = "0") worden EECLK en EEDATA intern in de TUSB2046 neergetrokken (100 µA). De interne pulldowns worden gesperd als de EEPROM-interface gesperd is ($\overline{\text{EXTMEM}}$ = "1"). De EEPROM wordt geprogrammeerd met

de drie 16 bit woorden uit tabel 9/11.2-23. De EEPROM krijgt een 64 x 16 bit woorden organisatie als pen 6 HOOG is.
Om gemeenschappelijke I/O-operaties mogelijk te maken moeten de D- en Q-signalen van de EEPROM met een 1 kΩ weerstand aan elkaar worden gelegd (figuur 9/11.2-25). Hierdoor ontstaat dan een ééndraads bus. Na de power-on reset van het systeem voert de TUSB2046 een eenmalige lees-operatie uit op de EEPROM als de $\overline{\text{EXTMEM}}$-pen LAAG wordt getrokken en de chip-select van de EEPROM met de power-on reset van het systeem is verbonden. Als eerste drijft de TUSB2046 de EEDATA-pen aan om een startbit ("1") te verzenden, gevolgd door de lees-instructie (10) en het beginwoord-adres (0000). Zodra de lees-instructie is ontvangen worden de instructie en het adres door de EEPROM gedecodeerd, die op zijn beurt de data naar het uitgangs-schuifregister stuurt. Op dit punt neemt de EEPROM de aansturing van de EEDATA-pen van de hub over. Na een dummy-bit ("0") worden de eerste drie 16 bit woorden in de EEPROM verstuurd (met het MSB voorop). De veranderingen van de uitgangsdata worden getriggerd op de stijgende flank van de clock die door de TUSB2046 op de EECLK-pen wordt gezet. Een 93C46 EEPROM (SGS-Thomson) wordt aanbevolen, omdat deze automatisch naar het volgende adres gaat.
Wordt een andere EEPROM toegepast, dan moet die in elk geval de automatische adres-increment functie hebben. Na het uitlezen van de drie woorden uit de EEPROM zet de TUSB2046 de EEPROM-interface in een hoog-impedante toestand (intern neergetrokken) om de EEPROM vrij te geven voor gebruik door andere logica. De timing van de lees-operatie van de EEPROM is te zien in figuur 9/11.2-15 (bij de TUSB2040A).

Toepassingsvoorbeelden

Door de overeenkomst van de TUSB2046 met de TUSB2043 wordt voor de toepassingen verwezen naar de hiervoor vermelde notities.

- Bus-Powered hub met gemeenschappelijk poort-power management:
  zie figuur 9/11.2-19 (6 MHz clock bij de TUSB2046).
- Self-Powered hub met gemeenschappelijk poort-power management:
  zie figuur 9/11.2-20 (maar dan met 6 MHz clock).
- Self-Powered hub met individueel poort-power management:
  identiek aan figuur 9/11.2-21 (echter met 6 MHz clock in plaats van 48 MHz).

TUSB2070

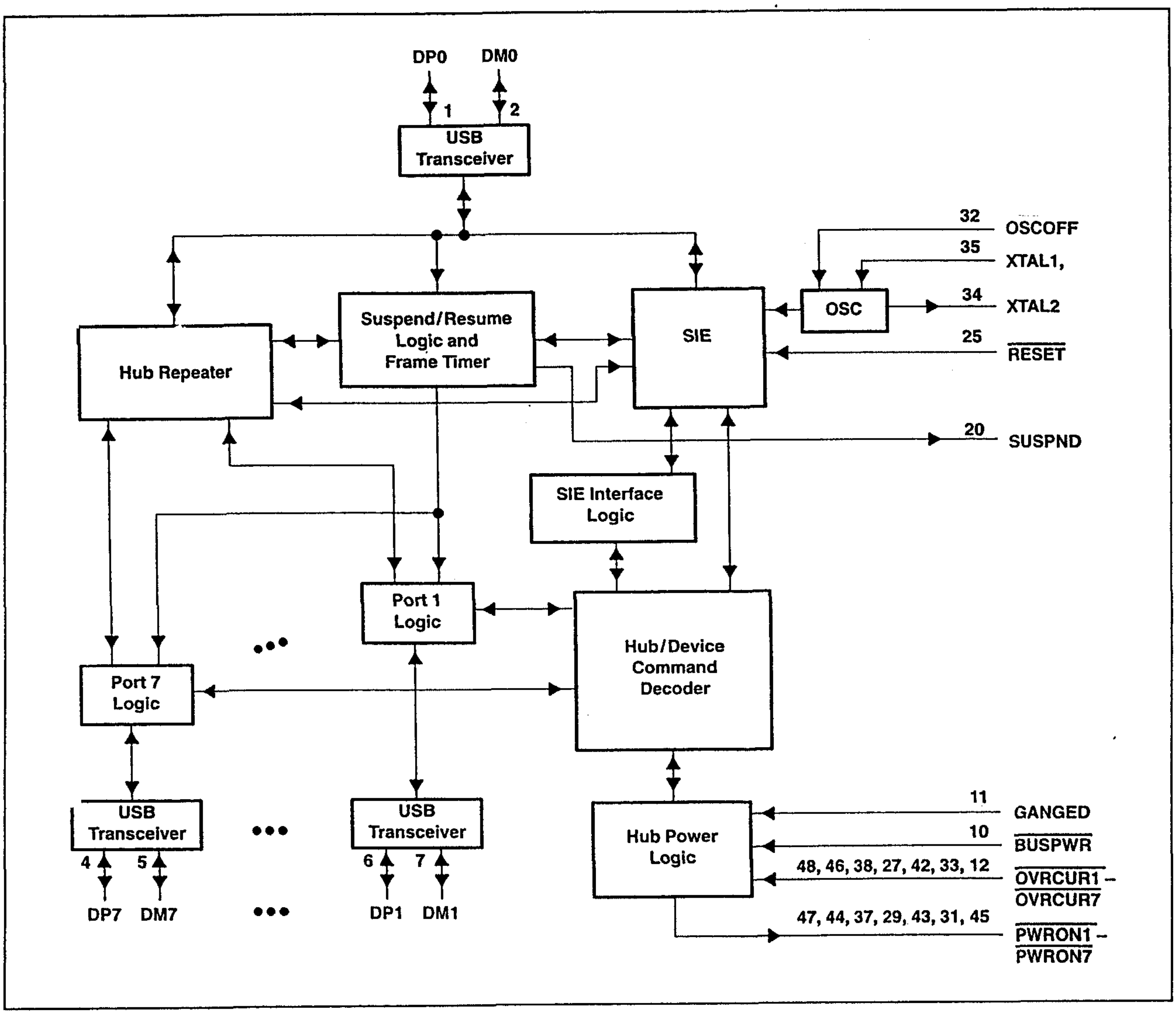
7-poort USB-hub

De TUSB2070 is een 3,3 V CMOS hub met zeven downstream poorten die voldoen aan de USB versie 1.0-specificaties. De TUSB2070 kan op twee manieren worden gevoed: bus-powered en self-powered. De hub en de downstream poorten gebruiken dezelfde voedingsbron. Vanwege de USB-specificatie zijn in de bus-powered mode slechts vier downstream poorten (1 tot en met 4) operationeel. Moeten alle 7 poorten beschikbaar zijn, dan moet de hub in de self-powered mode worden gebruikt. In de standby-positie neemt de TUSB2070 slechts 20 nA op doordat de interne oscillator wordt afgeschakeld.
De TUSB2070 kan de voeding van de downstream poorten individueel of allemaal tegelijk (ganged operation) laten uitschakelen. Hiervoor en voor het detecteren van overstroom-condities zijn externe schakelingen nodig.
De TUSB2070 heeft hiervoor de nodige in- en uitgangen. Bij de gemeenschappelijke werking veranderen alle $\overline{\text{PWRON}}$-signalen tegelijk, waarbij elke willekeurige $\overline{\text{OVERCUR}}$-ingang mag worden gebruikt. De hub gebruikt een 48 MHz clock-signaal voor het bemonsteren van data uit de upstream-poort en het genereren van een gesynchroniseerd 12 MHz USB clock-signaal. De hub kan hiervoor een 48 MHz oscillator of een 48 MHz kristal gebruiken.

11.2 Type-beschrijving TUSB-serie

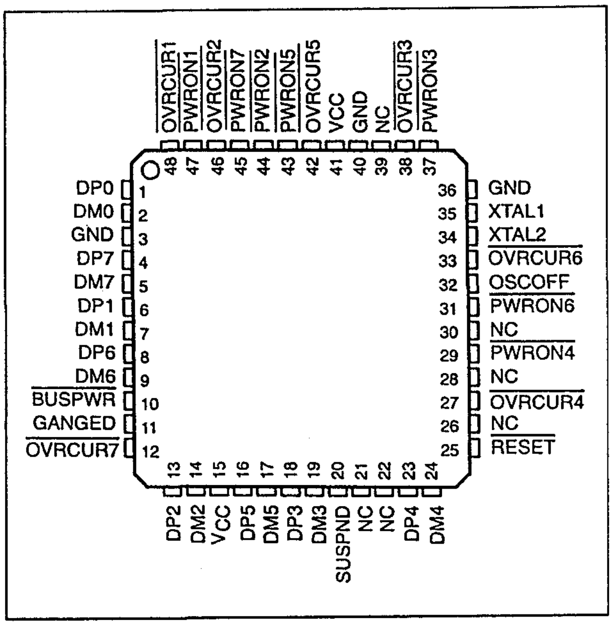
ADDRESS	D15	D14	D13	D12–D8	D7–D0
00000	0	GANGED	00000	00000	00000000
00001	VID High-byte				VID Low-byte
00010	PID High-byte				PID Low-byte
	XXXXXXXX				

Tabel 9/11.2-23: Memory Map van de eerste 3 plaatsen van de EEPROM.



Figuur 9/11.2-27: Functioneel blokschema van de TUSB2070.

11.2 Type-beschrijving TUSB-serie



Figuur 9/11.2-28: Aansluitingen van de 48-pens TQFP (PT) TUSB2070.

Wordt een oscillator gebruikt, dan moet de uitgang daarvan op de XTAL1-pen worden aangesloten en blijft de XTAL2-pen open. Het TTL-compatibele uitgangssignaal van de oscillator mag niet boven de 3,6 V uitkomen. Wordt een kristal gebruikt, dan dient de XTAL1-pen als ingang en de XTAL2-pen als tegenkoppeling. Omdat het kristal moet resoneren op 48 MHz, is een schakeling als in figuur 9/11.2-30 vereist.

De upstream poort en alle downstream poorten zijn USB-compatibele transceivers. Elke downstream poort ondersteunt zowel full-speed als low-speed aansluitingen, waarbij de slew-rate automatisch wordt ingesteld op de snelheid van de aangesloten schakeling.

Technische gegevens

- Universele Seriële Bus (USB), voldoet aan versie 1.0
- geïntegreerde USB-transceivers
- 7 downstream poorten
- voeding: self-powered of bus-powered mode
- aan/uitschakelen van de voeding en overstroom-melding naar keuze per poort of gemeenschappelijk ("ganged")
- Suspend Status-pen aanwezig voor externe logische power-down
- alle downstream poorten geschikt voor Full-Speed en Low-Speed operaties
- ondersteunt Suspend en Resume operaties
- behuizing: 48-pens TQFP
- voeding: 3,3 V
- fabrikant: Texas Instruments

11.2 Type-beschrijving TUSB-serie

TERMINAL NAME	TERMINAL NO.	I/O	DESCRIPTION
$\overline{\text{BUSPWR}}$	10	I	Power source indicator. $\overline{\text{BUSPWR}}$ is an active low input that indicates whether the ports and the hub derive power from the bus or are self-powered by the local supply. This standard TTL input must not change dynamically during operation.
DM0	2	I/O	Root port USB differential data minus. DM0 paired with DP0 constitutes the upstream USB port.
DM1 – DM7	7, 14, 19, 24, 17, 9, 5	I/O	USB differential data minus. DM1 – DM7 paired with DP1 – DP7 support up to seven downstream USB ports.
DP0	1	I/O	Root port USB differential data plus. DP0 paired with DM0 constitutes the upstream USB port.
DP1 – DP7	6, 13, 18, 23, 16, 8, 4	I/O	USB differential data minus. DP1–DP7 paired with DM1 – DM7 support up to seven downstream USB ports.
GANGED	11	I	Power switching/overcurrent detection mode. GANGED selects between gang or per port switching and overcurrent detection for downstream ports. This standard TTL input must not change dynamically during operation.
GND	3, 36, 40		Ground. GND terminals must be tied to ground for proper operation.
OSCOFF	32	I	Oscillator off. OSCOFF disables the internal oscillator for quiescent current draw (ICCQ) testing. OSCOFF must be tied low for proper operation.
$\overline{\text{OVRCUR1}}$ – $\overline{\text{OVRCUR7}}$	48, 46, 38, 27, 42, 33, 12	I	Overcurrent indicators. $\overline{\text{OVRCUR1}}$ – $\overline{\text{OVRCUR7}}$ are active low, standard TTL inputs. One overcurrent indicator is available for each of the seven downstream ports. In GANGED mode, one implementation is to tie these inputs together. Alternatively, one $\overline{\text{OVRCUR}}$ input pin may be used with the remaining $\overline{\text{OVRCUR}}$ pins tied to V_{CC}.
$\overline{\text{PWRON1}}$ – $\overline{\text{PWRON7}}$	47, 44, 37, 29, 43, 31, 45	O	Power-on/-off control signals. $\overline{\text{PWRON1}}$ – $\overline{\text{PWRON7}}$ are active low, open-drain outputs. One power on/off control switch is used for each of the seven downstream ports. In GANGED mode, all outputs are switched together.
$\overline{\text{RESET}}$	25	I	Reset. $\overline{\text{RESET}}$ is an active low TTL input with hysteresis and must be asserted at power up. When $\overline{\text{RESET}}$ is asserted, it initializes all logic.
SUSPND	20	O	Suspend status. SUSPND is an active high output that is available for external logic power down operations. During the SUSPEND mode, SUSPND is high. SUSPND is low for normal operation.
V_{CC}	15, 41		3.3-V supply voltage
XTAL1	35	I	Crystal 1. XTAL1 is a 48-MHz crystal input with 50% duty cycle. Operation at 48-MHz is four times the USB full-speed bit rate of 12-Mbps.
XTAL2	34	O	Crystal 2. XTAL2 is a 48-MHz crystal output. Operation at 48-MHz is four times the USB full-speed bit rate of 12-Mbps. This terminal is left open when using an oscillator.

Tabel 9/11.2-24: Functies van de aansluitpennen.

Supply voltage range, V_{CC} (see Note 1) .... −0.5 V to 3.8 V

Input voltgage range, V_I .... −0.5 V to V_{CC} + 0.5 V

Output voltage range, V_O .... −0.5 V to V_{CC} + 0.5 V

Input clamp current, I_{IK}, ($V_I < 0$ V or $V_I > V_{CC}$) .... ±20 mA

Output clamp current, I_{OK}, ($V_O < 0$ V or $V_O > V_{CC}$) .... ±20 mA

Storage temperature range, T_{stg} .... −65°C to 150°C

Tabel 9/11.2-25: Maximaal toegelaten waarden voor de TUSB2070.

11.2 Type-beschrijving TUSB-serie

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	3	3.3	3.6	V
Input voltage, TTL/LVCMOS‡, V_I	0		V_{CC}	V
Output voltage, TTL/LVCMOS§, V_O	0		V_{CC}	V
High-level input voltage, signal-ended receiver, $V_{IH(REC)}$	2		V_{CC}	V
Low-level input voltage, signal-ended receiver, $V_{IL(REC)}$			0.8	V
High-level input voltage, TTL/LVCMOS‡, $V_{IH(TTL)}$	2		V_{CC}	V
Low-level input voltage, TTL/LVCMOS‡, $V_{IL(TTL)}$			0.8	V
Operating free-air temperature, T_A	0		70	°C
External series, differential driver resistor, $R_{(DRV)}$	22 (−5%)		22 (+5%)	Ω
Operating (DC differential driver) high speed mode, $f_{(OPRH)}$			12	Mb/s
Operating (DC differential driver) low speed mode, $f_{(OPRL)}$			1.5	Mb/s
Common mode, input range, differential receiver, $V_{(ICR)}$	0.8		2.5	V
Input transition times (t_r and t_f), TTL/LVCMOS‡	0		6	ns

‡ Applies for input and bidirectional buffers
§ Applies for output and bidirectional buffers
¶ V_{CC} must be at specified operating voltage for 5-V-tolerant operation.
Output must be in a high-impedence state for 5-V-tolerant operation.
|| These junction temperatures reflect simulated conditions. Absolute maximum junction temperature is 150° C. The customer is resposible for verifying junction temperature.

Tabel 9/11.2-26: Aanbevolen bedrijfscondities.

PARAMETER			TEST CONDITIONS	MIN	MAX	UNIT
V_{OH}	High-level output voltage	USB data lines	$R_{(DRV)}$ = 15 kΩ, to GND	2.8	3.6	V
			I_{OH} = −12 mA (without $R_{(DRV)}$)	V_{CC} − 0.5		
V_{OL}	Low-level output voltage	TTL/LVCMOS	I_{OL} = 4 mA		0.5	V
		USB data lines	$R_{(DRV)}$ = 1.5 k Ω to 3.6 V		0.3	
			I_{OL} = 12 mA (without $R_{(DRV)}$)		0.5	
V_{IT+}	Positive input threshold voltage	TTL/LVCMOS			2	V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V		1.8	V
V_{IT-}	Negative-input threshold voltage	TTL/LVCMOS		0.8		V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V	1		V
V_{hys}	Input hysteresis† ($V_{T+} - V_{T-}$)	TTL/LVCMOS		0.25	0.7	V
		Single-ended	0.8 V ≤ V_{ICR} ≤ 2.5 V	300	500	mV
I_{OZ}	High-impedance output current	TTL/LVCMOS	V = V_{CC} or GND‡		±10	µA
		USB data lines	0 V ≤ V_O ≤ V_{CC}		±10	µA
I_{IL}	Low-level input current	TTL/LVCMOS	V_I = GND		−1	µA
I_{IH}	High-level input current	TTL/LVCMOS	V_I = V_{CC}		1	µA
$z_{o(DRV)}$	Driver output impedance	USB data lines	Static V_{OH} or V_{OL}	7.1	19.9	Ω
V_{ID}	Differential input voltage	USB data lines	0.8 V ≤ V_{ICR} ≤ 2.5 V	0.2		V
I_{CC}	Input supply current		Normal operation		100	mA
			Suspend mode		1	µA

† Applies for input buffers with hysteresis
‡ Applies for open drain buffers

Tabel 9/11.2-27: Elektrische eigenschappen van de TUSB2070 (bij de aanbevolen temperaturen en voedingsspanning).

11.2 Type-beschrijving TUSB-serie

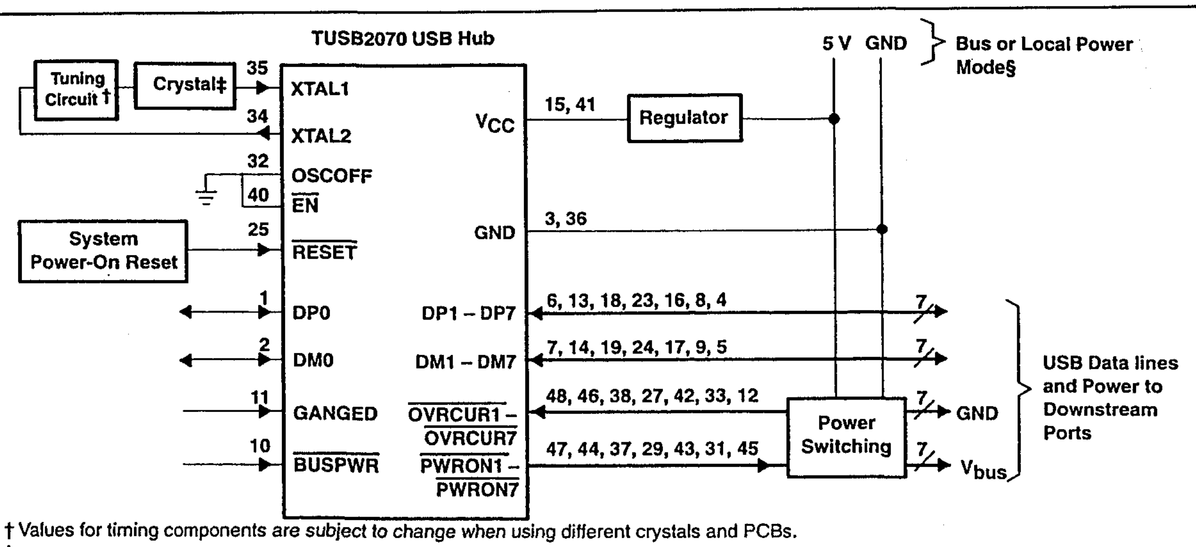
full speed mode

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_r	Transition rise time for DP or DM	See Figure 1 and Figure 2	4	20	ns
t_f	Transition fall time for DP or DM	See Figure 1 and Figure 2	4	20	ns
$t_{(RFM)}$	Rise/fall time matching	(t_r/t_f) x 100	90	110	%
$V_{O(CRS)}$	Signal crossover output voltage		1.3	2	V

low speed mode

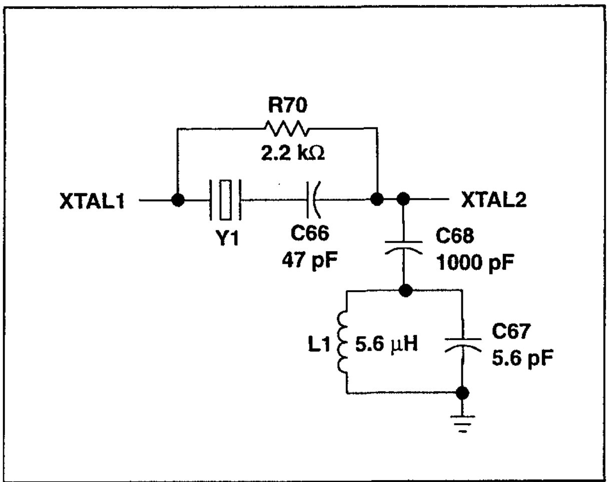
PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
t_r	Transition rise time for DP to DM	C_L = 50 pF to 350 pF, See Figure 1 and Figure 2	75	300	ns
t_f	Transition fall time for DP to DM	C_L = 50 pF to 350 pF, See Figure 1 and Figure 2	75	300	ns
$t_{(RFM)}$	Rise/fall time matching	(t_r/t_f) x 100	80	120	%
$V_{O(CRS)}$	Signal crossover output voltage	C_L = 50 pF to 350 pF	1.3	2.0	V

Tabel 9/11.2-28: Schakeltijden van de differentiële driver in de Full-Speed en de Low-Speed mode (zie ook figuur 9/11.2-24).



† Values for timing components are subject to change when using different crystals and PCBs.
‡ The crystal in this application is a 48-MHz US Crystal, P/N HC–18/U 48MHZ.
§ $\overline{\text{BUSPWR}}$ input should be set according to the system power source. If self-powered, the local ground is tied to the USB ground.

Figuur 9/11.2-29: Praktische toepassing van de TUSB2070 USB hub.



Figuur 9/11.2-30: Oscillator-schakeling bij toepassing van een 48 MHz kristal. XTAL1 = ingang en XTAL2 = tegenkoppeling van het kristal. De waarde van condensator C67 is afhankelijk van de printlayout.

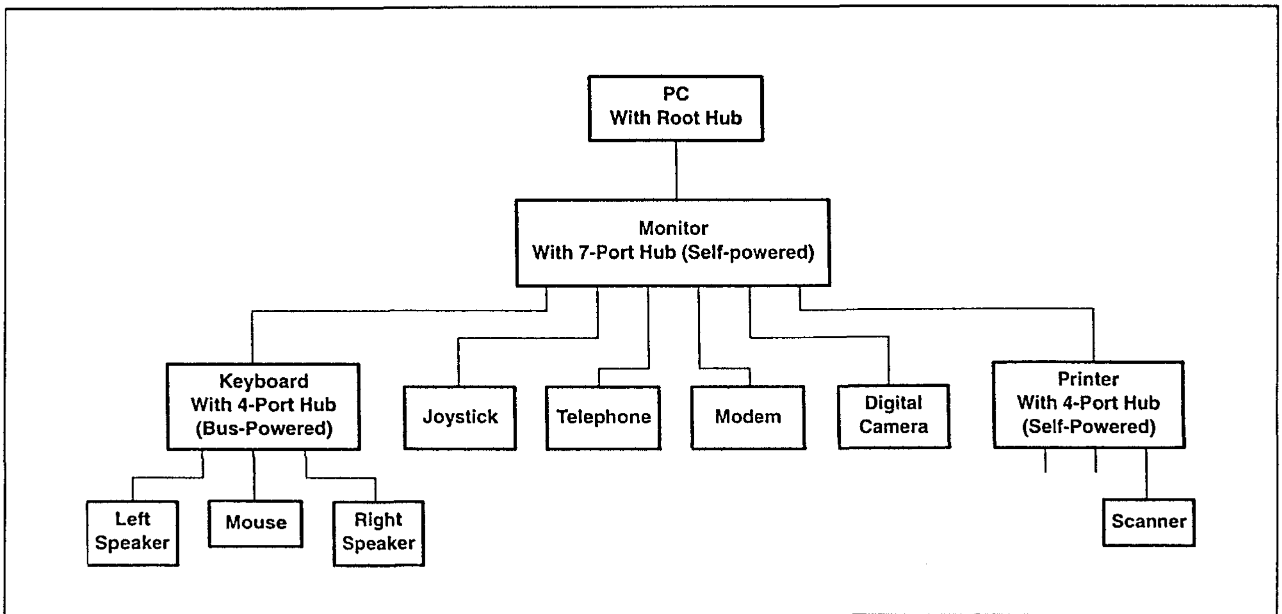
Toepassingsvoorbeelden

Inleiding

Als belangrijkste kenmerk van de USB kan worden genoemd dat het mogelijk is om maximaal 127 functies, in maximaal 6 logische lagen (of "tiers") op één PC aan te sluiten (zie figuur 9/11.2-31). Bovendien krijgen alle randapparaten via een zelfde genormaliseerde 4-draads kabel zowel communicatie als voeding toegeleverd.

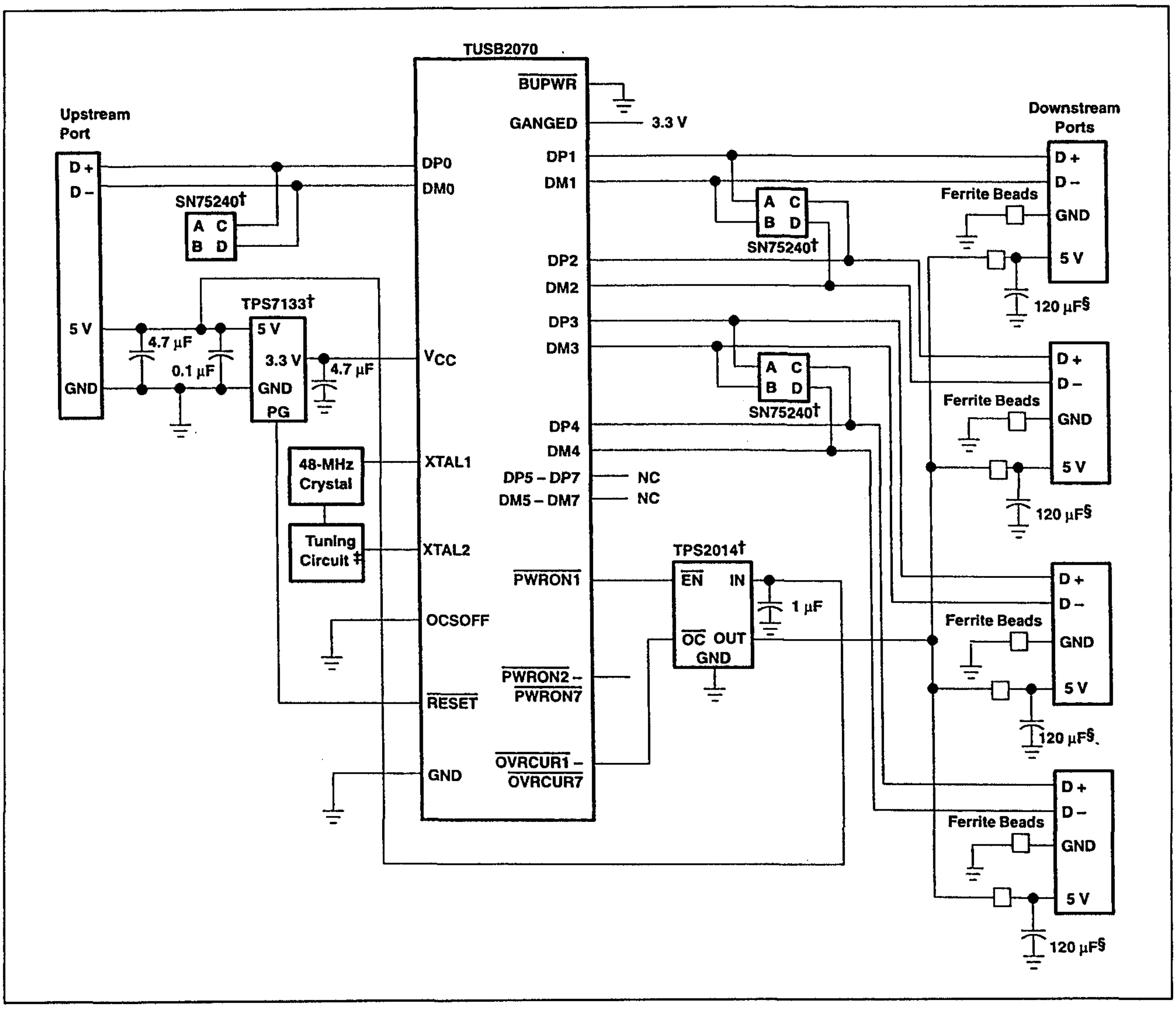
Bus-Powered hub met gemeenschappelijk (ganged) poort-power management

Een Bus-Powered TUSB2070 ondersteunt maximaal vier downstream poorten die elk 100 mA mogen opnemen (zie figuur 9/11.2-32). De resterende 3 poorten (DP5 tot en met DP7 en DM5 tot en met DM7) zijn in de Bus-Powered mode gesperd. Bus-Powered hubs moeten zijn uitgerust met een schakelsysteem voor de voeding. De downstream poorten worden voor de gemeenschappelijke voeding van figuur 9/11.2-32 beveiligd door een TPS2014 powerswitch.



Figuur 9/11.2-31: Voorbeeld van een in lagen verdeeld (tiered) USB-systeem, waarbij een 7-poorts hub wordt gebruikt.

11.2 Type-beschrijving TUSB-serie



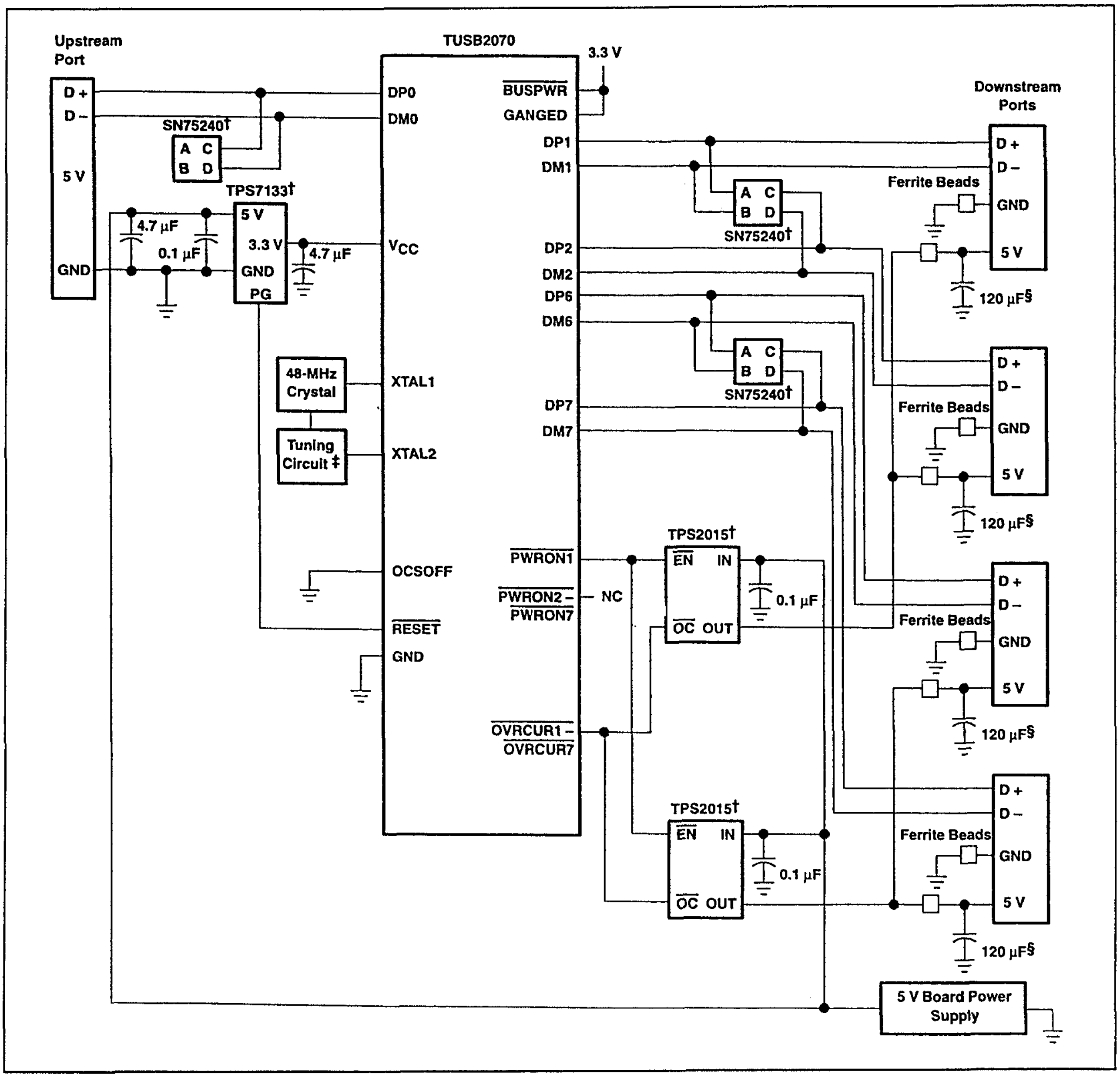
Figuur 9/11.2-32: Vereenvoudigd aansluitschema van een TUSB2070 Bus-Powered hub met gemeenschappelijk power-management.

Aanloopstromen en spanningspieken op de datalijnen worden beperkt door individuele transiënt-onderdrukkers (SN75240). Het Power Good (PG) signaal dat bij power-up het resetten van de TUSB2070 regelt wordt geleverd door een TPS7133 low-dropout spanningsregelaar. De $\overline{\text{OVERCUR1}}$ tot en met $\overline{\text{OVERCUR4}}$-ingangen mogen bij de ganged mode aan elkaar worden gelegd. De $\overline{\text{OVERCUR5}}$ tot en met $\overline{\text{OVERCUR7}}$-ingangen worden niet gebruikt en dienen op hetzelfde logische niveau te worden aangesloten.

Self-Powered hub met gemeenschappelijk (ganged) poort-power management
Een Self-Powered TUSB2070 kan maximaal 7 downstream poorten aandrijven (in figuur 9/11.2-33 zijn de poorten 3 tot en met 5 niet getekend, maar deze moeten op dezelfde wijze worden aangesloten als de poorten die wel worden getoond). De $\overline{\text{OVERCUR1}}$ tot en

11.2 Type-beschrijving TUSB-serie

met $\overline{\text{OVERCUR7}}$ ingangen zijn in deze schakeling met gemeenschappelijk power-management met elkaar verbonden. Per twee poorten wordt een TPS2015 gebruikt voor de beveiliging en het schakelen. Hoewel dit een voordeliger oplossing is, zal een fout op één van de downstream poorten veroorzaken dat de voedingsspanning op alle poorten wegvalt. De datalijnen zijn individueel beveiligd met SN75240's. Bij het opkomen van de voedingsspanning levert de TPS7133 low-dropout spanningsregelaar een Power Good (PG) signaal om de reset van de TUSB2070 weg te halen.

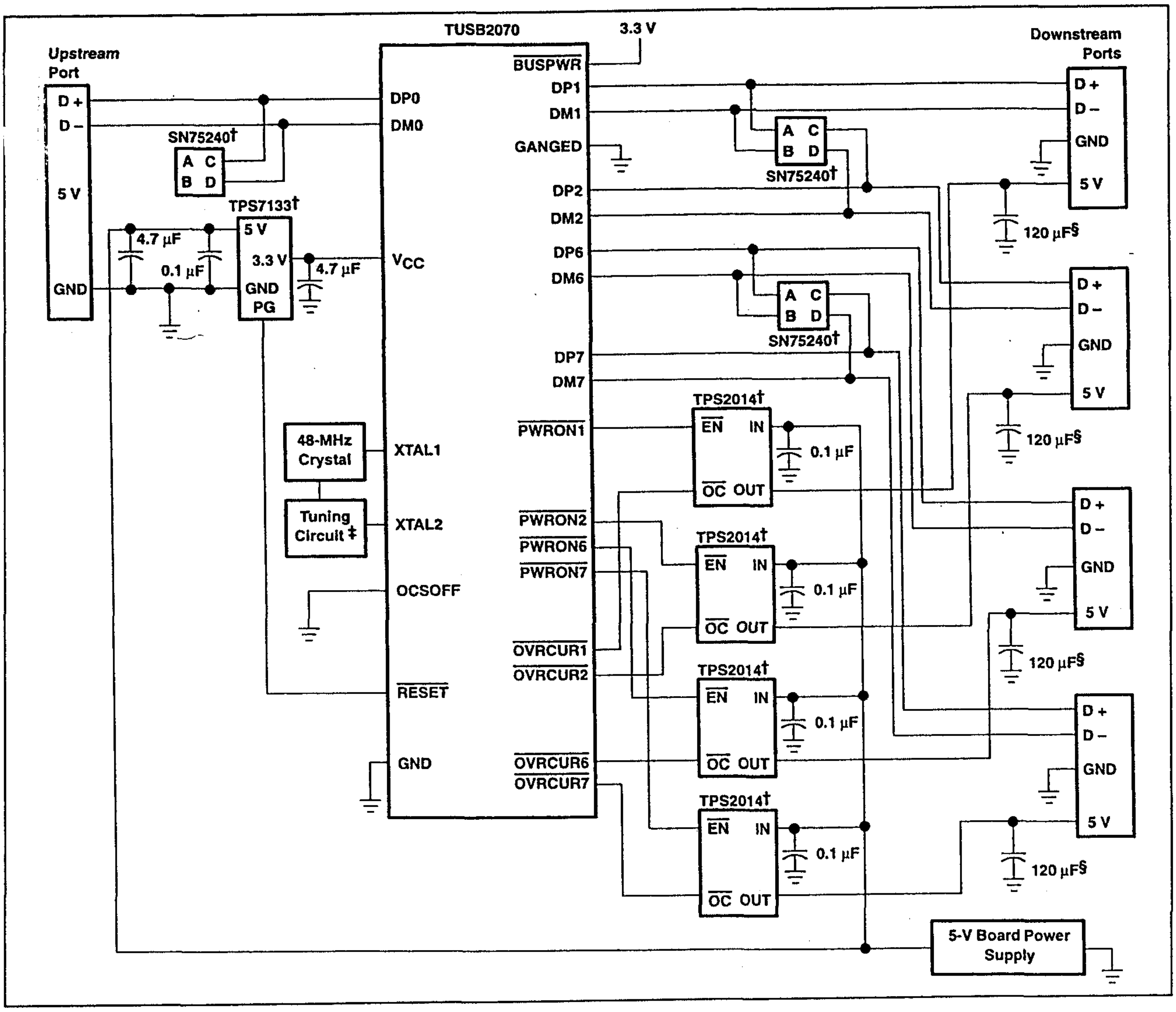


Figuur 9/11.2-33: TUSB2070 Self-Powered hub met gemeenschappelijk power-management.

11.2 Type-beschrijving TUSB-serie

Self-Powered hub met individueel poort-power management

Een Self-Powered TUSB2070 ondersteunt 7 downstream poorten en kan 500 mA per downstream leveren. De poorten 3 tot en met 5 die in figuur 9/11.2-34 niet zijn getekend moeten op dezelfde wijze als poort 1, 2, 6 en 7 worden aangesloten. Self-Powered hubs zijn vereist om overstroom-beveiliging te implementeren. Bij de individueel power-management worden TPS2014's gebruikt voor het schakelen en beveiligen van de voedingen. Als de hub een fout op één van de downstream poorten detecteert, wordt de voeding alleen van die poort weggenomen. De andere poorten blijven dus gewoon werken. De datalijnen worden individueel beveiligd met SN75240's. Bij het opkomen van de voedingsspanning regelt een Power Good (PG) signaal van de TPS7133 low-dropout spanningsregelaar het resetten van de TUSB2070



Figuur 9/11.2-34: TUSB2070 Self-Powered hub met individueel power-management.

9/11.3

Type-beschrijving PDIUS-serie

PDIUSBD11

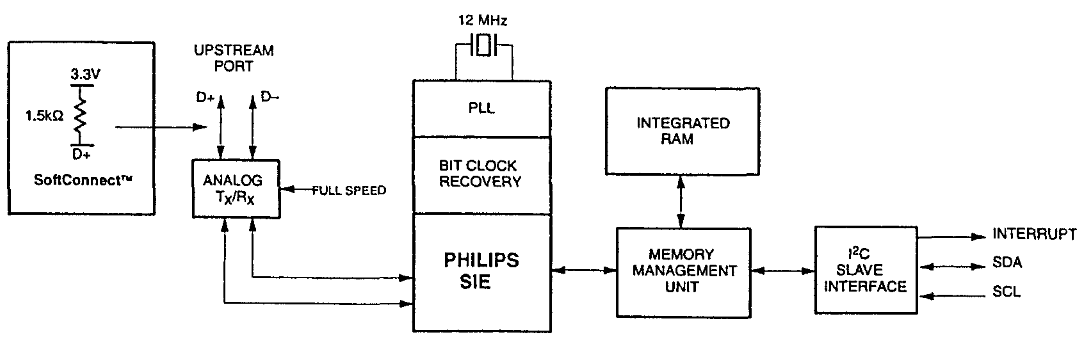
USB-hub met I^2C-interface

De PDIUSBD11 is een USB-interface voor gebruik in microcontroller-systemen waarmee via de I^2C seriële bus wordt gecommuniceerd. Door deze modulaire aanpak kan de ontwerper vrij kiezen uit het grote aanbod microcontrollers. Doordat deze flexibiliteit het gebruik van de bestaande architectuur en firmware investeringen mogelijk maakt worden de ontwikkeltijd, risico en kosten verminderd. De PDIUSBD11 is niet alleen zeer geschikt voor allerlei toepassingen, zoals computer-monitoren, docking stations, toetsenborden, enzovoorts, maar ook voor die toepassingen die bij uitstek gebruik maken van de I^2C of SMBus.

De PDIUSBD11 voldoet aan de USB versie 1.1-specificaties. Het geringe stroomverbruik in de suspend mode en de programmeerbare LazyClock maken implementatie van de APCI, OnNOW en USB Power Management vereisten mogelijk. De PDIUSBD11 is volledig "backward" compatibel met de PDIUSBH11/PDIUSBH11A software. Bovendien heeft hij verbeteringen zoals SoftConnect, LazyClock, een programmeerbare clock-uitgang, oscillator met lagere frequentie, eindpunten met multipele functie en geïntegreerde afsluitweerstanden.

Technische gegevens

- Universele Seriële Bus (USB), voldoet aan versie 1.1
- voldoet aan ACPI, OnNOW en USB Power Management eisen
- voldoet aan USB Human Interface Devices en Monitor Control Class
- voldoet aan System Management Bus specificatie v. 1.0



Figuur 9/11.3-1: Blokschema van de PDIUSBD11.

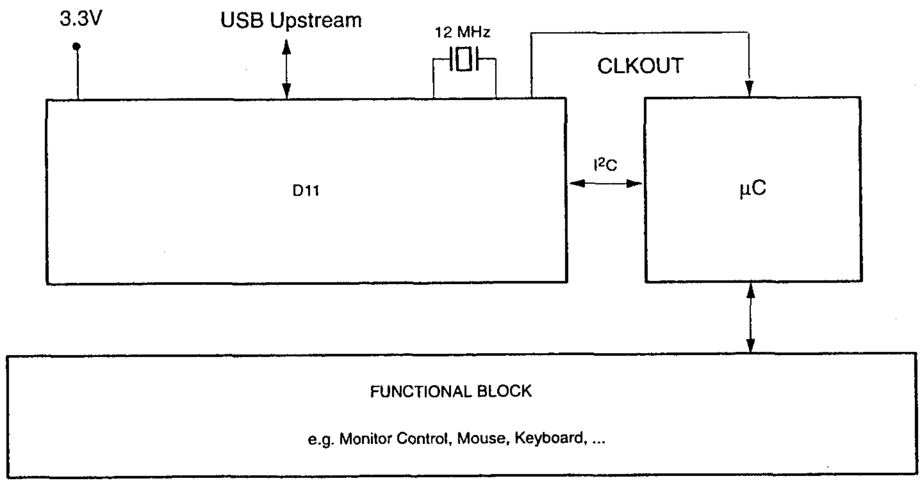
11.3 Type-beschrijving PDIUS-serie

PIN DESCRIPTION

PIN NO	PIN SYMBOL	TYPE	DRIVE	DESCRIPTION
1	TEST	Input		Connect to GND for normal operation
2	RESET_N	Input	ST	Power-on reset
3	XTAL1	Input		Crystal connection 1 (12MHz)
4	XTAL2	Output		Crystal connection 2 (12MHz)
5	CLKOUT	Output	3 mA	Programmable output clock for external devices
6	V_{CC}	Power		Voltage supply 3.3V±0.3V
7	SUSPEND	Output	OD6	Device is in suspended state
8	INT_N	Output	OD6	Connect to microcontroller interrupt
9	SDA	I/O	OD6	I^2C bi-directional data
10	SCL	I/O	OD6	I^2C bit-clock
11	GND	Power		Ground reference
12	DP	AI/O		USB D+ connection
13	DM	AI/O		USB D– connection
14	AGND	Power		Analog ground reference
15	AV_{CC}	Power		Analog voltage supply 3.3V±0.3V
16	VBUS	Input		USB VBUS sensing pin

NOTES:
1. Signals ending in _N indicate active LOW signals.
   ST: Schmitt Trigger
   OD6: Open Drain with 6 mA drive
   AI/O: Analog I/O

Tabel 9/11.3-1: Aansluitingen van de PDIUSBD11 en functies van de aansluitpennen.



Figuur 9/11.3-2: Toepassing van de PDIUSBD11.

11.3 Type-beschrijving PDIUS-serie

- geïntegreerde SIE (Serial Interface Engine), FIFO-geheugen en transceivers
- automatische USB protocol afhandeling
- high-speed I^{2}C interface (max. 1 Mbit/s)
- compatibel met PDIUSBH11 software
- met software bestuurbare verbinding met USB-bus (SoftConnect)
- laagfrequente 12 MHz kristal-oscillator
- programmeerbare uitgangs-clockfrequentie
- regelbare LazyClock-uitgang op 24 kHz tijdens suspend
- enkele 3,3 V voeding met 5 V tolerante I/O
- 16-pens DIP en SO-behuizing
- ESD-beveiligd (>8 kV)
- fabrikant: Philips

Werking van de PDIUSBD11

Inleiding

Voor de werking wordt verwezen naar het blokschema van figuur 9/11.3-1.

Analog Transceiver

De transceiver kan direct (via enkele afsluitweerstanden) worden aangesloten op de USB-kabel. Er kan alleen data worden ontvangen en verzonden op "volle snelheid" (12 Mbit/s).

PLL

Op de chip is een clock-multiplier (PLL) opgenomen die de 12 MHz clock omzet in de benodigde 48 MHz. Hierdoor kan een goedkoop 12 MHz kristal worden gebruikt dat bovendien gunstige EMI-eigenschappen heeft. De PLL werkt zonder externe componenten.

Bit Clock Recovery

Het bit-clock recovery-circuit haalt het clocksignaal uit de binnenkomende USB datastroom, waarbij gebruik wordt gemaakt van het 4x oversample-principe. Zolang aan de USB-specificaties wordt voldaan hebben jitter en frequentie-drift geen invloed op de goede werking.

Serial Interface Engine (SIE)

De Philips SIE implementeert de volledige USB-protocol laag. Dit blok is compleet in hardware uitgevoerd en heeft geen tussenkomst van firmware nodig. De functies zijn onder andere:

- herkenning van het synchronisatie-patroon;
- parallel/serie-omzetting;
- bit stuffing/destuffing;
- CRC checking/generatie;
- PID verificatie/generatie;
- adres-herkenning;
- handshake evaluatie/generatie.

Memory Management Unit (MMU) en geïntegreerde RAM

De MMU en de geïntegreerde RAM worden gebruikt om het hoofd te bieden aan het grote verschil in data-snelheid tussen de USB (die bursts van 12 Mbit/s verwerkt) en de I^{2}C-interface naar de microcontroller (die 1 Mbit/s kan doen). Hierdoor kan de microcontroller met zijn eigen snelheid USB-pakketjes lezen en schrijven.

I^{2}C Slave Interface

Dit blok implementeert het benodigde I^{2}C-interface protocol. De I^{2}C-slave maakt micro-codering eenvoudiger. Door middel van een interrupt wordt de microcontroller gewaarschuwd wanneer de PDIUSBD11 aan de beurt is. Aangezien de PDIUSBD11 als slaaf werkt is de SCL-lijn van de I^{2}C-clock een ingang die door de microcontroller wordt bestuurd.
De maximale snelheid bedraagt 1 Mbit/s.

SoftConnect

De verbinding met de USB komt tot stand door D+ via een 1,5 kΩ weerstand naar V_{CC} op te trekken. De PDIUSBD11 is immers een high-speed USB-schakeling. In de PDIUSBD11 bevindt zich reeds een 1,5 kΩ weerstand die echter nog niet met V_{CC} is verbonden. Deze verbinding wordt pas gemaakt na een commando van de externe/systeem microcontroller. Hierdoor kan de systeem-

microcontroller zijn initialisatie afsluiten voordat besloten wordt de USB in te schakelen. De her-initialisatie van de USB busverbinding kan ook worden beïnvloed zonder dat de kabel is aangesloten.
De PDIUSBD11 probeert eerst of de VBUS aanwezig is voordat de USB-verbinding kan worden gemaakt (via de VBUS-pen).

De I²C-verbinding

I²C-interface

De I²C-bus wordt gebruikt om de werking van de USB-schakeling te laten besturen door een externe microcontroller. Om kosten te besparen kan de systeem-microcontroller natuurlijk ook worden gebruikt voor andere functies.
De PDIUSPB11 implementeert een slaaf I²C-interface. De PDIUSPB11 geeft een interrupt-signaal af als communicatie met de microcontroller nodig is. De microcontroller verwerkt deze interrupt door via de I²C-bus het betreffende status-register in de PDIUSPB11 uit te lezen.
Bij de PDIUSPB11 zijn twee verschillende handelingen mogelijk:

- Command transaction:
  Deze handeling wordt gebruikt om vast te stellen welke data (bijvoorbeeld een status-byte, buffer data, enz.) bij de volgende data-overdracht naar de USB-interface zal worden gelezen/geschreven. Na een command transaction volgt meestal een data-transaction.
- Data transaction:
  Bij een data-transactie wordt data naar de USB-interface geschreven of daaruit uitgelezen. De betekenis van de data is afhankelijk van de command transaction die ervoor werd verzonden.

Om onderscheid te maken tussen command- en data transactions worden er twee adressen gebruikt (figuur 9/11.3-3). Het schrijven naar het commando-adres wordt opgevat als commando, terwijl lezen/schrijven van/naar het data-adres wordt gebruikt om data tussen de PDIUSBD11 en de controller over te brengen.

ADDRESS TABLE

Type of Address	Physical Address MSB to LSB (Binary)
Command	0011 011
Data	0011 010

Figuur 9/11.3-3: Adrestabel.

Protocol

Een I²C-transactie begint met een Start-conditie gevolgd door een adres. Als het adres overeenkomt met het commando- of het data-adres begint de transactie die doorgaat tot het optreden van een Stop-conditie of nog een Start-conditie (herhaalde start).
Het commando-adres is "write-only" en kan dus niet worden uitgelezen. De volgende bytes van het bericht worden opgevat als commando's. Er kunnen meerdere command-bytes achter elkaar naar het commando-adres worden gestuurd. Elk command-byte wordt bevestigd en doorgestuurd naar de Memory Management Unit in de PDIUSBD11.
Als het adres van de Start-conditie overeenkomt met het data-adres, worden de volgende bytes opgevat als data. Wanneer het RW-bit in het adres "0" is ("master schrijft data naar slave") worden de bytes ontvangen, bevestigd en doorgegeven naar de MMU. Als het RW-bit "1" is ("master leest data uit slave") zendt de PDIUSBD11 data naar de master. De I²C-master moet alle databytes bevestigen, behalve de laatste. Op deze wijze weet de I²C-interface wanneer de laatste byte is verzonden, waarna hij de SDA-lijn vrijgeeft zodat de master-controller de Stop-conditie kan genereren.

11.3 Type-beschrijving PDIUS-serie

ENDPOINT#	ENDPOINT INDEX	TRANSFER TYPE	DIRECTION	MAX PACKET SIZE (BYTES)
0	2 3	Control	OUT IN	8 8
1	5 4	Generic	OUT IN	8 8
2	6 7	Generic	OUT IN	8 8
3	8 9	Generic	OUT IN	8 8

NOTE:
1. Generic endpoint can be used for Interrupt or Bulk endpoint.

Tabel 9/11.3-2: Eindpunt-beschrijvingen (zie ook tabel 9/11.3-3).

COMMAND NAME	RECIPIENT	CODING	DATA PHASE
Initialization Commands			
Set Address/Enable	Function	D1h	Write 1 byte
Set Endpoint Enable	Function	D8h	Write 1 byte
Set Mode	Function	F3h	Write 2 byte
Data Flow Commands			
Read Interrupt Register		F4h	Read 2 bytes
Select Endpoint	Control OUT Endpoint	00h	Read 1 byte (optional)
	Control IN Endpoint	01h	Read 1 byte (optional)
	Other Endpoints	00h+ Endpoint Index	Read 1 byte (optional)
Read Last Transaction Status	Control OUT Endpoint	40h	Read 1 byte
	Control IN Endpoint	41h	Read 1 byte
	Other Endpoints	40h+ Endpoint Index	Read 1 byte
Read Endpoint Status	Control OUT Endpoint	80h	Read 1 byte
	Control IN Endpoint	81h	Read 1 byte
	Other Endpoints	80h+ Endpoint Index	Read 1 byte
Read Buffer	Selected Endpoint	F0h	Read n bytes
Write Buffer	Selected Endpoint	F0h	Write n bytes
Set Endpoint Status	Control OUT Endpoint	40h	Write 1 byte
Set Endpoint Status	Control IN Endpoint	41h	Write 1 byte
	Other Endpoints	40h+ Endpoint Index	Write 1 byte
Acknowledge Setup	Selected Endpoint	F1h	None
Clear Buffer	Selected Endpoint	F2h	None
Validate Buffer	Selected Endpoint	FAh	None
General Commands			
Send Resume		F6h	None
Read Current Frame Number		F5h	Read 1 or 2 bytes

Tabel 9/11.3-3: Overzicht van de commando's.

Bij "herhaalde start" kan nog een pakket worden verzonden zonder opwekking van een Stop-conditie.

Timing

De I²C-interface in de PDIUSBD11 is geschikt voor clock-snelheden tot 1 MHz.

Commando-beschrijvingen

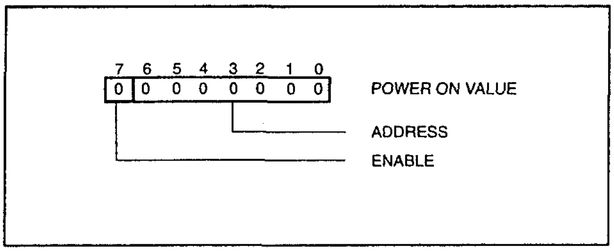
Er zijn drie typen commando's: initialisatie, data-flow en algemene commando's. Sommige commando's hebben dezelfde commando-code (bijvoorbeeld Read Buffer en Write Buffer). In deze gevallen bepaalt de richting van de data-fase (lezen of schrijven) welk commando wordt uitgevoerd.

Initialisatie-commando's

Set Address/Enable

Dit commando wordt gebruikt om het aangewezen USB-adres in te stellen en de functie vrij te geven.

- Address:
  De waarde wordt het adres.
- Enable:
  Een "1" geeft deze functie vrij.

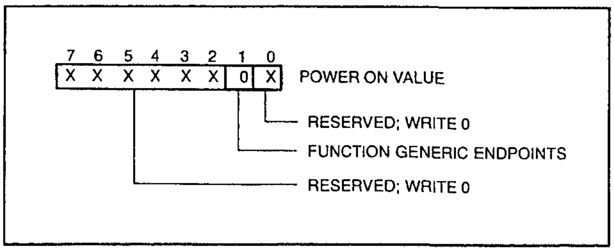


Figuur 9/11.3-4: Set Adress/Enable.

Set Endpoint Enable

De generieke eindpunten kunnen alleen worden vrijgegeven als de functie via het Set Adress/Enable-commando is vrijgegeven.

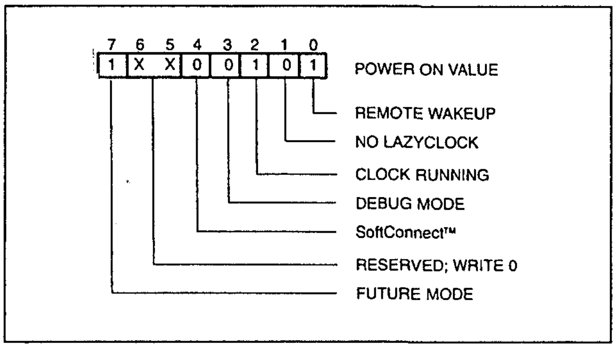
- Function Generic Endpoint:
  Een "1" geeft aan dat de generieke eindpunten van de functie zijn vrijgegeven.



Figuur 9/11.3-5: Set Endpoint Enable.

Set Mode

Het Set Mode commando wordt gevolgd door twee data-writes. Het eerste byte bevat de configuratie byte-waarden; het tweede byte is het clock-deelfactor byte.

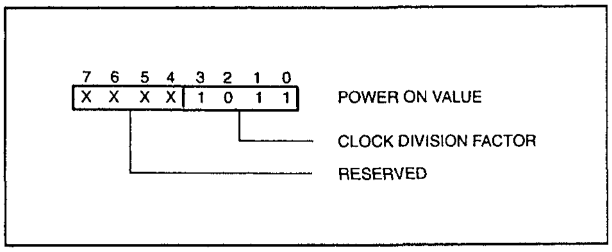


Figuur 9/11.3-6: Configuratie Byte.

- Remote Wake-up:
  Een "1" geeft aan dat een remote wake-up is ingeschakeld (wordt ook ingeschakeld door Bus reset).
- No LazyClock:
  Een "1" geeft aan dat CLKOUT niet wordt overgeschakeld naar LazyClock; een "0" signaleert dat de CLKOUT 1 ms na het HOOG gaan van de Suspend-pen overschakelt naar LazyClock. De LazyClock-frequentie is 24 kHz. De geprogrammeerde waarde wordt niet veranderd door een Bus reset.
- Clock Running:
  Een "1" geeft aan dat de interne clock's en PLL altijd werken, zelfs in de Suspend toestand. Een "0" signaleert dat de interne clock, kristal-oscillator en PLL zijn gestopt. Om aan de echte eisen betreffende het

Suspend stroomverbruik te voldoen moet dit bit op "0" worden gezet. Een bus reset heeft geen invloed op de geprogrammeerde waarde.

- Debug Mode:
  Een "1" betekent dat alle fouten en "NAKing" (Negative Acknowledge Character) worden gerapporteerd, terwijl een "0" aangeeft dat alleen OK en babbling (overspraak) worden gerapporteerd. De geprogrammeerde waarde wordt niet beïnvloed door een bus reset.
- SoftConnect:
  Een "1" geeft aan dat de upstream optrekweerstand zal worden aangesloten als VBUS aanwezig is. Een "0" betekent dat de upstream weerstand niet zal worden aangesloten. Een bus reset heeft geen invloed op de geprogrammeerde waarde.
- FutureMode:
  Schrijf een "1".



Figuur 9/11.3-7: Clock Division Factor Byte.

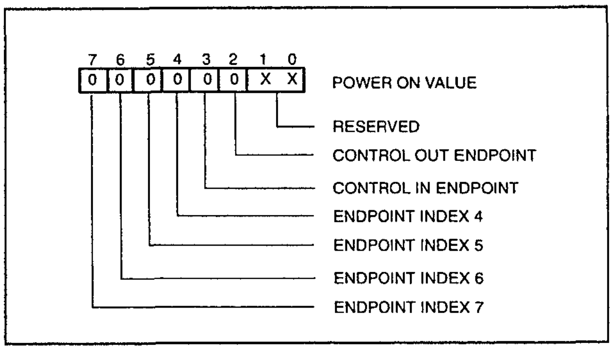
- Clock Division Factor:
  De waarde komt overeen met de clockdeelfactor voor CLKOUT. De uitgangsfrequentie is 48 MHz/(N+1), waarin N de deelfactor is. Met de resetwaarde van 11 wordt een frequentie van 4 MHz geproduceerd die door de gebruiker omhoog of omlaag kan worden geprogrammeerd (4 tot 24 MHz). De PDIUSBD11 is zo ontworpen dat tijdens de frequentieverandering geen glitches optreden. Een bus reset heeft geen invloed op de geprogrammeerde waarde.

Data Flow-commando's

Data Flow-commando's worden gebruikt om het datatransport tussen de USB-eindpunten en de monitor te beheren. Een groot deel van de data-overdracht wordt via een interrupt naar de microcontroller geïnitieerd. De microcontroller gebruikt deze commando's om toegang te krijgen tot de eindpunt-FIFO's en om te bepalen of deze geldige data hebben.

Read Interrupt Register

Dit commando geeft aan waar een interrupt vandaan komt (er worden 2 bytes gelezen). Een "1" signaleert dat op dit eindpunt een interrupt optrad. De bits worden gecleared door het uitlezen van het eindpuntstatusregister door middel van het Read Endpoint Status Command.
Na een bus reset wordt een interrupt gegenereerd en zal bit6 van het Interrupt Register Byte 2 "1" worden. De interrupt wordt intern gecleared door uitlezen van het interrupt register. Een bus reset is volkomen gelijk aan de hardware reset door middel van de RESET_N-pen. Er is alleen verschil in interruptmelding.



Figuur 9/11.3-8: Interrupt Register Byte 1.

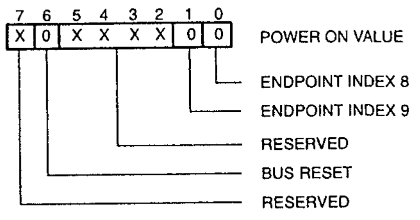
Select Endpoint

Het Select Endpoint commando initialiseert een interne pointer naar het begin van de geselecteerde buffer. Het is mogelijk dit commando te laten volgen door een data read die "0" teruggeeft als de buffer leeg is en "1" als de buffer vol is.

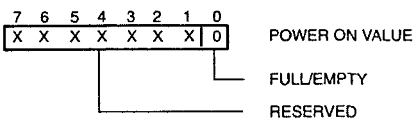
- Full/Empty:

11.3 Type-beschrijving PDIUS-serie

Een "1" geeft aan dat de buffer vol is ("0" bij een lege buffer).



Figuur 9/11.3-9: Interrupt Register Byte 2.

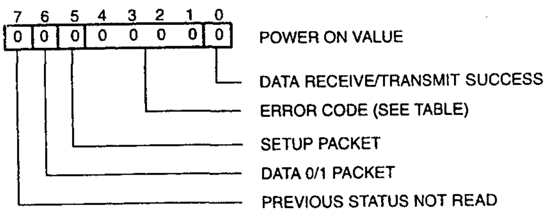


Figuur 9/11.3-10: Een door Select Endpoint geselecteerde buffer.

Read Last Transaction Status

Het Read Last Transaction Status commando wordt gevolgd door éénmaal data uitlezen dat de status van de laatste transactie van het eindpunt weergeeft. Dit commando reset ook de overeenkomende interrupt-vlag in het interrupt-register en cleart de status (waardoor wordt aangegeven dat deze werd uitgelezen). Dit commando is nuttig voor debug-doeleinden.
Aangezien elke handeling wordt bijgehouden wordt de status-informatie bij elke nieuwe transactie overschreven.

- Data Receive/Transmit Success:
  Een "1" geeft aan dat data met succes werd ontvangen of verzonden.
- Error Code:
  Zie tabel 9/11.3-4: fout-codes.
- Setup Packet:
  Een "1" geeft aan dat het laatste, met succes ontvangen pakket een SETUP token bevatte (voor IN-buffers wordt altijd een "0" gelezen).
- Data 0/1 Packet:
  Een "1" geeft aan dat het laatste, met succes ontvangen of verzonden pakket een DATA1 PID had.
- Previous Status not Read:
  Een "1" geeft aan dat een tweede gebeurtenis plaatsvond voordat de vorige status werd gelezen.



Figuur 9/11.3-11: Status van de laatste transactie.

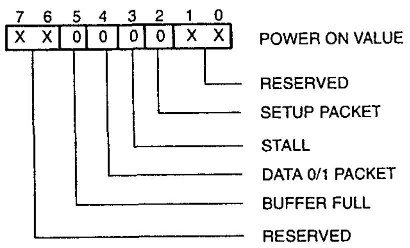
ERROR CODE	RESULT
0000	No Error
0001	PID encoding Error; bits 7–4 are not the inversion of bits 3–0
0010	PID unknown; encoding is valid, but PID does not exist
0011	Unexpected packet; packet is not of the type expected (= token, data or acknowledge), or SETUP token to a non-control endpoint
0100	Token CRC Error
0101	Data CRC Error
0110	Time Out Error
0111	Babble Error
1000	Unexpected End-of-packet
1001	Sent or received NAK
1010	Sent Stall, a token was received, but the endpoint was stalled
1011	Overflow Error, the received packet was longer than the available buffer space
1101	Bitstuff Error
1111	Wrong DATA PID; the received DATA PID was not the expected one

Tabel 9/11.3-4: Fout-codes.

11.3 Type-beschrijving PDIUS-serie

Read Endpoint Status

Om de status van een eindpunt te bepalen wordt 1 byte uitgelezen.



Figuur 9/11.3-12: Status van het eindpunt.

- Setup Packet:
  Een "1" geeft aan dat het laatst ontvangen pakket een SETUP token had.
- STALL:
  Een "1" geeft aan dat het eindpunt is vastgelopen.
- Data 0/1 Packet:
  Een "1" geeft aan dat het laatst ontvangen of verzonden pakket een DATA1 PID bevatte.
- Buffer Full:
  Een "1" geeft aan dat het buffer vol is.

Read Buffer

Het Read Buffer-commando wordt gevolgd door een aantal maal het uitlezen van data (maximaal 10 bytes), waardoor telkens de inhoud van het geselecteerde eindpunt-databuffer wordt meegenomen. Na elke uitlezing wordt de interne buffer-pointer met 1 verhoogd.
De buffer-pointer wordt door dit commando niet gereset, zodat het lezen of schrijven van een buffer door een willekeurig commando mag worden onderbroken (behalve Select Endpoint). Ook kunnen meer dan één I^2C-transacties plaatsvinden (lees de eerste 2 bytes om het aantal data-bytes te bepalen en lees daarna de rest uit met andere transacties).

De data in de buffer is als volgt georganiseerd:
- Byte 0:
  Gereserveerd (mag elke waarde hebben)
- Byte 1:
  Aantal/lengte van de data-bytes
- Byte 2:
  Data-byte 1
- Byte 3: data-byte 2
- ....

Write Buffer

Het Write Buffer-commando wordt ook gevolgd door meerdere data-schrijfhandelingen (maximaal 10 bytes) naar de eindpunten-buffer. De data moet op dezelfde manier zijn georganiseerd als hiervoor beschreven bij het Read Buffer-commando. Het eerste byte (gereserveerd) moet altijd "0" zijn. Net als bij het Read Buffer-commando mag de data worden verdeeld over verschillende I^2C data-transacties.

WAARSCHUWING

Er zijn geen beveiligingen tegen het overschrijden van de grenzen van een buffer bij schrijven of lezen of tegen het schrijven in een OUT-buffer of lezen van een IN-buffer.

Clear Buffer

Wanneer een pakket compleet is ontvangen wordt een interne eindpunt buffer-vlag gezet. Alle daarop volgende pakketten worden geweigerd en geven een NAK (Negative Acknowledge) af. Als de microcontroller de data heeft gelezen moet hij de buffer vrijmaken door middel van het Clear Buffer-commando, waarna nieuwe pakketten weer worden geaccepteerd.

Validate Buffer

Als de microcontroller data naar een IN-buffer heeft geschreven moet hij door middel van het Validate Buffer commando de buffer-full vlag zetten. Dit geeft dan aan dat de data in de buffer geldig is en naar de host kan worden gezonden als de volgende IN-token wordt ontvangen.

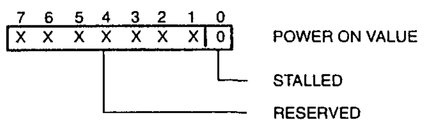
Set Endpoint Status

Een vastgelopen besturings-eindpunt wordt automatisch losgemaakt als het een SETUP-token ontvangt (onafhankelijk van de inhoud van het pakket). Als een vastgelopen eindpunt wordt vrijgemaakt (door een Set Endpoint Status-commando of door ontvangst van een SETUP-token) wordt dit ook opnieuw geïnitialiseerd. Hierdoor wordt de buffer leeg gemaakt en als het een OUT-buffer was, wacht het op een DATA O PID en als het een IN-buffer was, schrijft het een DATA O PID. Zelfs bij een niet-vastgelopen eindpunt initialiseert het schrijven van een "0" naar de Set Endpoint Status het eindpunt.

- Stalled:
  Een "1" geeft aan dat het eindpunt is vastgelopen.

Acknowledge Setup

Het binnenkomen van een SETUP pakket maakt het IN-buffer leeg en spert de Validate Buffer- en Clear Buffer-commando's voor zowel de IN als OUT eindpunten. De microcontroller moet deze commando's opnieuw vrijgeven door middel van het Acknowledge Setup commando. Dit garandeert dat het laatste SETUP pakket in het buffer blijft en dat geen enkel pakket wordt teruggestuurd naar de host totdat de microcontroller expliciet heeft bevestigd dat hij het SETUP pakket heeft gezien.



Figuur 9/11.3-13: Set Endpoint Status.

De microcontroller moet het Acknowledge Setup-commando naar de IN en OUT eindpunten sturen.

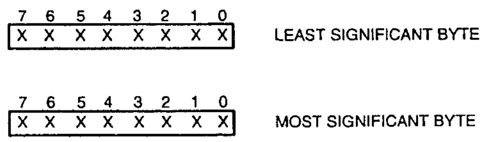
Algemene commando's

Send Resume

Dit commando stuurt gedurende 10 ms een upstream resume-signaal uit. Het RESUME-commando wordt niet gevolgd door lezen of schrijven van data.

Read Current Frame Number

Dit commando wordt gevolgd door één of twee uitlezingen van data en geeft dan informatie over het frame-nummer van het laatst succesvol ontvangen SOF (met de Least Significant Byte eerst).



Figuur 9/11.3-14: Informatie over het lopende framenummer.

Elektrische en timing eigenschappen

Tenslotte worden in de tabellen 9/11.3-5 tot en met -10 en de figuren 9/11.3-15 en -16 de elektrische en timing kenmerken van de PDIUSBD11 vermeld.

11.3 Type-beschrijving PDIUS-serie

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
V_{CC}	DC supply voltage		–0.5	+4.6	V
I_{IK}	DC input diode current	$V_I < 0$		–50	mA
V_I	DC input voltage	Note 2	–0.5	+5.5	V
$V_{I/O}$	DC input voltage range for I/O		–0.5	V_{CC} + 0.5	V
I_{OK}	DC output diode current	$V_O > V_{CC}$ or $V_O < 0$		±50	mA
V_O	DC output voltage	Note 2	–0.5	V_{CC} + 0.5	V
I_O	DC output sink or source current for other pins	V_O = 0 to V_{CC}		±15	mA
I_O	DC output sink or source current for D+/D– pins	V_O = 0 to V_{CC}		±50	mA
I_{GND}, I_{CC}	DC V_{CC} or GND current			±100	mA
T_{STG}	Storage temperature range		–60	+150	°C
P_{TOT}	Power dissipation per package				

Tabel 9/11.3-5: Maximaal toegelaten waarden voor de PDIUSBD11.

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
V_{CC}	DC supply voltage		3.0	3.6	V
V_I	DC input voltage range		0	5.5	V
$V_{I/O}$	DC input voltage range for I/O		0	5.5	V
$V_{AI/O}$	DC input voltage range for analog I/O		0	V_{CC}	V
V_O	DC output voltage range		0	V_{CC}	V
T_{amb}	Operating ambient temperature range in free air	See DC and AC characteristics per device	–40	85	°C

Tabel 9/11.3-6: Aanbevolen bedrijfscondities voor de PDIUSBD11.

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
	Input Levels:					
V_{IL}	LOW level input voltage				0.6	V
V_{IH}	HIGH level input voltage		2.7			V
V_{TLH}	LOW to HIGH threshold voltage	ST (Schmitt Trigger) pins	1.4		1.9	V
V_{THL}	HIGH to LOW threshold voltage	ST pins	0.9		1.5	V
V_{HYS}	Hysteresis voltage	ST pins	0.4		0.7	V
	Output Levels:					
V_{OL}	LOW level output voltage	I_{OL} = rated drive I_{OL} = 20 μA			0.4 0.1	V
V_{OH}	HIGH level output voltage	I_{OH} = rated drive I_{OH} = 20 μA	2.4 V_{CC} – 0.1			V
	Leakage Current:					
I_{OZ}	OFF state current	OD (Open Drain) pins			±5	μA
I_L	Input leakage current				±5	μA

Tabel 9/11.3-7: Gelijkspanningskenmerken, geldend voor de digitale pennen van de PDIUSBD11.

11.3 Type-beschrijving PDIUS-serie

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
	Leakage Current:				
I_{LO}	Hi-Z state data line leakage	$0V < V_{IN} < 3.3V$		±10	µA
	Input Levels:				
V_{DI}	Differential input sensitivity	$\|(D+) - (D-)\|$[1]	0.2		V
V_{CM}	Differential common mode range	Includes V_{DI} range	0.8	2.5	V
V_{SE}	Single-ended receiver threshold		0.8	2.0	V
	Output Levels:				
V_{OL}	Static output LOW	R_L of 1.5kΩ to 3.6V		0.3	V
V_{OH}	Static output HIGH	R_L of 15kΩ to GND	2.8	3.6	V
	Capacitance:				
C_{IN}	Transceiver capacitance	Pin to GND		20	pF
	Output Resistance:				
Z_{DRV}[2]	Driver output resistance	Steady state drive	29	44	Ω
	Integrated Resistance:				
Z_{PU}	Pull-up resistance	SoftConnect™ = ON	1.1	1.9	kΩ
Z_{PD}	Pull-down resistance	Pull-down = ON	11	19	kΩ

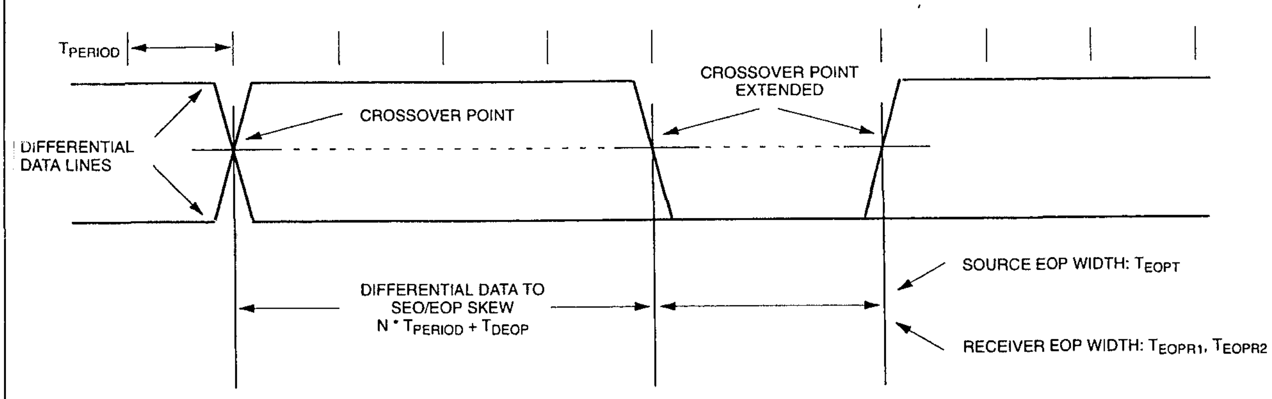
NOTES:
1. D+ is the symbol for the USB positive data pin: DP.
   D– is the symbol for the USB negative data pin: DM.
2. Includes external resistors of 22 Ω ± 1% each on D+ and D–.

Tabel 9/11.3-8: Gelijkspanningskenmerken, geldend voor de AI/O-pennen van de PDIUSBD11.

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
	Driver characteristics:	$C_L = 50pF$; $R_{pu} = 1.5k\Omega$ on D+ to V_{CC}			
 T_r T_f	Transition Time: Rise time Fall time	Between 10% and 90%	 4 4	 20 20	ns
T_{RFM}	Rise/fall time matching	(T_r/T_f)	90	110	%
V_{CRS}	Output signal crossover voltage		1.3	2.0	V
	Driver Timings:				
T_{EOPT}	Source EOP width	Figure 1	160	175	ns
T_{DEOP}	Differential data to EOP transition skew	Figure 1	–2	5	ns
	Receiver Timings:				
 T_{JR1} T_{JR2}	Receiver Data Jitter Tolerance To next transition For paired transitions	Characterized and not tested. Guaranteed by design.	–18.5 –9	18.5 9	ns
 T_{EOPR1} T_{EOPR2}	EOP Width at Receiver Must reject as EOP Must accept	Figure 1	 40 82		ns

Tabel 9/11.3-9: Schakeltijden op de AI/O-pennen van de PDIUSBD11 (op volle snelheid, zie ook figuur 9/11.3-15).

11.3 Type-beschrijving PDIUS-serie



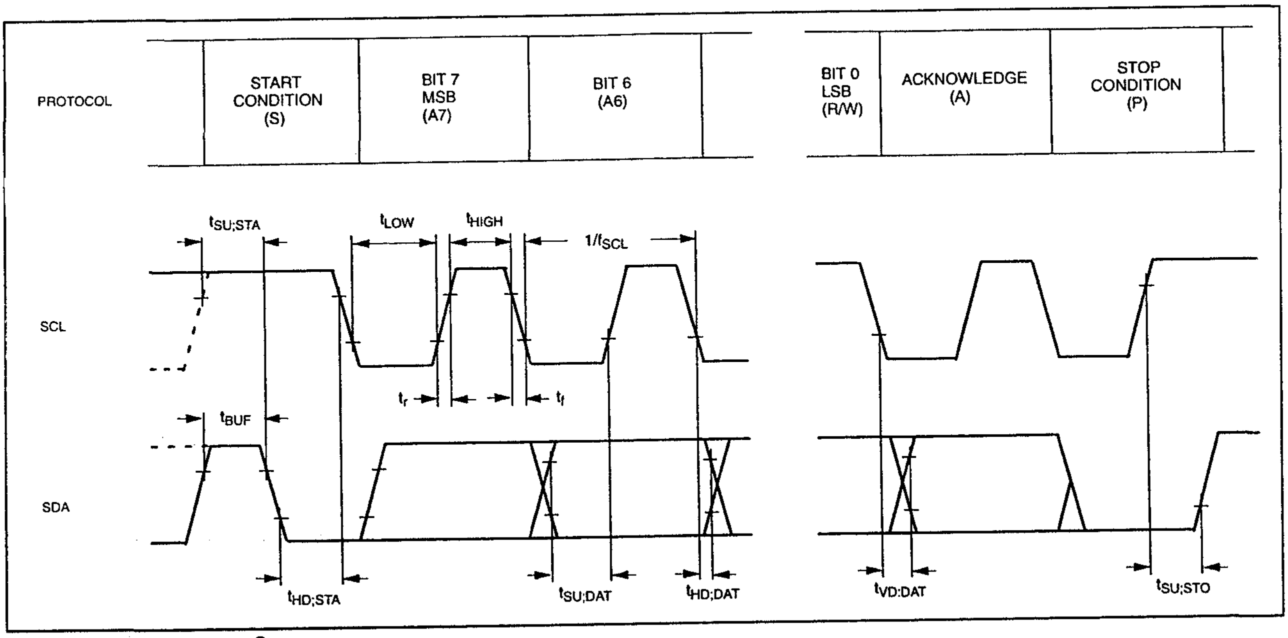
Figuur 9/11.3-15: Differentiële data (EOP transition-skew en EOP breedte).

All timing values are valid within the operating supply voltage and ambient temperature range and reference to V_{IL} and V_{IH} with an input voltage swing of V_{SS} and V_{DD}.

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
F_{SCL}	S_{CL} clock frequency			1000	kHz
T_{BUF}	Bus free time		0.5		µs
$T_{SU;STA}$	Start condition set-up time		0.25		µs
$T_{HD;STA}$	Start condition hold time		0.25		µs
T_{LOW}	S_{CL} LOW time		0.45		µs
T_{HIGH}	S_{CL} HIGH time		0.45		µs
T_r	S_{CL} and S_{DA} rise time			0.3	µs
T_f	S_{CL} and S_{DA} fall time			0.1	µs
$T_{SU;DAT}$	Data set-up time		100		ns
$T_{HD;DAT}$	Data hold time		0		ns
$T_{VD;DAT}$	S_{CL} LOW to data out valid			0.4	µs
$T_{SU;STO}$	Stop condition set-up time		0.25		µs

Tabel 9/11.3-10: Schakeltijden op de I^2C-pennen van de PDIUSBD11 (zie ook figuur 9/11.3-16).

11.3 Type-beschrijving PDIUS-serie



Figuur 9/11.3-16: I^2C-bus tijddiagram.

(wordt vervolgd)

11.3 Type-beschrijving PDIUS-serie

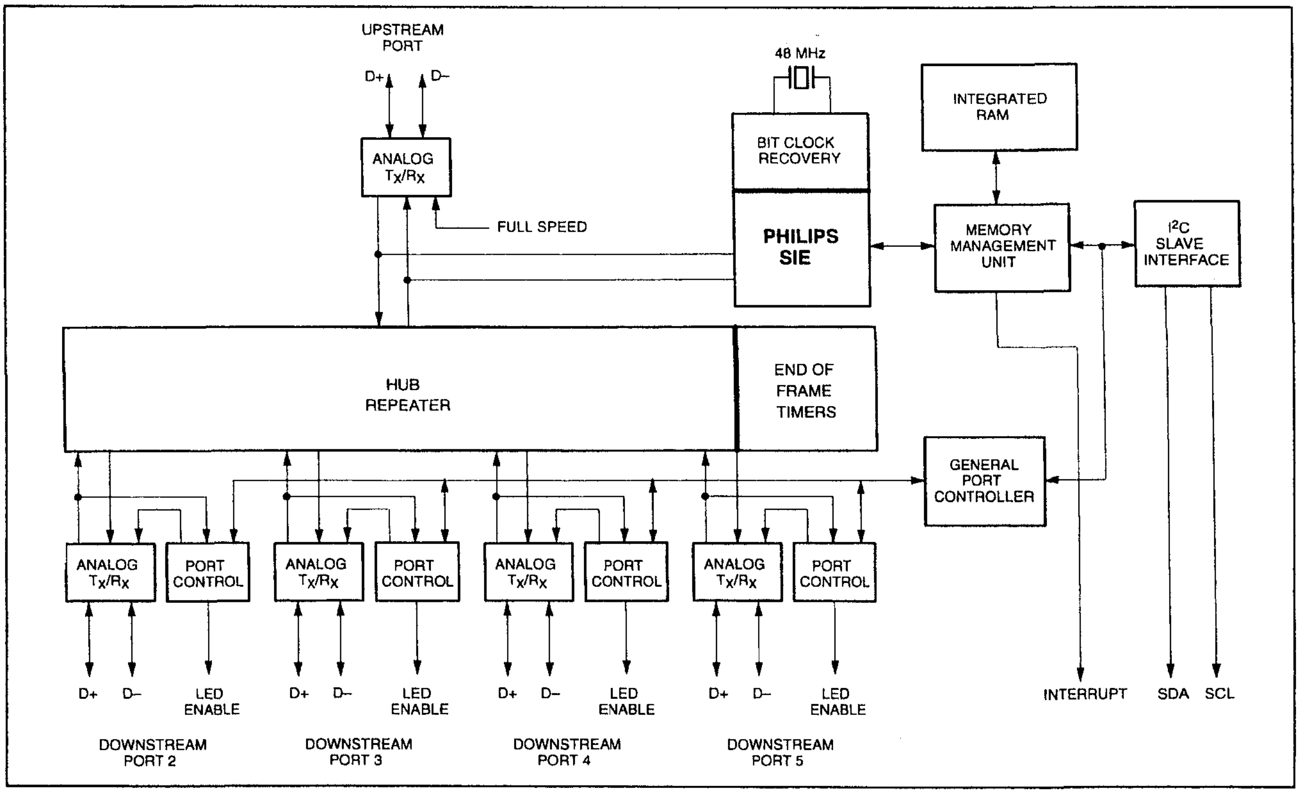
PDIUSBH11

USB-hub met I²C-interface

De PDIUSBH11 is een samengestelde USB-interface schakeling (hub + ingebedde functie). Hij wordt gebruikt in microcontroller-systemen die via de I²C seriële bus toegankelijk zijn. Deze modulaire aanpak stelt de ontwerper in staat zijn eigen microcontroller en bestaande architectuur te gebruiken. Deze flexibiliteit heeft een gunstige invloed op de ontwikkeltijd, risico en kosten.
De PDIUSBH11 voldoet aan de USB versie 1.0 en I²C seriële interface specificaties. De ingebedde functie van de PDIUSBH11 is als PORT1 zichtbaar voor het host systeem en de vier downstream-poorten zijn 2, 3, 4 en 5 genummerd.

Technische gegevens

- voldoet aan de Universele Seriële Bus versie 1.0 specificaties
- voldoet aan USB Human Interface en Display Devices Class
- 4 downstream poorten
- ingebedde functie met twee eindpunten (control en interrupt)
- geïntegreerd FIFO-geheugen voor hub en ingebedde functie
- automatische USB protocol afhandeling
- I²C interface (max. 100 kbit/s)
- enkele 3,3 V voeding met 5 V tolerante I/O
- 32-pens SDIP en SO-behuizing
- fabrikant: Philips



Figuur 9/11.3-17: Blokschema van de PDIUSBH11.

11.3 Type-beschrijving PDIUS-serie

PIN DESCRIPTION (MODE 0)

PIN NO	PIN SYMBOL	I/O	DRIVE	NAME AND FUNCTION
1	TEST1	I		Connect to Ground
2	TEST2	I		Connect to Ground
3	TEST3	I		Connect to Ground
4	RESET_N	I	ST	Power-on reset
5	GND	POWER		Ground reference
6	XTAL1	I/O		Crystal connection 1 (48MHz)
7	XTAL2	I/O		Crystal connection 2 (48MHz)
8	CLK12MHZ	O	2mA	12MHz output clock for external devices
9	V_{CC}	POWER		Voltage supply 3.3V ± 0.3V
10	OCURRENT_N	I	ST	Over-current notice to the device
11	SWITCH_N	O	OD8	Enables power to downstream ports
12	SUSPEND	O	4mA	Device is in suspended state
13	DN2_EN_N	O	OD8	Downstream port 2 LED enable indicator
14	DN3_EN_N	O	OD8	Downstream port 3 LED enable indicator
15	DN4_EN_N	O	OD8	Downstream port 4 LED enable indicator
16	DN5_EN_N	O	OD8	Downstream port 5 LED enable indicator
17	INT_N	O	OD4	Connect to microcontroller interrupt
18	SDA	I/O	OD4	I^2C bi-directional data
19	SCL	I/O	OD4	I^2C bit-clock
20	GND	POWER		Ground reference
21	DN5_DP	AI/O		Downstream port 5 D^+ connection
22	DN5_DM	AI/O		Downstream port 5 D^- connection
23	DN4_DP	AI/O		Downstream port 4 D^+ connection
24	DN4_DM	AI/O		Downstream port 4 D^- connection
25	DN3_DP	AI/O		Downstream port 3 D^+ connection
26	DN3_DM	AI/O		Downstream port 3 D^- connection
27	DN2_DP	AI/O		Downstream port 2 D^+ connection
28	DN2_DM	AI/O		Downstream port 2 D^- connection
29	AGND	POWER		Analog Ground reference
30	AV_{CC}	POWER		Analog voltage supply 3.3V ± 0.3V
31	UP_DP	AI/O		Upstream D^+ connection
32	UP_DM	AI/O		Upstream D^- connection

Tabel 9/11.3-11: Aansluitingen en functies van de aansluitpennen van de PDIUSBH11 in mode 0.

11.3 Type-beschrijving PDIUS-serie

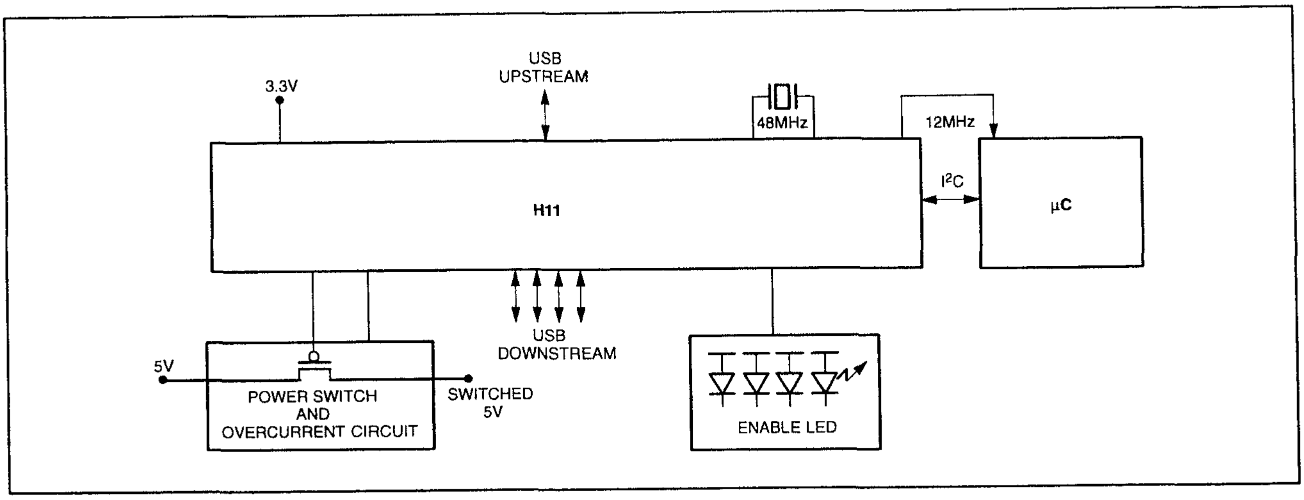
PIN DESCRIPTION (MODE 1)

PIN NO	PIN SYMBOL	I/O	DRIVE	NAME AND FUNCTION
1	TEST1	I		Connect to V_{CC}
2	TEST2	I		Connect to V_{CC}
3	TEST3	I		Connect to Ground
4	RESET_N	I	ST	Power-on reset
5	GND	POWER		Ground reference
6	XTAL1	I/O		Crystal connection 1 (48MHz)
7	XTAL2	I/O		Crystal connection 2 (48MHz)
8	CLK12MHZ	O	2mA	12MHz output clock for external devices
9	V_{CC}	POWER		Voltage supply 3.3V ± 0.3V
10	OCURRENT2_N	I	ST	Downstream port 2 over-current notice
11	SWITCH_N	O	OD8	Enables power to downstream ports
12	SUSPEND	O	4mA	Device is in suspended state
13	DN2_EN_N	O	OD8	Downstream port 2 LED enable indicator
14	OCURRENT3_N	I	ST	Downstream port 3 over-current notice
15	OCURRENT4_N	I	ST	Downstream port 4 over-current notice
16	OCURRENT5_N	I	ST	Downstream port 5 over-current notice
17	INT_N	O	OD4	Connect to microcontroller interrupt
18	SDA	I/O	OD4	I^2C bi-directional data
19	SCL	I/O	OD4	I^2C bit-clock
20	GND	POWER		Ground reference
21	DN5_DP	AI/O		Downstream port 5 D^+ connection
22	DN5_DM	AI/O		Downstream port 5 D^- connection
23	DN4_DP	AI/O		Downstream port 4 D^+ connection
24	DN4_DM	AI/O		Downstream port 4 D^- connection
25	DN3_DP	AI/O		Downstream port 3 D^+ connection
26	DN3_DM	AI/O		Downstream port 3 D^- connection
27	DN2_DP	AI/O		Downstream port 2 D^+ connection
28	DN2_DM	AI/O		Downstream port 2 D^- connection
29	AGND	POWER		Analog Ground reference
30	AV_{CC}	POWER		Analog voltage supply 3.3V ± 0.3V
31	UP_DP	AI/O		Upstream D^+ connection
32	UP_DM	AI/O		Upstream D^- connection

NOTES:
1. Signals ending in _N indicate active low signals.
   ST: Schmitt Trigger
   OD4, OD8: Open Drain with 4 or 8 mA drive
   AI/O: Analog I/O

Tabel 9/11.3-12: Aansluitingen en functies van de aansluitpennen van de PDIUSBH11 in mode 1.

11.3 Type-beschrijving PDIUS-serie



Figuur 9/11.3-18: Toepassingsvoorbeeld van de PDIUSBH11.

Werking van de PDIUSBH11

Analoge Transceivers

Deze transceivers kunnen direkt (via enkele afsluitweerstanden) worden aangesloten op de USB-kabel.
Er kan data worden ontvangen en verzonden op "volle snelheid" (12 Mbit/s) en op "lage snelheid" (1,5 Mbit/s).

Hub Repeater

De hub repeater is verantwoordelijk voor de handhaving van de verbinding op een "per pakket" basis. De hub repeater verzorgt de verbinding voor pakket-signalering en resume.
Aan de downstream-poorten kunnen low-speed apparaten worden aangesloten, aangezien de repeater hieraan geen upstream pakketten doorgeeft tenzij ze worden vooraf gegaan door een PREAMBLE PID.

End of Frame Timers

Dit blok bevat de gespecificeerde EOF1 en EOF2 timers die worden gebruikt om "loss-of-activity" en "babble error" condities in de hub repeater te detecteren. De timers handhaven ook de low-speed keep-alive strobe die aan het begin van een frame wordt verzonden.

Algemene en Individuele Port Controller

De general en individual poort-controllers leveren samen de status en besturings signalen voor de individuele downstream-poorten. Via de I²C-interface kan een microcontroller toegang krijgen tot de downstream-poorten en de status van elke individuele poort opvragen of veranderen. Elke verandering van de status of de settings van een individuele poort resulteert in een interrupt-request. Via een interrupt-register kan de service verlenende microcontroller de downstream-poort die de interrupt veroorzaakte bekijken en zijn nieuwe status opvragen. Elke statusverandering van een poort kan daarna aan de host worden gemeld via het veranderde hub-status eindpunt.

Bit Clock Recovery

Het bit-clock recovery-circuit wint het clocksignaal terug uit de binnenkomende USB data-stroom. Hierbij wordt gebruik gemaakt van het 4x oversample-principe.

Serial Interface Engine (SIE)

De Philips SIE implementeert de volledige USB-protocol laag. Dit blok is compleet in hardware uitgevoerd en heeft geen firmware nodig. De functies zijn onder meer: herkenning van het synchronisatie-patroon, paral-

lel/serie-omzetting, bit stuffing/destuffing, CRC checking/generatie, PID verificatie/generatie, adres-herkenning, handshake evaluatie/generatie.

Memory Management Unit (MMU) en geïntegreerde RAM
De MMU en de geïntegreerde RAM worden gebruikt om het hoofd te bieden aan het grote verschil in data-snelheid tussen de USB (die bursts van 12 Mbit/s verwerkt) en de I^2C-interface naar de microcontroller (die 100 kbit/s kan doen). Hierdoor kan de microcontroller met zijn eigen snelheid USB-pakketjes lezen en schrijven.

I^2C Slave Interface
Dit blok implementeert het benodigde I^2C-interface protocol. Een I^2C-slave maakt eenvoudige micro-codering mogelijk. Door middel van een interrupt wordt de microcontroller gewaarschuwd wanneer de PDIUSBH11 aandacht vraagt. Aangezien de PDIUSBH11 als slaaf werkt is de SCL-lijn van de I^2C-clock een ingang die door de microcontroller wordt bestuurd.

De I^2C-verbinding

I^2C-interface
De I^2C-bus wordt gebruikt om de USB-schakeling te laten besturen door een externe microcontroller. Om kosten te besparen kan de systeem-microcontroller ook worden gebruikt voor andere functies. De PDIUSBH11 implementeert een slaaf I^2C-interface. Als communicatie met de microcontroller nodig is geeft de PDIUSBH11 een interrupt-signaal af. De microcontroller verleent service aan deze interrupt door via de I^2C-bus het betreffende status-register in de PDIUSBH11 uit te lezen.
Bij de PDIUSBH11 zijn twee verschillende handelingen mogelijk:
- Command transaction:
  Deze handeling wordt gebruikt om vast te stellen welke data (bijvoorbeeld een status-byte, buffer data, enz.) bij de volgende data-overdracht naar de USB-interface zal worden gelezen/geschreven. Na een command transaction volgt meestal een data-transaction.
- Data transaction:
  Bij een data-transactie wordt data naar de USB-interface geschreven of daaruit uitgelezen. De betekenis van de data is afhankelijk van de command transaction die ervoor werd verzonden.

Om onderscheid te maken tussen command- en data transactions worden er twee adressen gebruikt (figuur 9/11.3-19). Schrijven naar het commando-adres wordt opgevat als commando, terwijl lezen/schrijven van/naar het data-adres wordt gebruikt om data tussen de PDIUSBH11 en de controller over te brengen.

TYPE OF ADDRESS	PHYSICAL ADDRESS (MSB to LSB)
Command	0011 011 (binary)
Data	0011 010 (binary)

Figuur 9/11.3-19: Adrestabel.

Protocol
Een I^2C-transactie begint met een Start-conditie, gevolgd door een adres. Als het adres overeenkomt met het commando- of het data-adres begint de transactie die doorgaat tot het optreden van een Stop-conditie of nog een Start-conditie (herhaalde start). Het commando-adres is "write-only" en kan dus niet worden uitgelezen. De volgende bytes van het bericht worden opgevat als commando's. Er kunnen meerdere command-bytes achter elkaar naar het commando-adres worden gestuurd. Elk command-byte wordt bevestigd en doorgestuurd naar de Memory Management Unit in de PDIUSBH11.
Als het adres van de Start-conditie overeenkomt met het data-adres, worden de volgen-

11.3 Type-beschrijving PDIUS-serie

de bytes opgevat als data. Wanneer het RW-bit in het adres “0” is ("master schrijft data naar slave") worden de bytes ontvangen, bevestigd en doorgegeven naar de MMU. Als het RW-bit “1” is ("master leest data uit slave") zendt de PDIUSBH11 data naar de master. De I^2C-master moet alle databytes bevestigen, behalve de laatste. Op deze wijze weet de I^2C-interface wanneer het laatste byte is verzonden, waarna hij de SDA-lijn vrijgeeft zodat de master-controller de Stop-conditie kan genereren.
Bij “herhaalde start” kan nog een pakket worden verzonden zonder opwekking van een Stop-conditie.

Timing
Wanneer de master data naar de PDI-USBH11 schrijft, wordt data 1 microseconde na de stijgende flank van SCL bemonsterd. Als de PDIUSBH11 data naar de master schrijft, wordt data 1 microseconde na de dalende flank van SCL verstuurd.

Commando-beschrijvingen
Er zijn vier typen commando's: initialisatie, data, hub-specifieke- en algemene commando's.
Sommige commando's hebben dezelfde commando-code (bijvoorbeeld Read Buffer en Write Buffer). In deze gevallen bepaalt de richting van de data-fase (lezen of schrijven) welk commando wordt uitgevoerd.

FUNCTION	ENDPOINT NUMBER	ENDPOINT TYPE	TRANSFER TYPE	DIRECTION	MAXIMUM PACKET SIZE (bytes)
HUB	0	Default	Control	IN, OUT	8
	1	Status change	Interrupt	IN	1
EMBEDDED	0	Default	Control	IN, OUT	8
	1	Interrupt	Interrupt	IN	8

Tabel 9/11.3-13: Eindpunt-beschrijvingen (zie ook tabel 9/11.3-14).

11.3 Type-beschrijving PDIUS-serie

COMMAND NAME	RECIPIENT	CODING	DATA PHASE
Initialization Commands			
Set Address / Enable	Hub	D0h	Write 1 byte
	Embedded Function	D1h	Write 1 byte
Set Endpoint Enable	Hub + Embedded Function	D8h	Write 1 byte
Data Flow Commands			
Read Interrupt Register		F4h	Read 1 byte
Select Endpoint	Hub Control OUT	00h	Read 1 byte (optional)
	Hub Control IN	01h	Read 1 byte (optional)
	Embedded Function Control OUT	02h	Read 1 byte (optional)
	Embedded Function Control IN	03h	Read 1 byte (optional)
	Embedded Function Interrupt	04h	Read 1 byte (optional)
Read Last Transaction Status	Hub Control OUT	40h	Read 1 byte
	Hub Control IN	41h	Read 1 byte
	Embedded Function Control OUT	42h	Read 1 byte
	Embedded Function Control IN	43h	Read 1 byte
	Embedded Function Interrupt	44h	Read 1 byte
Read Endpoint Status	Hub Control OUT	80h	Read 1 byte
	Hub Control IN	81h	Read 1 byte
	Embedded Function Control OUT	82h	Read 1 byte
	Embedded Function Control IN	83h	Read 1 byte
	Embedded Function Interrupt	84h	Read 1 byte
Read Buffer	Selected Endpoint	F0h	Read n bytes
Write Buffer	Selected Endpoint	F0h	Write n bytes
Set Endpoint Status	Hub Control OUT	40h	Write 1 byte
	Hub Control IN	41h	Write 1 byte
	Embedded Function Control OUT	42h	Write 1 byte
	Embedded Function Control IN	43h	Write 1 byte
	Embedded Function Interrupt	44h	Write 1 byte
Acknowledge Setup	Selected Endpoint	F1h	None
Clear Buffer	Selected Endpoint	F2h	None
Validate Buffer	Selected Endpoint	FAh	None
Hub Commands			
Clear Port Feature	Port 2	E0h	Write 1 byte
	Port 3	E1h	Write 1 byte
	Port 4	E2h	Write 1 byte
	Port 5	E3h	Write 1 byte
Set Port Feature	Port 2	E8h	Write 1 byte
	Port 3	E9h	Write 1 byte
	Port 4	EAh	Write 1 byte
	Port 5	EBh	Write 1 byte
Get Port Status	Port 2	E0h	Read 1 or 2 bytes
	Port 3	E1h	Read 1 or 2 bytes
	Port 4	E2h	Read 1 or 2 bytes
	Port 5	E3h	Read 1 or 2 bytes
Set Status Change Bits		F7h	Write 1 byte
General Commands			
Send Resume		F6h	None
Read Current Frame Number		F5h	Read 1 or 2 bytes

Tabel 9/11.3-14: Overzicht van de commando's voor de PDIUSBH11.

Initialisatie-commando's

Set Address/Enable

Dit commando wordt gebruikt om het aangewezen USB-adres in te stellen en de functie vrij te geven (zie figuur 9/11.3-4).

Set Endpoint Enable

De interrupt eindpunten kunnen alleen worden vrijgegeven als de functie via het Set Address/Enable-commando is vrijgegeven.

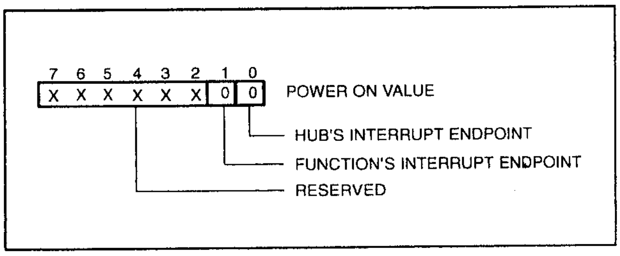
- Hub's Interrupt Endpoint:
  Een "1" geeft aan dat het interrupt eindpunt van de hub is vrijgegeven.
- Function Interrupt Endpoint:
  Een "1" geeft aan dat het interrupt eindpunt van de ingebedde functie is vrijgegeven.

Data Flow-commando's

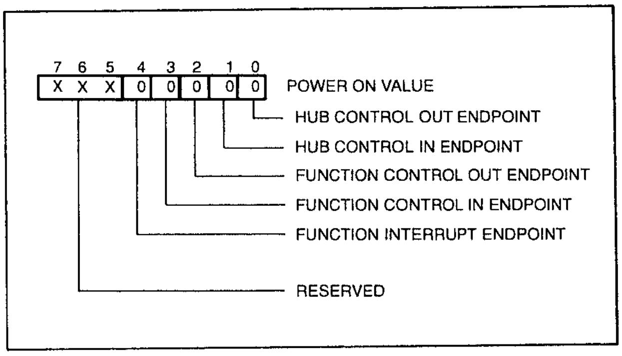
Data Flow-commando's worden gebruikt om het datatransport tussen de USB-eindpunten en de monitor te beheren. Een groot deel van de data-overdracht wordt via een interrupt naar de microcontroller geïnitieerd. De microcontroller gebruikt deze commando's om toegang te krijgen tot de eindpunt-FIFO's en om te bepalen of deze geldige data hebben.

Read Interrupt Register

Dit commando geeft aan waar een interrupt vandaan komt (er wordt 1 byte gelezen). Een "1" signaleert dat op dit eindpunt een interrupt optrad. De bits worden gecleared door het uitlezen van het eindpunt-statusregister door middel van het Read Endpoint Status Command.



Figuur 9/11.3-20: Set Endpoint Enable.



Figuur 9/11.3-21: Interrupt Register in de PDIUSBH11.

Na het resetten van de bus wordt een interrupt gegenereerd, terwijl alle bits in het Interrupt Register "0" worden. De interrupt wordt intern gecleared door uitlezen van het interrupt register. Een bus reset is identiek aan de hardware reset via de RESET_N-pen (er is alleen verschil in interrupt-melding). Het hub-interrupt eindpunt wordt inwendig door de PDIUSBH11 hardware behandeld zonder dat de microcontroller daarvoor in aktie hoeft te komen.

Select Endpoint

Het Select Endpoint commando initialiseert een interne pointer naar het begin van de geselecteerde buffer. Het is mogelijk dit commando te laten volgen door een data read die "0" teruggeeft als de buffer leeg is en "1" als de buffer vol is (zie figuur 9/11.3-10).

Read Last Transaction Status

Het Read Last Transaction Status commando wordt gevolgd door éénmaal data-uitlezen die de status van de laatste transactie van het eindpunt weergeeft. Dit commando reset ook de overeenkomende interrupt-vlag in het interrupt-register en cleart de status (waardoor wordt aangegeven dat deze werd uitgelezen). Dit commando is nuttig voor debug-doeleinden.
Aangezien elke handeling wordt bijgehouden wordt de status-informatie bij elke nieuwe transactie overschreven (zie figuur 9/11.3-11).

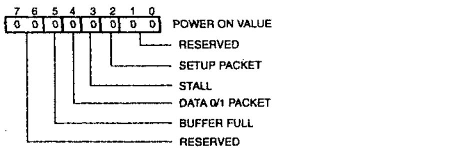
11.3 Type-beschrijving PDIUS-serie

ERROR CODE	RESULT
0000	No Error
0001	PID Encoding Error, Bits 7–4 are not the inversion of bits 3–0
0010	PID Unknown, encoding is valid, but PID does not exist
0011	Unexpected Packet, Packet is not of the type expected (= token, data or acknowledge), or SETUP token to a non-control endpoint
0100	Token CRC Error
0101	Data CRC Error
0110	Time Out Error
0111	Babble Error
1000	Unexpected End of Packet
1001	Sent or Received NAK
1010	Sent Stall, a token was received, but the endpoint was stalled
1011	Overflow Error, the received packet was longer than the available buffer space
1101	Bitstuff Error
1111	Wrong DATA PID, the received DATA PID was not the expected one

Tabel 9/11.3-15: Fout-codes van de PDIUSBH11.

Read Endpoint Status

Om de status van een eindpunt te bepalen wordt een byte uitgelezen.



SETUP PACKET — A '1' INDICATES THE LAST RECEIVED PACKET WAS A SETUP TOKEN
STALL — A '1' INDICATES THE ENDPOINT IS STALLED
DATA 0/1 PACKET — A '1' INDICATES THAT THE LAST RECEIVED OR SENT PACKET HAD A DATA1 PID
BUFFER FULL — A '1' INDICATES THAT THE BUFFER IS FULL

Figuur 9/11.3-22: Status van het eindpunt.

- Setup Packet:
  Een "1" geeft aan dat het laatst ontvangen pakket een SETUP token was.
- STALL:
  Een "1" geeft aan dat het eindpunt is vastgelopen
- Data 0/1 Packet:
  Een "1" geeft aan dat het laatst ontvangen of verzonden pakket een DATA1 PID bevatte.
- Buffer Full:
  Een "1" geeft aan dat het buffer vol is.

Read Buffer

Het Read Buffer-commando wordt gevolgd door een aantal data-uitlezingen (maximaal 10 bytes), waardoor telkens de inhoud van het geselecteerde eindpunt-databuffer wordt meegenomen. Na elke uitlezing wordt de interne buffer-pointer met 1 verhoogd.
De buffer-pointer wordt door dit commando niet gereset, zodat het lezen of schrijven van een buffer door een willekeurig commando mag worden onderbroken (behalve Select Endpoint). Ook kunnen meer dan één I^2C-transacties plaatsvinden (lees de eerste 2 bytes om het aantal data-bytes te bepalen en lees daarna de rest uit met andere transacties). De data in de buffer is als volgt georganiseerd:
- Byte 0:
  Gereserveerd (mag elke waarde hebben).
- Byte 1:
  Aantal/lengte van de data-bytes.
- Byte 2:
  Data-byte 1.
- Byte 3:
  Data-byte 2.

11.3 Type-beschrijving PDIUS-serie

Write Buffer
Het Write Buffer-commando wordt ook gevolgd door meerdere data-schrijfhandelingen (maximaal 10 bytes) naar de eindpunten-buffer. De data moet op dezelfde manier zijn georganiseerd als hiervoor beschreven bij het Read Buffer-commando. Het eerste byte (gereserveerd) moet altijd "0" zijn. Net als bij het Read Buffer-commando mag de data worden verdeeld over verschillende I^2C data-transacties.

WAARSCHUWING
Er zijn geen beveiligingen tegen het overschrijden van de grenzen van een buffer bij schrijven of lezen of tegen het schrijven in een OUT-buffer of lezen van een IN-buffer.

Clear Buffer
Wanneer een pakket compleet is ontvangen wordt een interne eindpunt buffer-vlag gezet. Alle daarop volgende pakketten worden geweigerd en geven een NAK (Negative Acknowledge) af. Als de microcontroller de data heeft gelezen moet hij de buffer vrijmaken door middel van het Clear Buffer-commando, waarna nieuwe pakketten weer worden geaccepteerd.

Validate Buffer
Als de microcontroller data naar een IN-buffer heeft geschreven moet hij door middel van het Validate Buffer commando de buffer-full vlag zetten. Dit geeft aan dat de data in de buffer geldig is en naar de host kan worden gezonden als de volgende IN-token wordt ontvangen.

Set Endpoint Status
Een vastgelopen besturings-eindpunt wordt automatisch losgemaakt als het een SETUP-token ontvangt (onafhankelijk van de inhoud van het pakket). Als een vastgelopen eindpunt wordt vrijgemaakt (door een Set Endpoint Status-commando of door ontvangst van een SETUP-token) wordt dit ook opnieuw geïnitialiseerd. Hierdoor wordt de buffer leeg gemaakt. Als het een OUT-buffer was, wacht het op een DATA O PID; als het een IN-buffer was, schrijft het een DATA O PID. Zelfs bij een niet-vastgelopen eindpunt initialiseert het schrijven van een "0" naar de Set Endpoint Status het eindpunt (zie figuur 9/11.3-13).

Acknowledge Setup
Het binnenkomen van een SETUP pakket maakt het IN-buffer leeg en spert de Validate Buffer- en Clear Buffer-commando's voor zowel de IN als OUT eindpunten. De microcontroller moet deze commando's opnieuw vrijgeven door middel van het Acknowledge Setup commando. Dit garandeert dat het laatste SETUP pakket in het buffer blijft en dat geen enkel pakket wordt teruggestuurd naar de host totdat de microcontroller expliciet heeft bevestigd dat hij het SETUP pakket heeft gezien.
De microcontroller moet het Acknowledge Setup-commando naar de IN en OUT eindpunten sturen.

Hub commando's
Hub-commando's worden gebruikt om de status van de verbinding en de voeding tussen hub en host te rapporteren. Deze commando's stellen de host in staat om elke poort apart vrij te geven en alle statusveranderingen op te nemen.

Clear/Set Port Feature
Als de controller een verzoek om Set Feature of een Clear Feature ontvangt, zijn er twee mogelijkheden:
- Het verzoek heeft betrekking op poort 1 (de ingebedde poort). In dit geval moet het verzoek intern door de controller worden behandeld.
- Als het verzoek betrekking heeft op de poorten 2 tot en met 5 moet de controller het verzoek vertalen in een Set Feature- of een Clear Feature commando naar de PDIUSBH11.

Als de PDIUSBH11 in mode 0 is geconfigureerd, is er slechts één geschakelde voe-

dings-uitgang en één overstroom-ingang. Dit betekent dat de F_PORT_POWER en C_PORT_OVERCURRENT eigenschappen niet poort-specifiek zijn. Voor deze eigenschappen kan een willekeurig Set/Clear Feature commando worden gebruikt. De specifieke poortopdracht wordt dan genegeerd.
Als de PDIUSBH11 in mode 1 is geconfigureerd, is er nog steeds slechts één geschakelde voedings-uitgang, maar er zijn vier individuele overstroom-ingangen. Dit betekent dat de F_PORT_POWER eigenschap poortspecifiek is en de C_PORT_OVERCURRENT eigenschap niet poort-specifiek.
Door het zetten van de F_PORT_POWER eigenschap wordt de voeding ingeschakeld (als die uit stond) en wordt de overstroomdetectie alleen ingeschakeld als de voeding al aanstaat. Hierdoor is het mogelijk dat er gedurende korte tijd een overstroom-situatie is. Om deze reden moet de F_PORT_POWER eigenschap tweemaal worden gezet. Door dit te clearen worden zowel de voeding als de overstroom-detectie uitgeschakeld. De data die in de data-fase wordt geschreven bepaalt de eigenschap die in tabel 9/11.3-16 te zien is.

Get Port Status

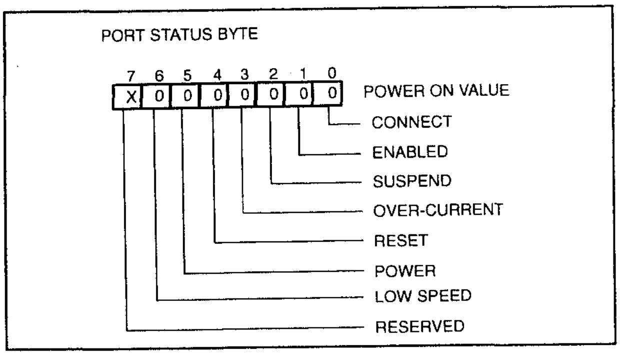
Met dit commando wordt de poort-status opgehaald. Het kan worden gevolgd door één of twee data-uitlezingen. Het eerst opgehaalde byte bevat de poort-status (figuur 9/11.3-23); de twee byte is de poort status-change byte (figuur 9/11.3-24) waarmee de statusverandering bekend wordt.

- Connect:
  Een "1" geeft aan dat een schakeling op deze poort van de hub is aangesloten.
- Enabled:
  Een "1" betekent dat deze poort is vrijgegeven.
- Suspend:
  Een "1" betekent dat deze poort is uitgesteld.
- Overcurrent:
  Een "1" signaleert dat er op deze poort een overstroom-conditie bestaat. In mode 0 is dit bit dezelfde voor alle poorten. In mode 1 is individuele overstroom-indicatie mogelijk.
- Reset:
  Een "1" geeft aan dat er bus-reset op deze poort aan de gang is. Als de reset klaar is (na 10 ms) wordt dit bit "0".
- Power:
  Een "1" betekent dat downstream poorten gevoed worden. Aangezien de PDIUSBH11 "gang mode power switching" ondersteunt is dit bit voor alle poorten gelijk.
- Low speed:
  Een "1" signaleert dat op deze poort een langzame schakeling is aangesloten. Dit bit is alleen geldig als het connect-bit "1" is.

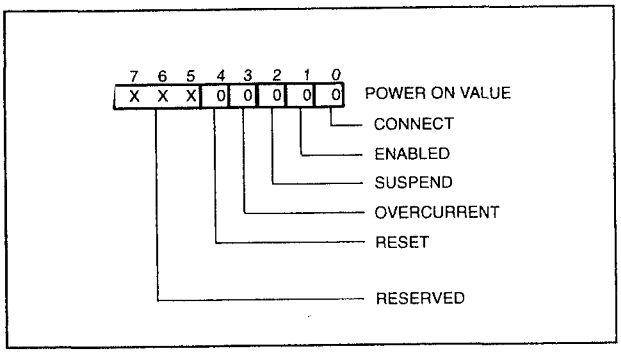
FEATURE	FEATURE CODE	SET	CLEAR
F_PORT_ENABLE	0	Enables a port	Disables a port
F_PORT_SUSPEND	1	Suspends a port	Resumes a port
FC_PORT_RESET	2	Resets a port	Clears a port Reset Change bit
F_PORT_POWER	3	Powers all ports	Unpowers all ports
C_PORT_CONNECTION	4	–	Clears a port Connection Change bit
C_PORT_ENABLE	5	–	Clears a port Enable Change bit
C_PORT_SUSPEND	6	–	Clears a port Suspend Change bit
C_PORT_OVERCURRENT	7	–	Clears a port (Mode 1) or hub (Mode 0) Overcurrent Change bit

Tabel 9/11.3-16: Feature codes voor de PDIUSBH11.

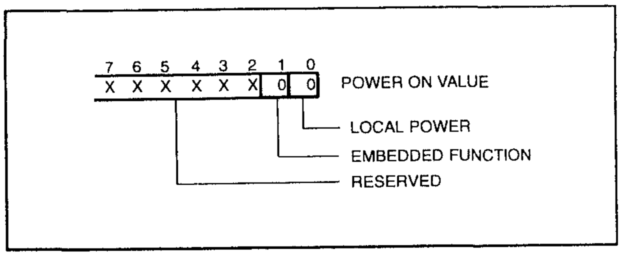
11.3 Type-beschrijving PDIUS-serie



Figuur 9/11.3-23: Poort Status Byte.



Figuur 9/11.3-24: Port Status Change Byte.



Figuur 9/11.3-25: Set Status Change Bits.

Voor dit byte geldt dezelfde beschrijving als voor het Port Status Byte (figuur 9/11.3-23). De bits zijn hier echter alleen "1" als zich een verandering voordeed.

Set Status Change Bits

Om het status-change register van de hub te kunnen assembleren heeft de schakeling wat extra informatie van de controller nodig, namelijk het Local Power Status Change bit en het Embedded Function Status Change bit. Deze worden geleverd door het Set Status Change Bits commando. Dit commando wordt altijd gevolgd door één data write die het lokale status-veranderingsbit op de LSB heeft en het ingebedde status-veranderingsbit op positie 1. Alle overige bits moeten "0" zijn.

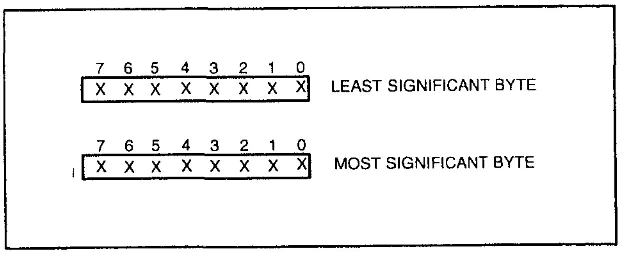
Algemene commando's

Send Resume

Dit commando stuurt gedurende 10 ms een upstream resume-signaal uit. Meestal wordt het gebruikt als de schakeling zich in suspend bevindt. Het RESUME-commando wordt niet gevolgd door lezen of schrijven van data. De PDIUSBH11 stuurt automatisch een RESUME uit als er downstream iets gebeurt.

Read Current Frame Number

Dit commando wordt gevolgd door één of twee uitlezingen van data en geeft dan informatie over het frame-nummer van het laatst succesvol ontvangen SOF (met de Least Significant Byte eerst).



Figuur 9/11.3-26: Informatie over het lopende framenummer.

Ingebedde functie

De USB host ziet geen verschil tussen de ingebedde functie en een functie die op één van de downstream poorten wordt aangeboden. Sommige poort-commando's die door de host worden verstuurd, moeten speciaal door de ingebedde functie worden behandeld om er normaal uit te zien. De microcontroller bewaart een reeks status- en statusveranderings-bits voor de ingebedde functie, zoals die beschreven worden in het Get Port

Status-commando gedeelte. Uit deze bits wordt het Status Change bit voor de ingebedde functie verkregen (dat wil zeggen: de poort-specifieke status-veranderings bits). Dit Status Change bit wordt vervolgens aan de PDIUSBH11 toegevoerd door het Set Status Change Bits-commando.

Host Requests

- SetFeature PORT_RESET:
  Her-initialiseer de ingebedde functie en zet het Reset Change-bit om aan te geven dat het resetten klaar is. Reset het Enable Status-bit, maak de ingebedde functie vrij en zet het adres hiervan op 0 met het Set Embedded Function Address/Enable-commando. Sper het Embedded Function Interrupt-eindpunt met het Set Endpoint Enable-commando.
- SetFeature PORT_ENABLE:
  Geef de functie vrij door het Set Embedded Function Address/Enable-commando. Zet het Enable Status-bit.
- SetFeature PORT_SUSPEND:
  Sper de functie door het Set Embedded Function Address/Enable-commando. Reset het Enable Status-bit en zet het Suspend Status-bit.
- ClearFeature PORT_ENABLE:
  Sper de functie door het Set Embedded Function Address/Enable-commando. Reset het Enable Status-bit.
- ClearFeature PORT_SUSPEND:
  Geef de functie vrij door het Set Embedded Function Address/Enable-commando. Zet het Enable Status-bit en reset het Suspend Status-bit; zet het Resume Status Change-bit om aan te geven dat het resumeren klaar is.
- ClearFeature any Change Indicator:
  Clear het overeenkomstige Status Change-bit.

Babbling Conditie

Als de ingebedde functie een babbling conditie (soort overspraak) veroorzaakt, wordt de functie automatisch door de PDIUSBH11 gesperd. Zodra de microcontroller de babbling-fout ontdekt moet hij het Enable Status Change-bit zetten en het Enable Status-bit resetten.

Remote WakeUp

Er zijn drie scenario's waardoor een remote wakeup kan optreden:

- De schakeling is niet uitgesteld en de ingebedde poort is uitgesteld.
  Geef de functie weer vrij door het Enable-bit in het Set Address/Enable-register te zetten en de volgende statusbits in het microcontroller-programma bij te werken: reset het Suspend Status-bit, zet het Enable Status-bit en zet het Suspend Status Change-bit.
- De schakeling en de ingebedde poort zijn uitgesteld.
  Zend een upstream Resume door middel van het Send Resume-commando, geef de functie weer vrij door het Enable-bit in het Set Address/Enable-register te zetten en werk de volgende statusbits in het microcontroller-programma bij: reset het Suspend Status-bit, zet het Enable Status-bit en zet het Suspend Status Change-bit.
- De schakeling is uitgesteld en de ingebedde poort is vrijgegeven.
  Zend een upstream Resume door middel van het Send Resume-commando.

Elektrische- en timing eigenschappen

Tenslotte zijn in de tabellen 9/11.3-17 tot en met -23 en de figuren 9/11.3-27 tot en met -30 de elektrische en timing kenmerken van de PDIUSBH11 te zien.

11.3 Type-beschrijving PDIUS-serie

SYMBOL	PARAMETER	CONDITIONS	LIMITS		UNIT
			MIN.	MAX.	
V_{CC}	DC supply voltage		3.0	3.6	V
V_I	DC Input voltage range		0	5.5	V
$V_{I/O}$	DC input range for I/O		0	5.5	V
$V_{AI/O}$	DC input range for analog I/O		0	V_{CC}	V
V_O	DC output voltage range		0	V_{CC}	V
T_{amb}	Operating ambient temperature range in free air	See DC and AC characteristics per device	0	+70	°C

Tabel 9/11.3-17: Aanbevolen bedrijfscondities voor de PDIUSBH11.

In accordance with the Absolute Maximum Rating System (IEC 134) Voltages are referenced to GND (ground = 0V)

SYMBOL	PARAMETER	CONDITIONS	LIMITS		UNIT
			MIN	MAX	
V_{CC}	DC supply voltage		–0.5	+4.6	V
I_{IK}	DC input diode current	$V_I < 0$	–	-50	mA
V_I	DC input voltage	Note 2	–0.5	+5.5	V
$V_{I/O}$	DC input voltage range for I/O's		–0.5	V_{CC} +0.5	V
I_{OK}	DC output diode current	$V_O > V_{CC}$ or $V_O < 0$	–	±50	mA
V_O	DC output voltage	Note 2	–0.5	V_{CC} +0.5	V
I_O	DC output source or sink current for digital pins	$V_O = 0$ to V_{CC}	–	±15	mA
I_O	DC output source or sink current for D+/D– pins	$V_O = 0$ to V_{CC}	–	±50	mA
I_{GND}, I_{CC}	DC V_{CC} or GND current		–	±100	mA
T_{stg}	Storage temperature range		–60	+150	°C
P_{tot}	Power dissipation per package				mW

Tabel 9/11.3-18: Maximaal toegelaten waarden van de PDIUSBH11.

	PARAMETER		LIMITS			
			MIN	TYP	MAX	
Input Levels:						
V_{IL}	LOW level input voltage				0.9	V
V_{IH}	HIGH level input voltage		2.5			V
VTLH	LOW to HIGH threshold voltage	ST (Schmitt Trigger) pins			80	%V_{CC}
VTHL	HIGH to LOW threshold voltage	ST (Schmitt Trigger) pins	20			%V_{CC}
VHYS	Hysteresis voltage	ST (Schmitt Trigger) pins		1.1		V
Output Levels:						
V_{OL}	LOW level output	I_{OL} = rated drive	0.4			V
		$I_{OL} = 20\mu A$	0.1			
V_{OH}	HIGH level output	I_{OH} = rated drive			V_{CC} –0.4	V
		$I_{OH} = 20\mu A$			V_{CC} –0.1	
Leakage Current:						
I_{OZ}	OFF-state current	OD (Open Drain) pins			±5	μA
I_I	Input leakage current				±1	μA

Tabel 9/11.3-19: Gelijkspanningskenmerken voor de digitale pennen van de PDIUSBH11.

11.3 Type-beschrijving PDIUS-serie

	PARAMETER		LIMITS		
			MIN	MAX	
Leakage Current:					
I_{LO}	Hi-Z state data line leakage	$0V < V_{IN} < 3.3V$		±10	µA
Input Levels:					
VDI	Differential input sensitivity	|(D+) – (D–)|[1]	0.2		V
VCM	Differential common mode range	Includes VDI range	0.8	2.5	V
VSE	Single ended receiver threshold		0.8	2.0	V
Output Levels:					
V_{OL}	Static output LOW	RL of 1.5KΩ to 3.6V		0.3	V
V_{OH}	Static output HIGH	RL of 15KΩ to GND	2.8	3.6	V
Capacitance:					
C_{IN}	Transceiver capacitance	Pin to GND		20	pF
Output Resistance:					
ZDRV[2]	Driver output resistance	Steady state drive	28	43	Ω

NOTES:
1. D+ is the generic symbol for the USB positive data pins: UP_DP, DN2_DP, DN3_DP, DN4_DP, DN5_DP. D– is the generic symbol for the USB negative data pins: UP_DM, DN2_DM, DN3_DM, DN4_DM, DN5_DM.
2. Includes external resistors of 24Ω ± 1% each on D+ and D–.

Tabel 9/11.3-20: Gelijkspanningskenmerken voor de AI/O-pennen van de PDIUSBH11.

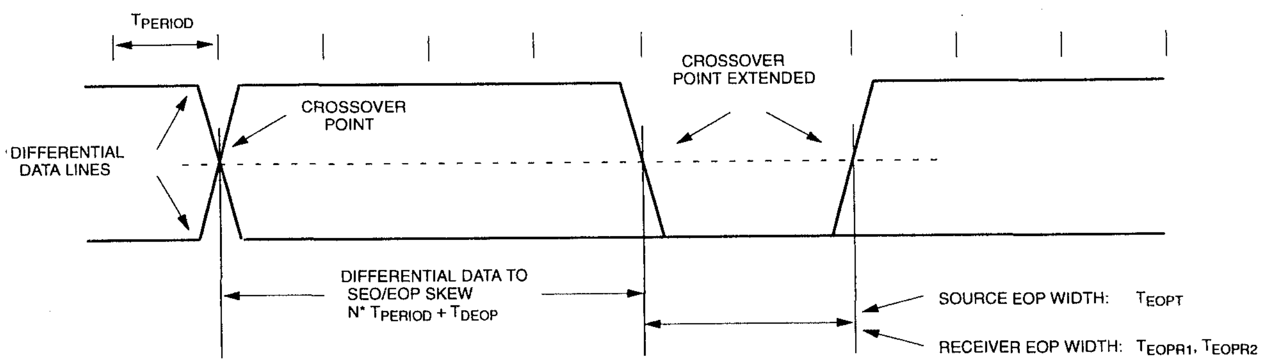
SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS		UNIT
			MIN	MAX	
Driver Characteristics:		C_L = 50pF; R_{pu} = 1.5KΩ on D+ to V_{CC}			
 T_R T_F	Transition time: Rise time Fall time	Between 10% and 90%	 4 4	 20 20	ns
T_{RFM}	Rise/Fall time matching	(T_R/T_F)	90	110	%
V_{CRS}	Output signal crossover voltage		1.3	2.0	V
Driver Timings:					
T_{EOPT}	Source EOP width	Figure 1	160	175	ns
T_{DEOP}	Differential data to EOP transition skew	Figure 1	–2	5	ns
Receiver Timings:					
 T_{JR1} T_{JR2}	Receiver data jitter tolerance To next transition For paired transitions	Characterized and not Tested. Guaranteed by Design.	 –18.5 –9	 18.5 9	ns
 T_{EOPR1} T_{EOPR2}	EOP width at receiver Must reject as EOP Must accept	Figure 1	 40 82		ns
Hub Timings:		C_L = 50pF; R_{pu} = 1.5KΩ on D+ to V_{CC}			
T_{HDD}	Hub differential data delay	Figure 2		40	ns
T_{SOP}	Data bit width distortion after SOP	Figure 2	–5	3	ns
T_{EOPDR}	Hub EOP delay relative to T_{HDD}	Figure 3	0	15	ns
T_{HESK}	Hub EOP output width skew	Figure 3	–15	+15	ns

Tabel 9/11.3-21: Schakeltijden op de AI/O-pennen van de PDIUSBH11 (op volle snelheid, zie ook figuur 9/11.3-27, -28 en -29).

11.3 Type-beschrijving PDIUS-serie

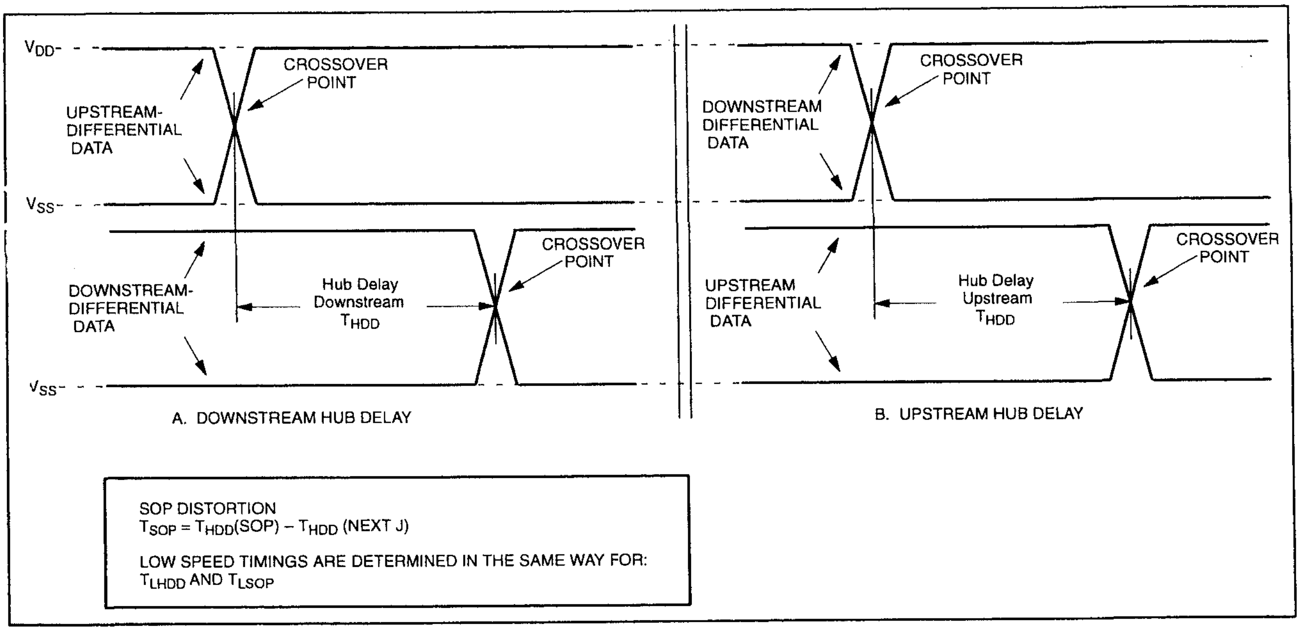
SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS MIN	LIMITS MAX	UNIT
Driver Characteristics:		C_L = 50pF and 350pF; R_{pu} = 1.5KΩ on D– to V_{CC}			
T_{LR}	Transition time: Rise time	Between 10% and 90% C_L = 50pF	75		ns
		C_L = 350pF		300	
T_{LF}	Fall time	C_L = 50pF	75		
		C_L = 350pF		300	
V_{LCRS}	Output signal crossover voltage		1.3	2.0	V
Driver Timings:					
T_{LEOPT}	Source EOP width	Figure 1	1.25	1.50	ns
T_{LDEOP}	Differential data to EOP transition skew	Figure 1	–40	100	ns
Receiver Timings:					
	EOP width at receiver				
T_{LEOPR1}	Must reject as EOP	Figure 1	330		ns
T_{LEOPR2}	Must accept		675		
Hub Timings:		C_L = 50pF and 350pF; R_{pu} = 1.5KΩ on D– to V_{CC}			
T_{LHDD}	Hub differential data delay	Figure 2		300	ns
T_{LSOP}	Data bit width distortion after SOP	Figure 2	–65	45	ns
T_{LEOPDR}	Hub EOP delay relative to T_{HDD}	Figure 3	0	200	ns
T_{LHESK}	Hub EOP output width skew	Figure 3	–300	+300	ns

Tabel 9/11.3-22: Schakeltijden op de AI/O-pennen van de PDIUSBH11 (bij lage snelheid, zie ook figuur 9/11.3-27, -28 en -29).

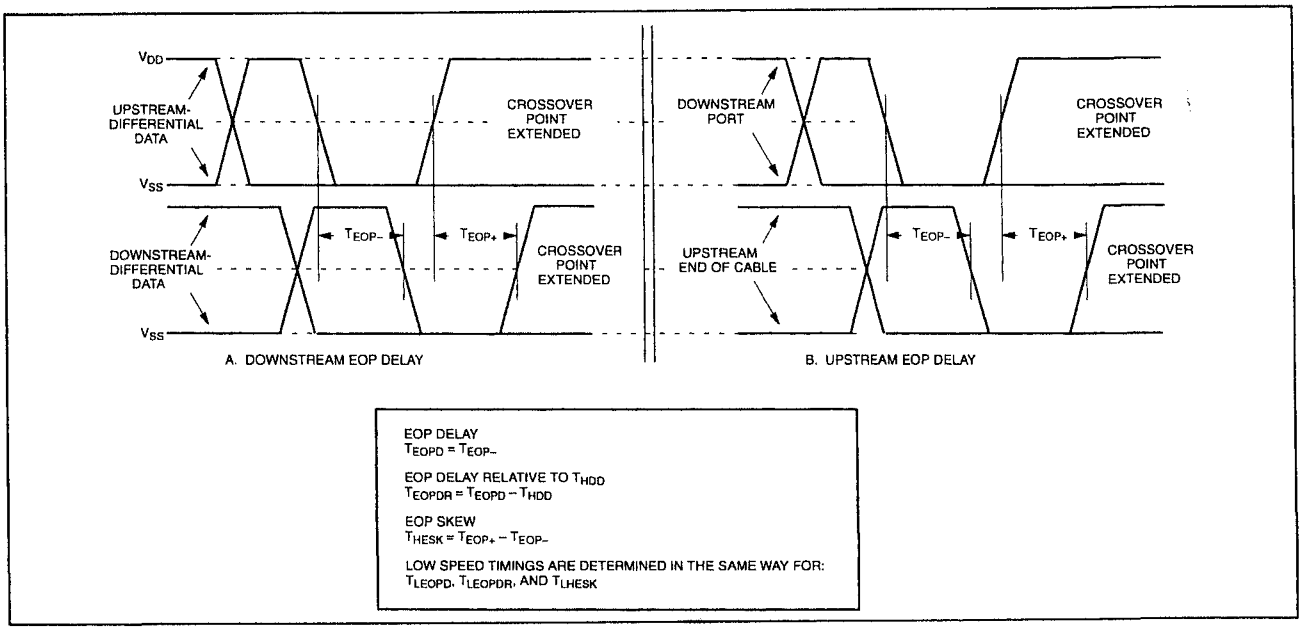


Figuur 9/11.3-27: Differentiële data (EOP transition-skew en EOP breedte).

11.3 Type-beschrijving PDIUS-serie



Figuur 9/11.3-28: Differentiële data-vertraging van de Hub en SOP-vervorming.



Figuur 9/11.3-29: EOP-vertraging en EOP-skew van de Hub.

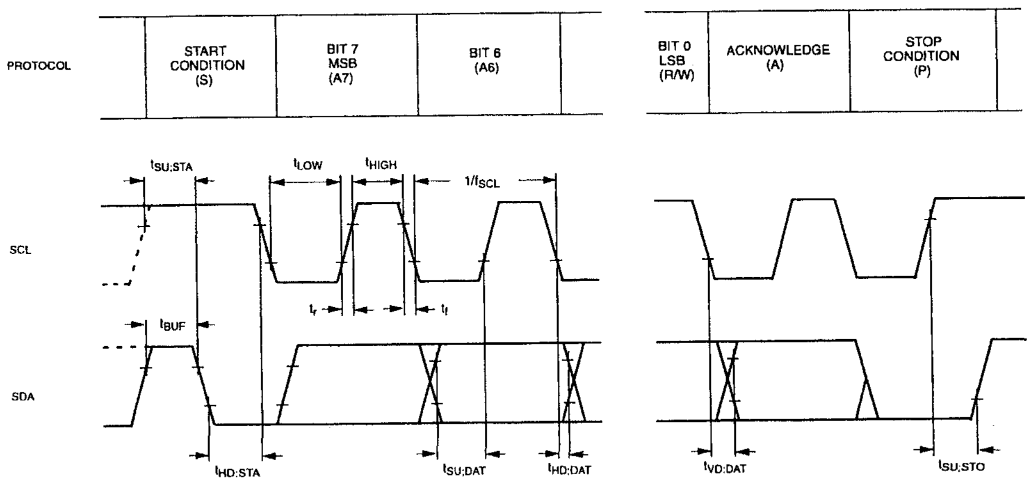
11.3 Type-beschrijving PDIUS-serie

All timing values are valid within the operating supply voltage and ambient temperature range and reference to V_{IL} and V_{IH} with an input voltage swing of V_{SS} and V_{DD}.

SYMBOL	PARAMETER	LIMITS			UNIT
		MIN	TYP	MAX	
I²C-bus timing (see Figure ; Note)					
f_{SCL}	SCL clock frequency	–	–	100	kHZ
t_{SP}	Tolerable spike width on bus	–	–	100	ns
t_{BUF}	Bus free time	4.7	–	–	µs
$t_{SU;STA}$	Start condition set-up time	4.7	–	–	µs
$t_{HD;STA}$	Start condition hold time	4.0	–	–	µs
t_{LOW}	SCL LOW time	4.7	–	–	µs
t_{HIGH}	SCL HIGH time	4.0	–	–	µs
t_r	SCL and SDA rise times	–	–	1.0	µs
t_f	SCL and SDA fall times	–	–	0.3	µs
$t_{SU;DAT}$	Data set-up time	250	–	–	ns
$t_{HD;DAT}$	Data hold time	0	–	–	ns
$t_{VD;DAT}$	SCL LOW to data out valid	–	–	3.4	µs
$t_{SU;STO}$	Stop condition set-up time	4.0	–	–	µs

1. A detailed description of the I²C-bus specification, with applications, is given in brochure "*The I²C-bus and how to use it*". This brochure may be ordered using the code 9398 393 40011.

Tabel 9/11.3-23: Schakeltijden op de I²C-pennen van de PDIUSBH11 (zie ook figuur 9/11.3-30).



Figuur 9/11.3-30: I²C-bus tijddiagram.

PDIUSBH11A

USB-hub met I²C-interface

De PDIUSBH11A is een, wat kostprijs en mogelijkheden betreft, geoptimaliseerde tweede generatie USB-hub met 4 downstream-poorten en 3 ingebedde functies (compound hub). Hij wordt meestal gebruikt in via de I²C seriële bus bereikbare microcontroller-systemen. Door deze modulaire aanpak kan de ontwerper eigen microcontroller en bestaande architectuur gebruiken. De PDIUSBH11A voldoet aan de USB Rev 1.1 specificaties en I²C seriële interface specificaties. De PDIUSBH11A is volledig "ach-

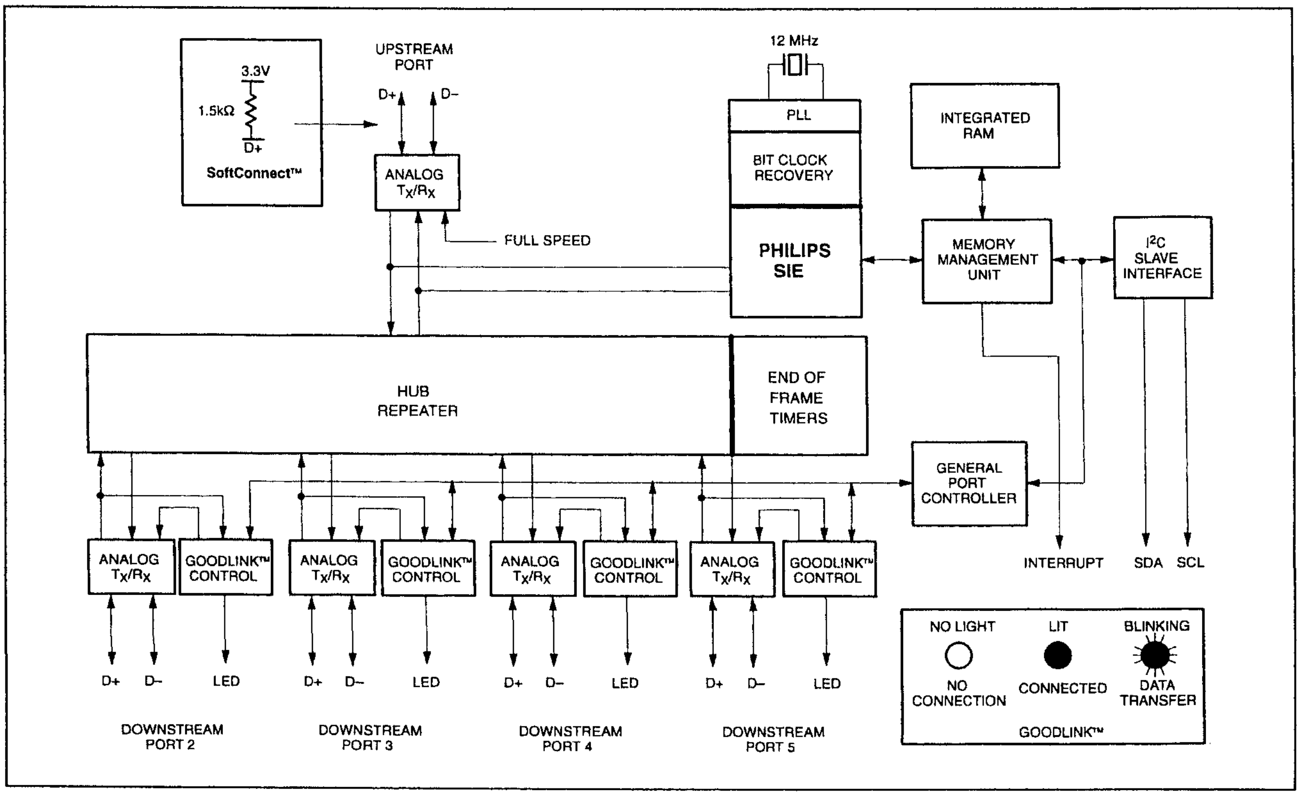
terwaarts compatibel" met de eerste generatie PDIUSBH11 hard- en software. Bovendien heeft hij verbeteringen zoals SoftConnect, LazyClock, een programmeerbare clock-uitgang, oscillator met lagere frequentie, eindpunten met multipele functie en geïntegreerde afsluitweerstanden.

Technische gegevens

- voldoet aan de Universele Seriële Bus versie 1.1 specificaties
- voldoet aan ACPI, OnNOW en USB Power Management eisen
- voldoet aan USB Human Interface en Display Devices Class
- voldoet aan System Management Bus specificatie v. 1.0
- 4 downstream poorten
- geschikt voor maximaal 3 ingebedde functies
- geïntegreerde SIE (Serial Interface Engine), FIFO-geheugen en transceivers
- automatische USB protocol afhandeling
- high-speed I^2C interface (maximaal 1 Mbit/s)
- compatibel met PDIUSBH11 software
- met software bestuurbare verbinding met USB-bus (SoftConnect)
- goede USB downstream-verbindingsindicatoren (knipperend in het ritme van het verkeer: "Goodlink")
- laagfrequente 12 MHz kristal-oscillator
- programmeerbare uitgangs-clockfrequentie
- regelbare LazyClock-uitgang op 30 kHz
- enkele 3,3 V voeding met 5 V tolerante I/O
- 8 kV ESD-beveiligd
- 32-pens SDIP en SO-behuizing
- fabrikant: Philips

Beschrijving van de aansluitpennen

De PDIUSBH11A heeft twee bedrijfsmodes. Mode 0 configureert de pennen DNx_GL_N voor de GoodLink LED-indicatie. De tweede mode (Mode 1) configureert de LED-pennen als per-poort overstroom-conditie pennen.



Figuur 9/11.3-31: Blokschema van de PDIUSBH11A.

11.3 Type-beschrijving PDIUS-serie

PIN NO	PIN SYMBOL	TYPE	DRIVE	DESCRIPTION
1	TEST1	Input		Connect to Ground for 48MHz crystal input. Connect to V_{CC} for 12MHz crystal input.
2	TEST2	Input		Connect to Ground
3	TEST3	Input		Connect to Ground
4	RESET_N	Input	ST	Power-on reset
5	GND	Power		Ground reference
6	XTAL1	Input		Crystal connection 1 (48 or 12MHz depending on TEST1 pin)
7	XTAL2	Output		Crystal connection 2 (48 or 12MHz depending on TEST1 pin)
8	CLKOUT	Output	3mA	Programmable output clock for external devices
9	V_{CC}	Power		Voltage supply 3.3V ± 0.3V
10	OCURRENT_N	Input	ST	Overcurrent notice to the device. This pin is also used to sense the USB VBUS. A LOW on this pin of less than 2 seconds is interpreted as an overcurrent notice; longer than 2 seconds is interpreted as loss of VBUS.
11	SWITCH_N	Output	OD6	Enables power to downstream ports
12	SUSPEND	Output	OD6	Device is in suspended state
13	DN2_GL_N	Output	OD6	Downstream port 2 GoodLink™ LED indicator
14	DN3_GL_N	Output	OD6	Downstream port 3 GoodLink™ LED indicator
15	DN4_GL_N	Output	OD6	Downstream port 4 GoodLink™ LED indicator
16	DN5_GL_N	Output	OD6	Downstream port 5 GoodLink™ LED indicator
17	INT_N	Output	OD6	Connect to microcontroller interrupt
18	SDA	I/O	OD6	I^2C bi-directional data
19	SCL	I/O	OD6	I^2C bit-clock
20	GND	Power		Ground reference
21	DN5_DP	AI/O		Downstream port 5 D^+ connection
22	DN5_DM	AI/O		Downstream port 5 D^- connection
23	DN4_DP	AI/O		Downstream port 4 D^+ connection
24	DN4_DM	AI/O		Downstream port 4 D^- connection
25	DN3_DP	AI/O		Downstream port 3 D^+ connection
26	DN3_DM	AI/O		Downstream port 3 D^- connection
27	DN2_DP	AI/O		Downstream port 2 D^+ connection
28	DN2_DM	AI/O		Downstream port 2 D^- connection
29	AGND	Power		Analog Ground reference
30	AV_{CC}	Power		Analog voltage supply 3.3V ± 0.3V
31	UP_DP	AI/O		Upstream D^+ connection
32	UP_DM	AI/O		Upstream D^- connection

NOTES:
1. Signals ending in _N indicate active low signals.
   ST: Schmitt Trigger
   OD6: Open Drain with 6 mA drive
   AI/O: Analog I/O

Tabel 9/11.3-24: Functies van de aansluitpennen van de PDIUSBH11A in mode 0 (Good Link).

Een overstroom-conditie op een willekeurige poort kan alleen worden geïdentificeerd in mode 1. Als gevolg van één enkele overstroom-conditie worden echter alle downstream poorten gesperd. Naast de twee bedrijfsmodes kan de PDISBH11A ook worden geconfigureerd om te werken met een 48 MHz kristal-oscillator (voor achterwaartse compatibiliteit met de PDIUSBH11) of met een 12 MHz kristal. De interne 4x clock-vermenigvuldigende PLL wordt geaktiveerd als de 12 MHz input XTAL-mode is geselecteerd. Tevens is de uitgangs-clockfrequentie dan programmeerbaar in plaats van 12 MHz vast. De uitgangs-clockfrequentie kan met behulp van het Set Mode-commando worden geprogrammeerd. Al deze nieuwe eigenschappen zijn toegevoegd bij gelijktijdige

11.3 Type-beschrijving PDIUS-serie

handhaving van de achterwaartse compatibiliteit met de PDIUSBH11 via de TEST1 en TEST2 pennen.

PIN NO	PIN SYMBOL	TYPE	DRIVE	DESCRIPTION
1	TEST1	Input		Connect to V_{CC} for 48MHz crystal input. Connect to Ground for 12MHz crystal input.
2	TEST2	Input		Connect to V_{CC}
3	TEST3	Input		Connect to Ground
4	RESET_N	Input	ST	Power-on reset
5	GND	Power		Ground reference
6	XTAL1	Input		Crystal connection 1 (48 or 12MHz depending on TEST1 pin)
7	XTAL2	Output		Crystal connection 2 (48 or 12MHz depending on TEST1 pin)
8	CLKOUT	Output	3mA	Programmable output clock for external devices
9	V_{CC}	Power		Voltage supply 3.3V ± 0.3V
10	OCURRENT2_N	Input	ST	Downstream port 2 overcurrent notice. This pin is also used to sense the USB VBUS. A LOW on this pin of less than 2 seconds is interpreted as an overcurrent notice; longer than 2 seconds is interpreted as loss of VBUS.
11	SWITCH_N	Output	OD6	Enables power to downstream ports
12	SUSPEND	Output	OD6	Device is in suspended state
13	DN2_GL_N	Output	OD6	Downstream port 2 GoodLink™ LED indicator
14	OCURRENT3_N	Input	ST	Downstream port 3 over-current notice
15	OCURRENT4_N	Input	ST	Downstream port 4 over-current notice
16	OCURRENT5_N	Input	ST	Downstream port 5 over-current notice
17	INT_N	Output	OD6	Connect to microcontroller interrupt
18	SDA	I/O	OD6	I^2C bi-directional data
19	SCL	I/O	OD6	I^2C bit-clock
20	GND	Power		Ground reference
21	DN5_DP	AI/O		Downstream port 5 D^+ connection
22	DN5_DM	AI/O		Downstream port 5 D^- connection
23	DN4_DP	AI/O		Downstream port 4 D^+ connection
24	DN4_DM	AI/O		Downstream port 4 D^- connection
25	DN3_DP	AI/O		Downstream port 3 D^+ connection
26	DN3_DM	AI/O		Downstream port 3 D^- connection
27	DN2_DP	AI/O		Downstream port 2 D^+ connection
28	DN2_DM	AI/O		Downstream port 2 D^- connection
29	AGND	Power		Analog Ground reference
30	AV_{CC}	Power		Analog voltage supply 3.3V ± 0.3V
31	UP_DP	AI/O		Upstream D^+ connection
32	UP_DM	AI/O		Upstream D^- connection

NOTES:
1. Signals ending in _N indicate active low signals.
   ST: Schmitt Trigger
   OD6: Open Drain with 6 mA drive
   AI/O: Analog I/O

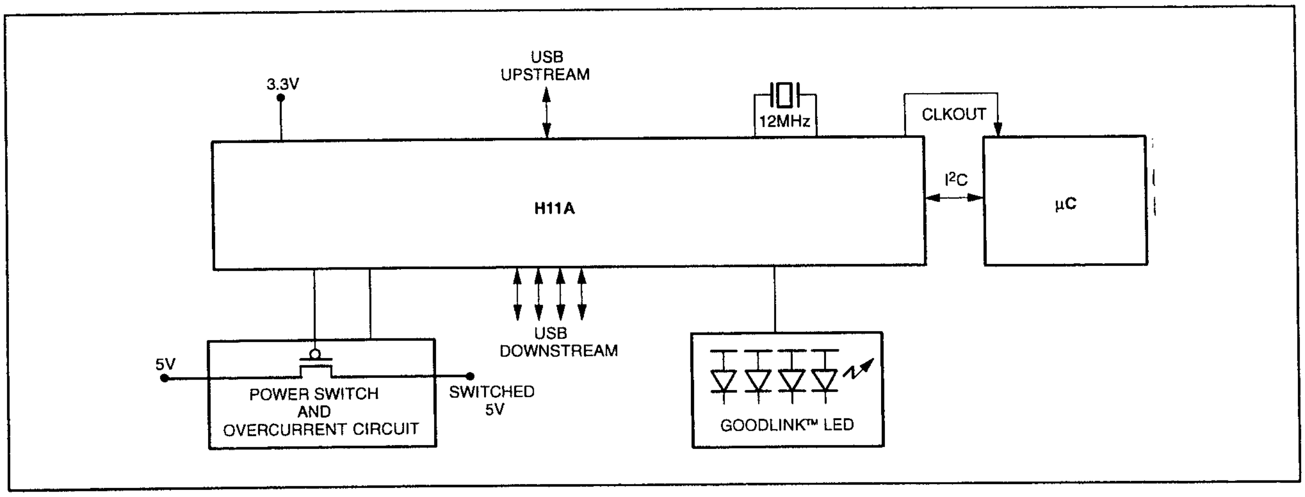
Tabel 9/11.3-25: Functies van de aansluitpennen van de PDIUSBH11A in mode 1 (Individual Overcurrent).

11.3 Type-beschrijving PDIUS-serie

TEST2 TEST1	MODE	INPUT XTAL FREQUENCY (MHz)	OUTPUT CLOCK FREQUENCY (AT RESET)
00	MODE 0 (GoodLink™)	48	12MHz
01	MODE 0 (GoodLink™)	12	4 MHz
10	MODE 1 (Individual Overcurrent)	12	4 MHz
11	MODE 1 (Individual Overcurrent	48	12 MHz

NOTE:
1. Pin TEST3 should always be connected to Ground at all times.

Tabel 9/11.3-26: Programmering van Mode en clock-frequentie.



Figuur 9/11.3-32: Toepassingsvoorbeeld van de PDIUSBH11A.

Werking van de PDIUSBH11A

Opmerking

Voor de volgende blokken wordt verwezen naar de beschrijving van de PDIUSBH11:

- Analoge Transceivers;
- Hub Repeater;
- End of Frame Timers;
- Algemene en Individuele Port Controller;
- Bit Clock Recovery;
- Serial Interface Engine (SIE);
- Memory Management Unit (MMU) en geïntegreerde RAM (hierbij echter I²C datatransport tot 1 Mbit/s;
- I²C Slave Interface.

PLL

De chip bevat een clock-multiplier (PLL) die de 12 MHz clock omzet in de vereiste 48 MHz. Hierdoor kan een goedkoop 12 MHz kristal worden gebruikt dat bovendien gunstige EMI-eigenschappen heeft. De PLL werkt zonder externe componenten.

SoftConnect

De verbinding met de USB komt tot stand door D+ via een 1,5 kΩ weerstand naar V_{CC} op te trekken (het is immers een high-speed USB-schakeling). In de PDIUSBH11A bevindt zich een 1,5 kΩ weerstand die echter nog niet met V_{CC} is verbonden.

11.3 Type-beschrijving PDIUS-serie

FUNCTION	PORTS	ENDPOINT #	ENDPOINT INDEX	TRANSFER TYPE	DIRECTION	MAX PACKET SIZE (BYTES)
Hub	0: Upstream 2–5: Downstream	0	0 1	Control	OUT IN	8 8
		1	–	Interrupt	IN	1
Embedded Function 1	1	0	2 3	Control	OUT IN	8 8
		1	5 4	Generic	OUT IN	8 8
		2	6 7	Generic	OUT IN	8 8
		3	8 9	Generic	OUT IN	8 8

NOTE:
1. Hub interrupt endpoint is not indexed.
2. Generic endpoint can be used for Interrupt or Bulk endpoint.

Tabel 9/11.3-27: Single Embedded Function mode (default bij Power-Up).

FUNCTION	PORTS	ENDPOINT #	ENDPOINT INDEX	TRANSFER TYPE	DIRECTION	MAX PACKET SIZE (BYTES)
Hub	0: Upstream 2-5: Downstream	0	0 1	Control	OUT IN	8 8
		1	–	Interrupt	IN	1
Embedded Function 1	1	0	2 3	Control	OUT IN	8 8
		1	5 4	Generic	OUT IN	8 8
Embedded Function 6	6	0	10 11	Control	OUT IN	8 8
		1	6 7	Generic	OUT IN	8 8
Embedded Function 7	7	0	12 13	Control	OUT IN	8 8
		1	8 9	Generic	OUT IN	8 8

Tabel 9/11.3-28: Multiple (3) Embedded Function mode.

Ook zijn de 15 kΩ neertrekweerstanden op de chip geïntegreerd, maar nog niet met GND verbonden. Deze verbindingen worden pas gemaakt na een commando van de externe/systeem microcontroller. Hierdoor kan de systeem-microcontroller zijn initialisatie afsluiten voordat besloten wordt de USB in te schakelen. Ook kan her-initialisatie van de USB busverbinding worden beïnvloed zonder dat de kabel is aangesloten.
De PDIUSBH11A zal eerst proberen of de VBUS aanwezig is voordat de USB-verbinding kan worden gemaakt (via de OCURRENT_N-pen).

GoodLink
Een indicatie van goede downstream USB-verbinding wordt verkregen met de Good-Link-technologie. Als de poort is vrijgegeven en er tenminste één geldig upstream transport uit de poort plaatsvindt, zal de LED-indicator aan zijn. De LED zal bij elk geldige upstream-transport knipperen. Een geldig upstream-transport wordt gedefinieerd als een overdracht met een goede SOP en beëindigd met een goede EOP. Gedurende globale suspend zullen alle LED's uit zijn.

11.3 Type-beschrijving PDIUS-serie

COMMAND NAME	RECIPIENT	CODING	DATA PHASE
Initialization Commands			
Set Address / Enable	Hub	D0h	Write 1 byte
	Embedded Function 1	D1h	Write 1 byte
	Embedded Function 6	D2h	Write 1 byte
	Embedded Function 7	D3h	Write 1 byte
Set Endpoint Enable	Hub + Embedded Functions	D8h	Write 1 byte
Set Mode	Hub + Embedded Functions	F3h	Write 2 bytes
Data Flow Commands			
Read Interrupt Register		F4h	Read 2 bytes
Select Endpoint	Hub Control OUT	00h	Read 1 byte (optional)
	Hub Control IN	01h	Read 1 byte (optional)
	Other Endpoints	00h + Endpoint Index	Read 1 byte (optional)
Read Last Transaction Status	Hub Control OUT	40h	Read 1 byte
	Hub Control IN	41h	Read 1 byte
	Other Endpoints	40h + Endpoint Index	Read 1 byte
Read Endpoint Status	Hub Control OUT	80h	Read 1 byte
	Hub Control IN	81h	Read 1 byte
	Other Endpoints	80h + Endpoint Index	Read 1 byte
Read Buffer	Selected Endpoint	F0h	Read n bytes
Write Buffer	Selected Endpoint	F0h	Write n bytes
Set Endpoint Status	Hub Control OUT	40h	Write 1 byte
	Hub Control IN	41h	Write 1 byte
	Other Endpoints	40h + Endpoint Index	Write 1 byte
Acknowledge Setup	Selected Endpoint	F1h	None
Clear Buffer	Selected Endpoint	F2h	None
Validate Buffer	Selected Endpoint	FAh	None
Hub Commands			
Clear Port Feature	Port 2	E0h	Write 1 byte
	Port 3	E1h	Write 1 byte
	Port 4	E2h	Write 1 byte
	Port 5	E3h	Write 1 byte
Set Port Feature	Port 2	E8h	Write 1 byte
	Port 3	E9h	Write 1 byte
	Port 4	EAh	Write 1 byte
	Port 5	EBh	Write 1 byte
Get Port Status	Port 2	E0h	Read 1 or 2 bytes
	Port 3	E1h	Read 1 or 2 bytes
	Port 4	E2h	Read 1 or 2 bytes
	Port 5	E3h	Read 1 or 2 bytes
Set Status Change Bits		F7h	Write 1 byte
General Commands			
Send Resume		F6h	None
Read Current Frame Number		F5h	Read 1 or 2 bytes

Tabel 9/11.3-29: Overzicht van de commando's voor de PDIUSBH11A.

Eindpunt-beschrijvingen

Door de PDIUSBH11A worden twee eindpunt-configuratiemodes ondersteund: de Single Embedded Function mode en de Multiple (3) Embedded Function mode. De eerste is bij power-up reset als default ingeschakeld. De Multiple (3) Embedded Function mode kan worden geconfigureerd door een nul te schrijven in bit 7 van het eerste byte van het Set-commando. Beide modes zijn

achterwaarts compatibel met de PDI-USBH11.

De I²C-verbinding

Opmerking
Ook voor de volgende beschrijvingen wordt verwezen naar de PDIUSBH11:
- I²C-interface (zie ook figuur 9/11.3-19);
- Protocol;
- Timing.

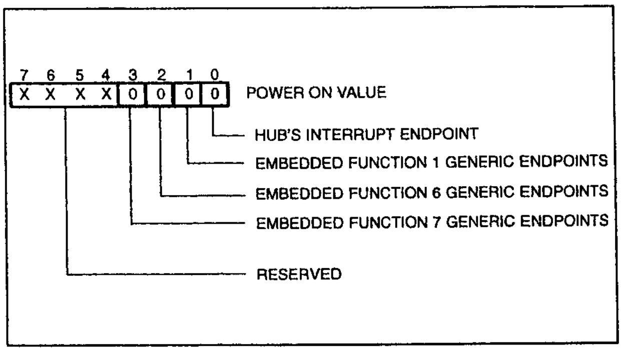
Commando-beschrijvingen
Er zijn vier typen commando's: initialisatie, data, hub-specifieke- en algemene commando's. Deze worden respectievelijk gebruikt om de hub en de ingebedde functie te initialiseren, voor data-transport tussen de hub, de ingebedde functie en de host, enkele "hub-specifieke" commando's om individuele downstream-poorten te besturen en enkele algemene commando's.

Opmerking
Voor commando's die reeds bij de PDI-USBD11 en PDIUSBH11 werden behandeld wordt naar de beschrijvingen ervan bij deze typen verwezen.
Sommige commando's hebben dezelfde commando-code (bijvoorbeeld Read Buffer en Write Buffer).
De richting van de data-fase (lezen of schrijven) bepaalt dan welk commando wordt uitgevoerd.

Initialisatie-commando's

Set Address/Enable
Dit commando wordt gebruikt om het aangewezen USB-adres in te stellen en de functie vrij te geven (zie figuur 9/11.3-4).

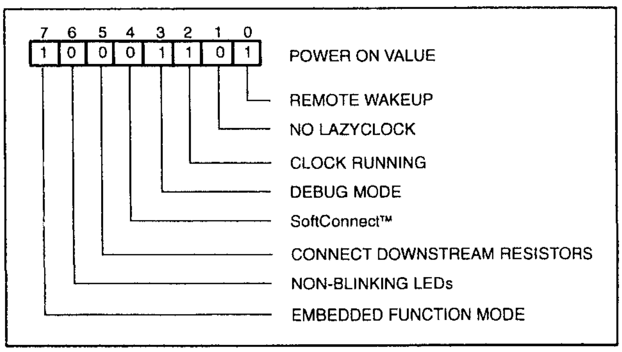
Set Endpoint Enable
De interrupt eindpunten kunnen alleen worden vrijgegeven als de functie via het Set Address/Enable-commando is vrijgegeven.



Figuur 9/11.3-33: Set Endpoint Enable.

- Hub's Interrupt Endpoint:
  Een "1" geeft aan dat het interrupt eindpunt van de hub is vrijgegeven.
- Embedded Function 1 Generic Endpoint:
  Een "1" geeft aan dat de generieke eindpunten van de ingebedde functie 1 is vrijgegeven.
- Embedded Function 6 Generic Endpoint:
  Een "1" geeft aan dat de generieke eindpunten van de ingebedde functie 6 is vrijgegeven.
- Embedded Function 7 Generic Endpoint:
  Een "1" geeft aan dat de generieke eindpunten van de ingebedde functie 7 is vrijgegeven.

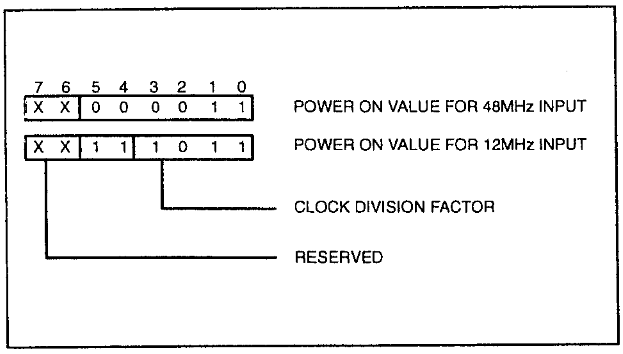
Set Mode
Het Set Mode-commando wordt gevolgd door twee data-writes. Het eerste byte bevat de configuratie-byte waarden. Het tweede byte is het clock-deelfactor byte.



Figuur 9/11.3-34: Configuratie Byte.

11.3 Type-beschrijving PDIUS-serie

- Remote Wakeup:
  Een "1" geeft aan dat een remote wake-up is ingeschakeld (wordt ook ingeschakeld door Bus reset).
- No LazyClock:
  Een "1" geeft aan dat CLKOUT niet wordt overgeschakeld naar LazyClock; een "0" signaleert dat de CLKOUT 1ms na het HOOG gaan van de Suspend-pen overschakelt naar LazyClock. De LazyClock-frequentie is 30 kHz +/-40 %. De geprogrammeerde waarde wordt niet veranderd door een Bus reset.
- Clock Running:
  Een "1" geeft aan dat de interne clocks en PLL altijd werken (zelfs in de Suspend toestand). Een "0" signaleert dat de interne clock, kristal-oscillator en PLL zijn gestopt (als ze niet nodig zijn). Om aan de echte eisen betreffende het Suspend stroomverbruik te voldoen moet dit bit op "0" worden gezet. Een bus reset heeft geen invloed op de geprogrammeerde waarde.
- Debug Mode:
  Een "1" betekent dat alle fouten en "NA-King" (Negative Acknowledge Character) worden gerapporteerd, terwijl een "0" aangeeft dat alleen OK en babbling (overspraak) worden gerapporteerd. De geprogrammeerde waarde wordt niet beïnvloed door een bus reset.
- SoftConnect:
  Een "1" geeft aan dat de upstream optrekweerstand zal worden aangesloten als VBUS aanwezig is. Een "0" betekent dat de upstream weerstand niet zal worden aangesloten. Een bus reset heeft geen invloed op de geprogrammeerde waarde.
- Connect Downstream Resistors:
  Een "1" geeft aan dat er downstream-weerstanden zijn verbonden (bij een "0" niet). De geprogrammeerde waarde wordt door een bus-reset niet veranderd.
- Non-blinking LEDs:
  Een "1" geeft aan dat GoodLink LED's niet zullen knipperen als er verkeer is. Maak dit bit "0" om LED's te laten knipperen. De geprogrammeerde waarde wordt door een bus-reset niet veranderd.
- Embedded Function Mode:
  Een "1" signaleert de single embedded function mode; een "0" signaleert de multiple (3) embedded function mode.



Figuur 9/11.3-35: Clock Division Factor Byte.

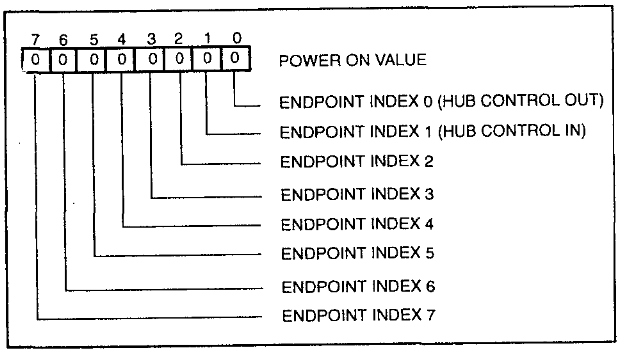
Clock Division Factor:
De waarde komt overeen met de clock-deelfactor voor CLKOUT. De uitgangsfrequentie is 48 MHz/(N+1), waarin N de deelfactor is. Wanneer de 48 MHz kristalfrequentie is geselecteerd, is de resetwaarde 3. Hierdoor ontstaat op de CLKOUT-pen een default uitgangsfrequentie van 12 MHz. Als de 12 MHz ingangangsfrequentie is gekozen, is de resetwaarde 11. Hierdoor ontstaat de laagste uitgangsfrequentie van 4 MHz, die dan door de gebruiker omhoog kan worden geprogrammeerd. De PDIUSBH11A is zodanig ontworpen dat tijdens de frequentieverandering geen glitches ontstaan. Een bus reset heeft geen invloed op de geprogrammeerde waarde.

Data Flow-commando's
Data Flow-commando's worden gebruikt om het datatransport tussen de USB-eindpunten en de monitor te beheren. Een groot deel van de data-overdracht wordt via een interrupt naar de microcontroller geïnitieerd. De microcontroller gebruikt deze commando's om toegang te krijgen tot de eindpunt-FIFO's en om te bepalen of deze geldige data hebben.

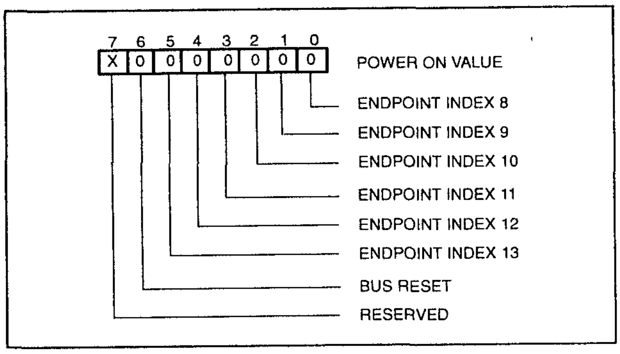
11.3 Type-beschrijving PDIUS-serie

Read Interrupt Register

Dit commando geeft aan waar een interrupt vandaan komt (er worden 2 bytes gelezen). Een "1" signaleert dat op dit eindpunt een interrupt optrad. De bits worden gecleared door het uitlezen van het eindpunt-statusregister door middel van het Read Endpoint Status Command.



Figuur 9/11.3-36: Interrupt Register Byte 1.



Figuur 9/11.3-37: Interrupt Register Byte 2.

Na het resetten van de bus wordt een interrupt gegenereerd en bit 6 van Interrupt Register Byte 2 wordt "1". In de PDIUSBH11 wordt de bus-reset aangegeven doordat in geen enkel bit van het Interrupt-register een "1" aanwezig is. Merk op dat de achterwaartse compatibiliteit nog steeds geldig is, omdat in de PDIUSBH11 de Interrupt Register Byte 2 niet bestaat.
De interrupt wordt intern gecleared door uitlezen van het interrupt register. Een bus reset is identiek aan de hardware reset via de RESET_N-pen (er is alleen verschil in interrupt-melding). Het hub-interrupt eindpunt wordt inwendig door de PDIUSBH11A hardware behandeld zonder dat de microcontroller daarvoor in aktie hoeft te komen.

Select Endpoint

Het Select Endpoint commando initialiseert een interne pointer naar het begin van de geselecteerde buffer. Het is mogelijk dit commando te laten volgen door een data read die "0" teruggeeft als de buffer leeg is en "1" als de buffer vol is (zie figuur 9/11.3-10).

Read Last Transaction Status

Het Read Last Transaction Status commando wordt gevolgd door éénmaal data-uitlezen die de status van de laatste transactie van het eindpunt weergeeft. Dit commando reset ook de overeenkomstige interrupt-vlag in het interrupt-register en cleart de status (waardoor wordt aangegeven dat deze werd uitgelezen). Dit commando is nuttig voor debug-doeleinden. Aangezien elke handeling wordt bijgehouden wordt de status-informatie bij elke nieuwe transactie overschreven (zie figuur 9/11.3-11 en de foutcodes tabel 9/11.3-15).

Read Endpoint Status

Om de status van een eindpunt te bepalen wordt 1 byte uitgelezen (zie figuur 9/11.3-22).

Read Buffer

Het Read Buffer-commando wordt gevolgd door een aantal data-uitlezingen (maximaal 10 bytes), waardoor telkens de inhoud van het geselecteerde eindpunt-databuffer wordt meegenomen. Na elke uitlezing wordt de interne buffer-pointer met 1 verhoogd.
De buffer-pointer wordt door dit commando niet gereset, zodat het lezen of schrijven van een buffer door een willekeurig commando mag worden onderbroken (behalve Select Endpoint). Ook kunnen meer dan één I^2C-transacties plaatsvinden (lees de eerste 2 bytes om het aantal data-bytes te bepalen en lees daarna de rest uit met andere transacties).

De data in de buffer is als volgt georganiseerd:
- Byte 0:
  Gereserveerd (mag elke waarde hebben).
- Byte 1:
  Aantal/lengte van de data-bytes.
- Byte 2:
  Data-byte 1.
- Byte 3:
  Data-byte 2.

Write Buffer
Het Write Buffer-commando wordt ook gevolgd door meerdere data-schrijfhandelingen (maximaal 10 bytes) naar de eindpunten-buffer.
De data moet op dezelfde manier zijn georganiseerd als hiervoor beschreven bij het Read Buffer-commando. Het eerste byte (gereserveerd) moet altijd "0" zijn. Net als bij het Read Buffer-commando mag de data worden verdeeld over verschillende I^2C data-transacties.

WAARSCHUWING
Er zijn geen beveiligingen tegen het overschrijden van de grenzen van een buffer bij schrijven of lezen of tegen het schrijven in een OUT-buffer of lezen van een IN-buffer.

Clear Buffer
Wanneer een pakket compleet is ontvangen wordt een interne eindpunt buffer-vlag gezet. Alle daarop volgende pakketten worden geweigerd en geven een NAK (Negative Acknowledge) af. Als de microcontroller de data heeft gelezen moet hij de buffer vrijmaken door middel van het Clear Buffer-commando, waarna nieuwe pakketten weer worden geaccepteerd.

Validate Buffer
Als de microcontroller data naar een IN-buffer heeft geschreven moet hij door middel van het Validate Buffer commando de buffer-full vlag zetten. Dit geeft aan dat de data in de buffer geldig is en naar de host kan worden gezonden als de volgende IN-token wordt ontvangen.

Set Endpoint Status
Een vastgelopen besturings-eindpunt wordt automatisch losgemaakt als het een SETUP-token ontvangt (onafhankelijk van de inhoud van het pakket). Als een vastgelopen eindpunt wordt vrijgemaakt (door een Set Endpoint Status-commando of door ontvangst van een SETUP-token) wordt dit ook opnieuw geïnitialiseerd. Hierdoor wordt de buffer leeg gemaakt. Als het een OUT-buffer was, wacht het op een DATA O PID; als het een IN-buffer was, schrijft het een DATA O PID. Zelfs bij een niet-vastgelopen eindpunt initialiseert het schrijven van een "0" naar de Set Endpoint Status het eindpunt (zie figuur 9/11.3-13).

Acknowledge Setup
Het binnenkomen van een SETUP pakket maakt het IN-buffer leeg en spert de Validate Buffer- en Clear Buffer-commando's voor zowel de IN als OUT eindpunten. De microcontroller moet deze commando's opnieuw vrijgeven door middel van het Acknowledge Setup commando. Dit garandeert dat het laatste SETUP pakket in het buffer blijft en dat geen enkel pakket wordt teruggestuurd naar de host totdat de microcontroller expliciet heeft bevestigd dat hij het SETUP pakket heeft gezien. De microcontroller moet het Acknowledge Setup-commando naar de IN en OUT eindpunten sturen.

Hub commando's
Hub-commando's worden gebruikt om de status van de verbinding en de voeding tussen hub en host te rapporteren. Deze commando's stellen de host in staat om elke poort apart vrij te geven en alle statusveranderingen op te nemen.

Clear/Set Port Feature
Als de controller een verzoek om Set Feature of een Clear Feature ontvangt, zijn er twee mogelijkheden:

11.3 Type-beschrijving PDIUS-serie

- Het verzoek heeft betrekking op poort 1 (de ingebedde poort). In dit geval moet het verzoek intern door de controller worden behandeld.
- Als het verzoek betrekking heeft op de poorten 2 t/m 5 moet de controller het verzoek vertalen in een Set Feature- of een Clear Feature commando naar de PDIUSBH11A.

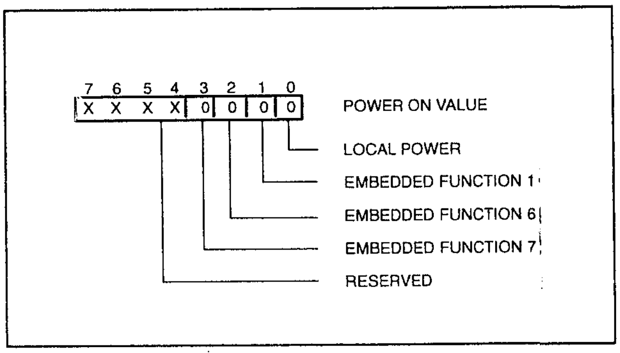
Als de PDIUSBH11A in mode 0 is geconfigureerd, is er slechts één geschakelde voedings-uitgang en één overstroom-ingang. Dit betekent dat de F_PORT_POWER en C_PORT_OVERCURRENT eigenschappen niet poort-specifiek zijn. Voor deze eigenschappen kan een willekeurig Set/Clear Feature commando worden gebruikt. De specifieke poortopdracht wordt dan genegeerd.
Als de PDIUSBH11A in mode 1 is geconfigureerd, is er nog steeds slechts één geschakelde voedings-uitgang, maar er zijn vier individuele overstroom-ingangen. Dit betekent dat de F_PORT_POWER eigenschap poort-specifiek is en de C_PORT_OVERCURRENT eigenschap niet poort-specifiek. Door het zetten van de F_PORT_POWER eigenschap wordt de voeding ingeschakeld (als die uit stond) en wordt de overstroomdetectie alleen ingeschakeld als de voeding al aanstaat. Hierdoor is het mogelijk dat er gedurende korte tijd een overstroom-situatie is. Om deze reden moet de F_PORT_POWER eigenschap tweemaal worden gezet. Door dit te clearen worden zowel de voeding als de overstroom-detectie uitgeschakeld.
De data die in de data-fase wordt geschreven bepaalt de eigenschap die in de feature codes-tabel 9/11.3-16 te zien is.

Get Port Status

Met dit commando wordt de poort-status opgehaald.
Het kan worden gevolgd door één of twee data-uitlezingen. De eerst opgehaalde byte bevat de poort-status (figuur 9/11.3-23); de twee byte is de poort status-change byte (figuur 9/11.3-24) waarmee de statusverandering bekend wordt.

Set Status Change Bits

Om het status-change register van de hub te kunnen assembleren heeft de schakeling wat extra informatie van de controller nodig, namelijk het Local Power Status Change bit en het Embedded Function Status Change bit. Deze worden geleverd door het Set Status Change Bits-commando. Dit commando wordt altijd gevolgd door één data write die het lokale status-veranderingsbit op de LSB heeft en het ingebedde status-veranderingsbit op positie 1.
Alle overige bits moeten 0 zijn.



Figuur 9/11.3-38: Set Status Change Bits.

Algemene commando's

Send Resume

Dit commando stuurt gedurende 10 ms een upstream resume-signaal uit. Meestal wordt het gebruikt als de schakeling zich in suspend bevindt. Het RESUME-commando wordt niet gevolgd door lezen of schrijven van data. De PDIUSBH11A stuurt automatisch een RESUME uit als er downstream iets gebeurt.

Read Current Frame Number

Dit commando wordt gevolgd door één of twee uitlezingen van data en geeft dan informatie over het frame-nummer van het laatst succesvol ontvangen SOF (met de Least Significant Byte eerst: figuur 9/11.3-26).

11.3 Type-beschrijving PDIUS-serie

Ingebedde functie

De USB host ziet geen verschil tussen de ingebedde functie en een functie die op één van de downstream poorten wordt aangeboden. Sommige poort-commando's die door de host worden verstuurd, moeten speciaal door de ingebedde functie worden behandeld om er normaal uit te zien.
De microcontroller bewaart een reeks status- en status-veranderings-bits voor de ingebedde functie, zoals die beschreven worden in het Get Port Status-commando gedeelte.
Uit deze bits wordt het Status Change bit voor de ingebedde functie verkregen (dat wil zeggen: de poort-specifieke status-veranderings bits).
Dit Status Change bit wordt vervolgens aan de PDIUSBH11A toegevoerd door het Set Status Change Bits-commando.

Host Requests

- SetFeature PORT_RESET:
  Her-initialiseer de ingebedde functie en zet het Reset Change-bit om aan te geven dat het resetten klaar is. Reset het Enable Status-bit, maak de ingebedde functie vrij en zet het adres hiervan op 0 met het Set Embedded Function Address/Enable-commando.
  Sper het Embedded Function Interrupt-eindpunt met het Set Endpoint Enable-commando.
- SetFeature PORT_ENABLE:
  Geef de functie vrij door het Set Embedded Function Address/Enable-commando. Zet het Enable Status-bit.
- SetFeature PORT_SUSPEND:
  Sper de functie door het Set Embedded Function Address/Enable-commando. Reset het Enable Status-bit en zet het Suspend Status-bit.
- ClearFeature PORT_ENABLE:
  Sper de functie door het Set Embedded Function Address/Enable-commando. Reset het Enable Status-bit.
- ClearFeature PORT_SUSPEND:
  Geef de functie vrij door het Set Embedded Function Address/Enable-commando. Zet het Enable Status-bit en reset het Suspend Status-bit; zet het Resume Status Change-bit om aan te geven dat het resumeren klaar is.
- ClearFeature any Change Indicator:
  Clear het overeenkomstige Status Change-bit.

Babbling Conditie

Als de ingebedde functie een babbling conditie (soort overspraak) veroorzaakt, wordt de functie automatisch door de PDIUSBH11A gesperd. Zodra de microcontroller de babbling-fout ontdekt moet hij het Enable Status Change-bit zetten en het Enable Status-bit resetten.

Remote WakeUp

Er zijn drie scenario's waardoor een remote wakeup kan optreden:

- De schakeling is niet uitgesteld en de ingebedde poort is uitgesteld:
  Geef de functie weer vrij door het Enable-bit in het Set Address/Enable-register te zetten en de volgende statusbits in het microcontroller-programma bij te werken: reset het Suspend Status-bit, zet het Enable Status-bit en zet het Suspend Status Change-bit.
- De schakeling en de ingebedde poort zijn uitgesteld:
  Zend een upstream Resume door middel van het Send Resume-commando, geef de functie weer vrij door het Enable-bit in het Set Address/Enable-register te zetten en werk de volgende statusbits in het microcontroller-programma bij: reset het Suspend Status-bit, zet het Enable Status-bit en zet het Suspend Status Change-bit.
- De schakeling is uitgesteld en de ingebedde poort is vrijgegeven:
  Zend een upstream Resume door middel van het Send Resume-commando.

11.3 Type-beschrijving PDIUS-serie

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
V_{CC}	DC supply voltage		3.0	3.6	V
V_I	DC input voltage range		0	5.5	V
$V_{I/O}$	DC input voltage range for I/O		0	5.5	V
$V_{AI/O}$	DC input voltage range for analog I/O		0	V_{CC}	V
V_O	DC output voltage range		0	V_{CC}	V
T_{amb}	Operating ambient temperature range in free air	See DC and AC characteristics per device	–40	85	°C

Tabel 9/11.3-30: Aanbevolen bedrijfscondities van de PDIUSBH11A.

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
V_{CC}	DC supply voltage		–0.5	+4.6	V
I_{IK}	DC input diode current	$V_I < 0$		–50	mA
V_I	DC input voltage	Note 2	–0.5	+5.5	V
$V_{I/O}$	DC input voltage range for I/O's		–0.5	V_{CC} + 0.5	V
I_{OK}	DC output diode current	$V_O > V_{CC}$ or $V_O < 0$		±50	mA
V_O	DC output voltage	Note 2	–0.5	V_{CC} + 0.5	V
I_O	DC output sink or source current for other pins	V_O = 0 to V_{CC}		±15	mA
I_O	DC output sink or source current for D+/D– pins	V_O = 0 to V_{CC}		±50	mA
I_{GND}, I_{CC}	DC V_{CC} or GND current			±100	mA
T_{STG}	Storage temperature range		–60	+150	°C
P_{TOT}	Power dissipation per package				

NOTES:
1. Stresses beyond those listed may cause damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions beyond those listed in the RECOMMENDED OPERATING CONDITIONS table is not implied. Exposure to absolute maximum rated conditions for extended periods may affect device reliability.
2. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.

Tabel 9/11.3-31: Maximaal toegelaten waarden van de PDIUSBH11A.

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
	Input Levels:					
V_{IL}	LOW level input voltage				0.6	V
VIH	HIGH level input voltage		2.7			V
V_{TLH}	LOW to HIGH threshold voltage	ST (Schmitt Trigger) pins	1.4		1.9	V
V_{THL}	HIGH to LOW threshold voltage	ST pins	0.9		1.5	V
V_{HYS}	Hysteresis voltage	ST pins	0.4		0.7	V
	Output Levels:					
V_{OL}	LOW level output voltage	I_{OL} = rated drive I_{OL} = 20 µA			0.4 0.1	V
V_{OH}	HIGH level output voltage	I_{OH} = rated drive I_{OH} = 20 µA	2.4 V_{CC} – 0.1			V
	Leakage Current:					
I_{OZ}	OFF state current	OD (Open Drain) pins			±5	µA
I_L	Input leakage current				±5	µA

Tabel 9/11.3-32: Gelijkspanningskenmerken voor de digitale pennen van de PDIUSBH11A.

11.3 Type-beschrijving PDIUS-serie

Elektrische- en timing eigenschappen

In de tabellen 9/11.3-30 tot en met -36 en de figuren 9/11.3-27 tot en met -30 worden tenslotte de elektrische en timing kenmerken van de PDIUSBH11A weergegeven.

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
	Leakage Current:				
I_{LO}	Hi-Z state data line leakage	0V < V_{IN} < 3.3V		±10	μA
	Input Levels:				
V_{DI}	Differential input sensitivity	|(D+) – (D–)|[1]	0.2		V
V_{CM}	Differential common mode range	Includes V_{DI} range	0.8	2.5	V
V_{SE}	Single-ended receiver threshold		0.8	2.0	V
	Output Levels:				
V_{OL}	Static output LOW	R_L of 1.5kΩ to 3.6V		0.3	V
V_{OH}	Static output HIGH	R_L of 1.5kΩ to GND	2.8	3.6	V
	Capacitance:				
C_{IN}	Transceiver capacitance	Pin to GND		20	pF
	Output Resistance:				
Z_{DRV}[2]	Driver output resistance	Steady state drive	29	44	Ω
	Integrated Resistance:				
Z_{PU}	Pull-up resistance	SoftConnect™ = ON	1.1	1.9	kΩ
Z_{PD}	Pull-down resistance	Pull-down = ON	11	19	kΩ

NOTES:
1. D+ is the symbol for the USB positive data pin: UP_DP, DN2_DP, DN3_DP, DN4_DP, DN5_DP,.
   D– is the symbol for the USB negative data pin: UP_DM, DN2_DM, DN3_DM, DN4_DM, DN5_DM, .
2. Includes external resistors of 22 Ω ± 1% each on D+ and D–.

Tabel 9/11.3-33: Gelijkspanningskenmerken voor de AI/O-pennen van de PDIUSBH11A.

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
	Driver characteristics:	C_L = 50pF; R_{pu} = 1.5kΩ on D+ to V_{CC}			
 T_r T_f	Transition Time: Rise time Fall time	Between 10% and 90%	 4 4	 20 20	ns
T_{RFM}	Rise/fall time matching	(T_r/T_f)	90	110	%
V_{CRS}	Output signal crossover voltage		1.3	2.0	V
	Driver Timings:				
T_{EOPT}	Source EOP width	Figure 1	160	175	ns
T_{DEOP}	Differential data to EOP transition skew	Figure 1	–2	5	ns
	Receiver Timings:				
 T_{JR1} T_{JR2}	Receiver Data Jitter Tolerance To next transition For paired transitions	Characterized and not tested. Guaranteed by design.	 –18.5 –9	 18.5 9	ns
 T_{EOPR1} T_{EOPR2}	EOP Width at Receiver Must reject as EOP Must accept	Figure 1	 40 82		ns
	Hub Timings:	Full Speed downstream port			
T_{HDD}	Hub Differential Data Delay	Figure 2		40	ns
T_{SOP}	Data bit width distortion after SOP	Figure 2	–5	3	ns
T_{EOPDR}	Hub EOP Delay Relative to T_{HDD}	Figure 3	0	15	ns
T_{HESK}	Hub EOP Output Width Skew	Figure 3	–15	+15	ns

Tabel 9/11.3-34: Schakeltijden op de AI/O-pennen van de PDIUSBH11A (op volle snelheid, zie ook de figuren 9/11.3-27, -28 en -29).

11.3 Type-beschrijving PDIUS-serie

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
	Driver characteristics:	C_L = 50pF and 350pF; R_{pu} = 1.5kΩ on D– to V_{CC}			
 T_{lr} T_{lf}	Transition Time: Rise time Fall time	Between 10% and 90% C_L = 50pF C_L = 350pF C_L = 50pF C_L = 350pF	 75 75	 300 300	ns
T_{RFM}	Rise/fall time matching	(T_r/T_f)	80	120	%
V_{LCRS}	Output signal crossover voltage		1.3	2.0	V
	Driver Timings:				
T_{LEOPT}	Source EOP width	Figure 1	1.25	1.50	µs
T_{LDEOP}	Differential data to EOP transition skew	Figure 1	–40	100	ns
	Receiver Timings:				
 T_{LEOPR1} T_{LEOPR2}	EOP Width at Receiver Must reject as EOP Must accept	Figure 1	 330 675		ns
	Hub Timings:	Low Speed downstream port			
T_{LHDD}	Hub Differential Data Delay	Figure 2		300	ns
T_{LSOP}	Data bit width distortion after SOP	Figure 2	–65	45	
T_{LEOPDR}	Hub EOP Delay Relative to T_{LHDD}	Figure 3	0	200	
T_{LHESK}	Hub EOP Output Width Skew	Figure 3	–300	+300	

Tabel 9/11.3-35: Schakeltijden op de AI/O-pennen van de PDIUSBH11A (bij lage snelheid, zie ook de figuren 9/11.3-27, -28 en -29).

All timing values are valid within the operating supply voltage and ambient temperature range and reference to V_{IL} and V_{IH} with an input voltage swing of V_{SS} and V_{DD}.

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
F_{SCL}	S_{CL} clock frequency			1000	kHz
T_{BUF}	Bus free time		0.5		µs
$T_{SU;STA}$	Start condition set-up time		0.25		µs
$T_{HD;STA}$	Start condition hold time		0.25		µs
T_{LOW}	S_{CL} LOW time		0.45		µs
T_{HIGH}	S_{CL} HIGH time		0.45		µs
T_r	S_{CL} and S_{DA} rise time			0.3	µs
T_f	S_{CL} and S_{DA} fall time			0.1	µs
$T_{SU;DAT}$	Data set-up time		100		ns
$T_{HD;DAT}$	Data hold time		0		ns
$T_{VD;DAT}$	S_{CL} LOW to data out valid			0.4	µs
$T_{SU;STO}$	Stop condition set-up time		0.25		µs

A detailed description of the I^2C-bus specification, with applications, is given in the brochure *"The I^2C-bus and how to use it"*. This brochure may be ordered using the Philips order number 9398 393 40011.

Tabel 9/11.3-36: Schakeltijden op de I^2C-pennen van de PDIUSBH11A (zie ook figuur 9/11.3-30).

PDIUSBP11A

USB-hub transceiver

De PDIUSBP11A is een één-chip generieke USB-transceiver die bedoeld is om 5 V of 3,3 V programmeerbare en standaard logika te koppelen aan de fysieke laag van de Universele Seriële Bus. Er kan seriële data worden verzonden en ontvangen op volle snelheid (12 Mbit/s) en op lage snelheid (1,5 Mbit/s). De plaatsing van de aansluitpennen komt overeen met de "Serial Interface Engine". De combinatie van SIE-implementatie en de USB-transceiver stellen de ontwerper in staat USB-compatibele apparaten te maken met kant en klare logika. De PDIUSBP11A is "achterwaarts compatibel" met de PDIUSBP11 en maakt single-ended data-interfacing mogelijk.

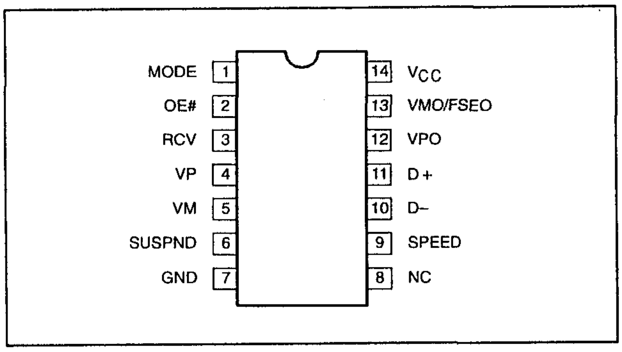
11.3 Type-beschrijving PDIUS-serie

PIN No.	PIN SYMBOL	I/O	NAME AND FUNCTION
3	RCV	O	Receive data. CMOS level output for USB differential input
2	OE#	I	Output Enable. Active LOW, enables the transceiver to transmit data on the bus. When not active the transceiver is in receive mode
1	MODE	I	Mode. When left unconnected, a weak pull-up transistor pulls it to V_{CC} and in this mode, the PDIUSBP11A is backward compatible to PDIUSBP11. When connected to GND, the VMO/FSEO pin takes the function of FSEO (Force SEO).
12, 13	V_{PO}, V_{MO}/F_{SEO}	I	Inputs to differential driver. (Outputs from SIE). **MODE / VPO / VMO/FSEO / RESULT** 0 / 0 / 0 / Logic "0" 0 / 0 / 1 / SE0# 0 / 1 / 0 / Logic "1" 0 / 1 / 1 / SE0# 1 / 0 / 0 / SE0# 1 / 0 / 1 / Logic "0" 1 / 1 / 0 / Logic "1" 1 / 1 / 1 / Illegal code
4, 5	V_P, V_M	O	Gated version of D– and D+. Outputs are logic "0" and logic "1". Used to detect single ended zero (SE0#), error conditions, and interconnect speed. (Inputs to SIE). **VP / VM / RESULT** 0 / 0 / SE0# 0 / 1 / Low Speed 1 / 0 / Full Speed 1 / 1 / Error
11, 10	D+, D–	AI/O	Data+, Data–. Differential data bus conforming to the Universal Serial Bus standard.
6	SUSPND	I	Suspend. Enables a low power state while the USB bus is inactive. While the suspnd pin is active it will drive the RCV pin to a logic "0" state. Both D+ and D– are tri-stated.
9	SPEED	I	Edge rate control. Logic "1" operates at edge rates for "full speed". Logic "0" operates edge rates for "low speed".
14	V_{CC}		3.0V to 3.6V power supply
7	GND		Ground reference

Tabel 9/11.3-37: Functies van de aansluitpennen van de PDIUSBP11A.

Technische gegevens

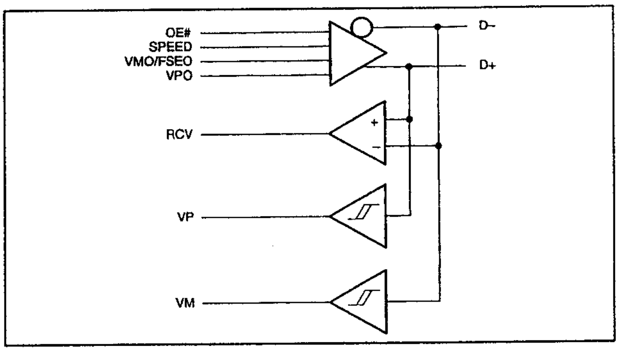
- voldoet aan de Universele Seriële Bus versie 1.0 specificaties
- gebruikt digitale in- en uitgangen om USB-data te verzenden en ontvangen
- ondersteunt "full-speed" (12 Mbit/s) en "low-speed" (1,5 Mbit/s) seriële data-transmissie
- compatibel met de VHDL "Serial Interface Engine" van USB Implementers' Forum
- ondersteunt single-ended data-interface
- enkele 3,3 V voeding met 5 V tolerante I/O
- behuizing: 14-pens SO, SSOP en TSOP
- fabrikant: Philips



Figuur 9/11.3-39: Aansluitingen van de PDI-USBP11A.

(wordt vervolgd)

11.3 Type-beschrijving PDIUS-serie



Figuur 9/11.3-40: Functioneel blokschema van de PDIUSBP11A.

SYMBOL	PARAMETER	CONDITIONS	LIMITS		UNIT
			MIN.	MAX.	
V_{CC}	DC supply voltaqe		3.0	3.6	V
V_I	DC input voltage range		0	5.5	V
$V_{AI/O}$	DC input range for AI/O's		0	V_{CC}	V
V_O	DC output voltage range		0	V_{CC}	V
T_{amb}	Operating ambient temperature range in free air	See DC and AC characteristics per device	–40	+85	°C

Tabel 9/11.3-38: Aanbevolen bedrijfscondities van de PDIUSBP11A.

In accordance with the Absolute Maximum Rating System (IEC 134) Voltages are referenced to GND (ground = 0V)

SYMBOL	PARAMETER	CONDITIONS	LIMITS		UNIT
			MIN	MAX	
V_{CC}	DC supply voltage		–0.5	+6.5	V
I_{IK}	DC input diode current	$V_I < 0$	–	–50	mA
V_I	DC input voltage	Note 2	–0.5	+5.5	V
$V_{I/O}$	DC input voltage range for I/O's		–0.5	V_{CC} +0.5	V
I_{OK}	DC output diode current	$V_O > V_{CC}$ or $V_O < 0$	–	±50	mA
V_O	DC output voltage	Note 2	–0.5	V_{CC} +0.5	V
I_O	DC output source or sink current for VP/VM, RCV pins	V_O = 0 to V_{CC}	–	±15	mA
I_O	DC output source or sink current for D+/D– pins	V_O = 0 to V_{CC}	–	±50	mA
I_{CC}, I_{GND}	DC V_{CC} or GND current		–	±100	mA
T_{STO}	Storage temperature range		–60	+150	°C
P_{TOT}	Power dissipation per package				mW

Tabel 9/11.3-39: Maximaal toegelaten waarden voor de PDIUSBP11A.

11.3 Type-beschrijving PDIUS-serie

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS Temp = –40°C to +85°C			UNIT
			MIN	TYP	MAX	
	INPUT LEVELS:					
V_{IL}	LOW level input voltage				0.8	V
V_{IH}	HIGH level input voltage		2.0			V
	OUTPUT LEVELS:					
V_{OL}	LOW level output voltage	I_{OL} = 4mA			0.4	V
		I_{OL} = 20μA			0.1	
V_{OH}	HIGH level output voltage	I_{OH} = 4mA	2.4			V
		I_{OH} = 20μA	V_{CC}–0.1			
	LEAKAGE CURRENT:					
I_L	Input leakage current				±5	μA
I_{CCS}	Supply current in Suspend			–	5	μA

Tabel 9/11.3-40: Gelijkspanningskenmerken voor de digitale pennen van de PDIUSBP11A.

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS Temp = –40°C to +85°C		UNIT
			MIN	MAX	
	INPUT LEVELS:				
V_{DI}	Differential input sensitivity	|(D+) – (D–)|	0.2		V
V_{CM}	Differential common mode range	Includes V_{DI} range	0.8	2.5	V
V_{SE}	Single ended receiver threshold		0.8	2.0	V
	OUTPUT LEVELS:				
V_{OL}	Static output LOW voltage	R_L of 1.5 kΩ to 3.6V		0.3	V
V_{OH}	Static output HIGH voltage	R_L of 15 kΩ to GND	2.8	3.6	V
	LEAKAGE CURRENT:				
I_{LO}	Hi-Z State data line leakage current	0V < V_{IN} < 3.3V		±10	μA
	CAPACITANCE:				
C_{IN}	Transceiver capacitance	Pin to GND		20	pF
	OUTPUT RESISTANCE:				
Z_{DRV}[1]	Driver output resistance	Steady state drive	6	18	Ω

NOTES:
1. Excludes external resistor. In order to comply with USB Specifications 1.0, external series resistors of 24Ω ±1% each on D+ and D– are recommended.

Tabel 9/11.3-41: Gelijkspanningskenmerken voor de AI/O-pennen van de PDIUSBP11A.

PDIUSBH12

USB-hub met I²C-interface

De PDIUSBH12 is een, wat kostprijs en mogelijkheden betreft, geoptimaliseerde tweede generatie USB-hub met 2 downstreampoorten en 3 ingebedde functies. Hij wordt meestal gebruikt in microcontrollersystemen, waarbij de communicatie geschiedt via de I²C seriële bus. De modulaire aanpak stelt de ontwerper in staat zijn gebruikelijke microcontroller en bestaande architectuur toe te passen. De PDIUSBH12 voldoet aan de USB Rev 1.1 specificaties, de I²C seriële interface en SMBus specificaties. Bovendien is hij volledig compatibel met de Human Interface Device Class en Monitor Control Class specificaties. Door het geringe energieverbruik in de suspend mode en de programmeerbare Lazy Clock-uitgang is implementatie van ACPI, OnLow en USB-power management gemakkelijk te realiseren. Het geringe energieverbruik maakt tevens implementatie van de "bus-powered" of de "compound hub-functie" mogelijk. De PDIUSBH12 is volledig "achterwaarts compatibel" met de eerste generatie PDIUSBH11 hard- en software, terwijl hij beschikt over verbeteringen zoals SoftConnect, La-

11.3 Type-beschrijving PDIUS-serie

zyClock, een programmeerbare clock-uitgang, oscillator met lagere frequentie, eindpunten met multipele functie en geïntegreerde afsluitweerstanden.

Technische gegevens

- voldoet aan de Universele Seriële Bus versie 1.1 specificaties
- voldoet aan ACPI, OnNOW en USB Power Management eisen
- voldoet aan USB Human Interface en Display Devices Class
- voldoet aan System Management Bus specificatie v. 1.0

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS T_{amb} = −40°C to +85°C			UNIT
			MIN	TYP	MAX	
	Driver Characteristics:	C_L = 50pF; R_{pu} = 1.5kΩ on D+ to V_{CC}				
 t_R t_F	Transition Time: Rise time Fall time	Between 10% and 90% Waveform 1 Waveform 1	 4[1] 4[1]		 20 20	ns
t_{RFM}	Rise / Fall time matching	(T_R/T_F)	90		110	%
V_{CRS}	Output signal crossover voltage		1.3		2.0	V
	Driver Timings:					
tp_{LH}	Driver propagation delay	Waveform 2			18	ns
tp_{HL}	(VPO, VMO/FSEO to D+/D−)	Waveform 2			19	ns
tp_{HZ}	Driver disable delay	Waveform 4			13	ns
tp_{LZ}	(OE# to D+/D−)	Waveform 4			13	ns
tp_{ZH}	Driver enable delay	Waveform 4			17	ns
tp_{ZL}	(OE# to D+/D−)	Waveform 4			17	ns
	Receiver Timings:					
tp_{LH}	Receiver propagation delay	Waveform 3			16	ns
tp_{HL}	(D+, D− to RCV)	Waveform 3			19	ns
tp_{LH}	Single-ended receiver delay	Waveform 3			8	ns
tp_{HL}	(D+, D− to VP, VM)	Waveform 3			8	ns

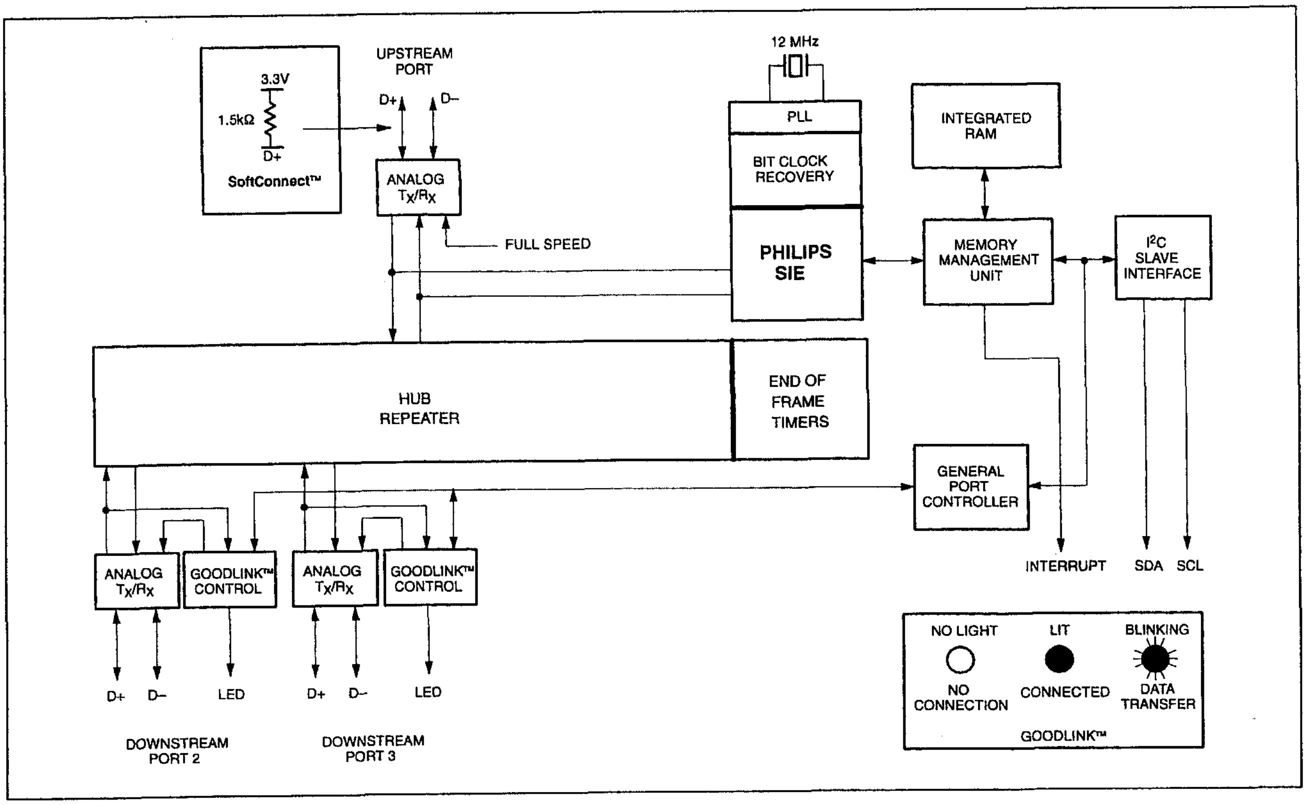
NOTE:
1. The 4ns specification is only for 0°C to +85°C.

Tabel 9/11.3-42: Schakeltijden op de AI/O-pennen van de PDIUSBP11A (op volle snelheid).

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS T_{amb} = −40°C to +85°C			UNIT
			MIN	TYP	MAX	
	Driver Characteristics:	C_L = 50pF and 350pF; R_{pu} = 1.5kΩ on D− to V_{CC}				
 t_{LR} t_{LF}	Transition Time: Rise time Fall time	Between 10% and 90% C_L = 50pF. Waveform 1 C_L = 350pF. Waveform 1 C_L = 50pF. Waveform 1 C_L = 350pF. Waveform 1	75 75		300 300	ns
t_{LRFM}	Rise / Fall time matching	(T_{LR}/T_{LF})	80		120	%
V_{LCRS}	Output signal crossover voltage		1.3		2.0	V
	Driver Timings:					
tp_{LH}	Driver propagation delay	Waveform 2			300	ns
tp_{HL}	(VPO, VMO/FSEO to D+/D−)	Waveform 2			300	ns
tp_{HZ}	Driver disable delay	Waveform 4			13	ns
tp_{LZ}	(OE# to D+/D−)	Waveform 4			13	ns
tp_{ZH}	Driver enable delay	Waveform 4			205	ns
tp_{ZL}	(OE# to D+/D−)	Waveform 4			205	ns
	Receiver Timings:					
tp_{LH}	Receiver propagation delay	Waveform 3			18	ns
tp_{HL}	(D+, D− to RCV)	Waveform 3			18	ns
tp_{LH}	Single-ended receiver delay	Waveform 3			28	ns
tp_{HL}	(D+, D− to VP, VM)	Waveform 3			28	ns

Tabel 9/11.3-43: Schakeltijden op de AI/O-pennen van de PDIUSBP11A (bij lage snelheid).

11.3 Type-beschrijving PDIUS-serie



Figuur 9/11.3-41: Blokschema van de PDIUSBH12.

- 2 downstream poorten
- geschikt voor maximaal 3 ingebedde functies
- geïntegreerde SIE (Serial Interface Engine), FIFO-geheugen en transceivers
- automatische USB protocol afhandeling
- high-speed I²C Interface (max. 1 Mbit/s)
- compatibel met PDIUSBH11 hard- en software
- met software bestuurbare verbinding met USB-bus (SoftConnect)
- indicatoren voor "goede USB downstream-verbinding" knipperend in het ritme van het verkeer: "Goodlink"
- laagfrequente 12 MHz kristal-oscillator
- programmeerbare uitgangs-clockfrequentie
- "bus-powering" mogelijk
- regelbare LazyClock-uitgang op 30 kHz tijdens suspend
- enkele 3,3 V voeding met 5 V tolerante I/O
- 8 kV ESD-beveiligd
- 28-pens DIP of SO-behuizing
- fabrikant: Philips

Beschrijving van de aansluitpennen
De PDIUSBH12 heeft twee bedrijfsmodes. In de eerste mode (Mode 0) worden de pennen DNx_GL_N voor de GoodLink LED-indicatie geconfigureerd. De tweede mode (Mode 1) configureert de LED-pennen als per-poort overstroom-conditie pennen. Een overstroom-conditie op een willekeurige poort kan alleen worden geïdentificeerd in mode 1. Als gevolg van één enkele overstroom-conditie worden echter alle downstream-poorten gesperd. Naast de twee bedrijfsmodes kan de PDISBH12 ook worden geconfigureerd om te werken met een 48 MHz kristal-oscillator (voor achterwaartse compatibiliteit met de PDIUSBH11) of met een 12 MHz kristal.

11.3 Type-beschrijving PDIUS-serie

TEST2 TEST1	MODE	INPUT XTAL FREQUENCY (MHz)	OUTPUT CLOCK FREQUENCY (AT REST)
00	MODE 0 (GoodLink™)	48	12MHz
01	MODE 0 (GoodLink™)	12	4 MHz
10	MODE 1 (Individual Overcurrent)	12	4 MHz
11	MODE 1 (Individual Overcurrent	48	12 MHz

NOTE:
1. *Pin TEST3 should always be connected to Ground at all times.*

Tabel 9/11.3-44: Programmering van Mode en clock-frequentie.

PIN NO	PIN SYMBOL	TYPE	DRIVE	DESCRIPTION
1	TEST1	Input		Connect to Ground for 48MHz crystal input. Connect to V_{CC} for 12MHz crystal input.
2	TEST2	Input		Connect to Ground
3	TEST3	Input		Connect to Ground
4	RESET_N	Input	ST	Power-on reset
5	GND	Power		Ground reference
6	XTAL1	Input		Crystal connection 1 (48 or 12MHz depending on TEST1 pin)
7	XTAL2	Output		Crystal connection 2 (48 or 12MHz depending on TEST1 pin)
8	CLKOUT	Output	3mA	Programmable output clock for external devices
9	V_{CC}	Power		Voltage supply 3.3V ± 0.3V
10	OCURRENT_N	Input	ST	Over-current notice to the device. This pin is also used to sense the USB VBUS. A LOW on this pin of less than 2 seconds is interpreted as an overcurrent notice; longer than 2 seconds is interpreted as loss of VBUS.
11	SWITCH_N	Output	OD6	Enables power to downstream ports
12	SUSPEND	Output	OD6	Device is in suspended state
13	DN2_GL_N	Output	OD6	Downstream port 2 GoodLink™ LED indicator
14	DN3_GL_N	Output	OD6	Downstream port 3 GoodLink™ LED indicator
15	RSVD	Input		Reserved. Connect to GND for normal operation.
16	RSVD	Input		Reserved. Connect to GND for normal operation.
17	INT_N	Output	OD6	Connect to microcontroller interrupt
18	SDA	I/O	OD6	I^2C bi-directional data
19	SCL	I/O	OD6	I^2C bit-clock
20	GND	Power		Ground reference
21	DN3_DP	AI/O		Downstream port 3 D^+ connection
22	DN3_DM	AI/O		Downstream port 3 D^- connection
23	DN2_DP	AI/O		Downstream port 2 D^+ connection
24	DN2_DM	AI/O		Downstream port 2 D^- connection
25	AGND	Power		Analog Ground reference
26	AV_{CC}	Power		Analog voltage supply 3.3V ± 0.3V
27	UP_DP	AI/O		Upstream D^+ connection
28	UP_DM	AI/O		Upstream D^- connection

NOTES:
1. Signals ending in _N indicate active low signals.
   ST: Schmitt Trigger
   OD6: Open Drain with 6 mA drive
   AI/O: Analog I/O

Tabel 9/11.3-45: Functies van de aansluitpennen van de PDIUSBH12 in mode 0 (Good Link).

11.3 Type-beschrijving PDIUS-serie

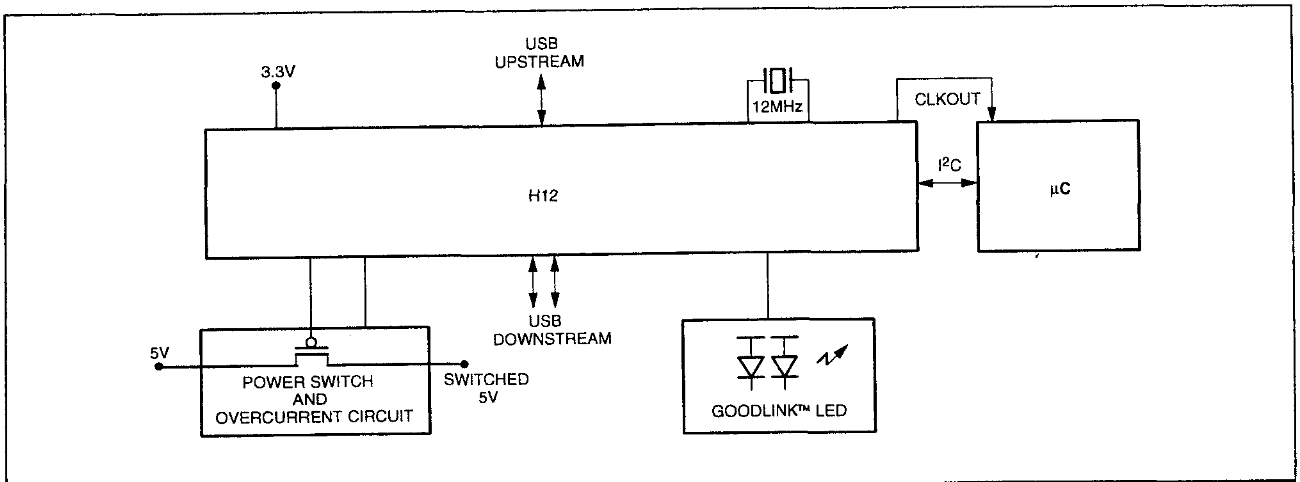
Bij selectie van de 12 MHz input XTAL-mode wordt de interne 4x clock-vermenigvuldigende PLL geaktiveerd. Ook is de uitgangsclockfrequentie dan programmeerbaar in plaats van 12 MHz vast. De uitgangsclockfrequentie is programmeerbaar met behulp van het Set Mode-commando. Ondanks deze nieuwe eigenschappen is de achterwaartse compatibiliteit met de PDIUSBH11 via de TEST1 en TEST2 pennen gegarandeerd.

PIN NO	PIN SYMBOL	TYPE	DRIVE	DESCRIPTION
1	TEST1	Input		Connect to V_{CC} for 48MHz crystal input. Connect to Ground for 12MHz crystal input.
2	TEST2	Input		Connect to V_{CC}
3	TEST3	Input		Connect to Ground
4	RESET_N	Input	ST	Power-on reset
5	GND	Power		Ground reference
6	XTAL1	Input		Crystal connection 1 (48 or 12MHz depending on TEST1 pin)
7	XTAL2	Output		Crystal connection 2 (48 or 12MHz depending on TEST1 pin)
8	CLKOUT	Output	3mA	Programmable output clock for external devices
9	V_{CC}	Power		Voltage supply 3.3V ± 0.3V
10	OCURRENT2_N	Input	ST	Downstream port 2 over-current notice. This pin is also use to sense the USB VBUS. A LOW on this pin of less than 2 seconds is interpreted as an overcurrent notice; longer than 2 seconds is interpreted as loss of VBUS.
11	SWITCH_N	Output	OD6	Enables power to downstream ports
12	SUSPEND	Output	OD6	Device is in suspended state
13	DN2_GL_N	Output	OD6	Downstream port 2 GoodLink™ LED indicator
14	OCURRENT3_N	Input	ST	Downstream port 3 over-current notice
15	RSVD	Input		Reserved. Connect to GND for normal operation.
16	RSVD	Input		Reserved. Connect to GND for normal operation.
17	INT_N	Output	OD6	Connect to microcontroller interrupt
18	SDA	I/O	OD6	I^2C bi-directional data
19	SCL	I/O	OD6	I^2C bit-clock
20	GND	Power		Ground reference
21	DN3_DP	AI/O		Downstream port 3 D^+ connection
22	DN3_DM	AI/O		Downstream port 3 D^- connection
23	DN2_DP	AI/O		Downstream port 2 D^+ connection
24	DN2_DM	AI/O		Downstream port 2 D^- connection
25	AGND	Power		Analog Ground reference
26	AV_{CC}	Power		Analog voltage supply 3.3V ± 0.3V
27	UP_DP	AI/O		Upstream D^+ connection
28	UP_DM	AI/O		Upstream D^- connection

NOTES:
1. Signals ending in _N indicate active low signals.
   ST: Schmitt Trigger
   OD6: Open Drain with 6 mA drive
   AI/O: Analog I/O

Tabel 9/11.3-46: Functies van de aansluitpennen van de PDIUSBH12 in mode 1 (Individual Overcurrent).

11.3 Type-beschrijving PDIUS-serie



Figuur 9/11.3-42: Toepassingsvoorbeeld van de PDIUSBH12.

FUNCTION	PORTS	ENDPOINT #	ENDPOINT INDEX	TRANSFER TYPE	DIRECTION	MAX PACKET SIZE (BYTES)
Hub	0: Upstream 2–3: Downstream	0	0 1	Control	OUT IN	8 8
		1	–	Interrupt	IN	1
Embedded Function 1	1	0	2 3	Control	OUT IN	8 8
		1	5 4	Generic	OUT IN	8 8
		2	6 7	Generic	OUT IN	8 8
		3	8 9	Generic	OUT IN	8 8

NOTE:
1. Hub interrupt endpoint is not indexed.
2. Generic endpoint can be used for Interrupt or Bulk endpoint.

Tabel 9/11.3-47: Single Embedded Function mode (default bij Power-Up).

FUNCTION	PORTS	ENDPOINT #	ENDPOINT INDEX	TRANSFER TYPE	DIRECTION	MAX PACKET SIZE (BYTES)
Hub	0: Upstream 2–3: Downstream	0	0 1	Control	OUT IN	8 8
		1	–	Interrupt	IN	1
Embedded Function 1	1	0	2 3	Control	OUT IN	8 8
		1	5 4	Generic	OUT IN	8 8
Embedded Function 6	6	0	10 11	Control	OUT IN	8 8
		1	6 7	Generic	OUT IN	8 8
Embedded Function 7	7	0	12 13	Control	OUT IN	8 8
		1	8 9	Generic	OUT IN	8 8

Tabel 9/11.3-48: Multiple (3) Embedded Function mode.

Werking van de PDIUSBH12

Opmerking
Voor de beschrijving van de volgende blokken wordt verwezen naar de PDIUSBH11:
- Analoge Transceivers;
- Hub Repeater;
- End of Frame Timers;
- Algemene en Individuele Port Controller;
- Bit Clock Recovery;
- Serial Interface Engine (SIE);
- Memory Management Unit (MMU) en geïntegreerde RAM (hierbij echter I^2C datatransport tot 1 Mbit/s;
- I^2C Slave Interface.

Voor de beschrijving van de volgende blokken wordt verwezen naar de PDIUSBH11A:
- PLL;
- SoftConnect;
- GoodLink.

Eindpunt-beschrijvingen
Door de PDIUSBH12 worden twee eindpunt-configuratiemodes ondersteund: de Single Embedded Function mode en de Multiple (3) Embedded Function mode. De Single Embedded Function Mode is bij power-up reset als default ingeschakeld. De Multiple (3) Embedded Function mode kan worden geconfigureerd door een nul te schrijven in bit 7 van het eerste byte van het Set-commando.

Beide modes zijn achterwaarts compatibel met de PDIUSBH11.

De I^2C-verbinding

Opmerking
Ook voor de beschrijving van de I^2C-verbinding wordt verwezen naar de PDI-USBH11:
- I^2C-interface (met Command transaction en Data transaction);
- Protocol;
- Timing.

TYPE OF ADDRESS	PHYSICAL ADDRESS (MSB to LSB)
Command	0011 011 (binary)
Data	0011 010 (binary)

Figuur 9/11.3-43: Adrestabel.

Commando-beschrijvingen

Inleiding
Er zijn vier typen commando's: initialisatie, data, hub-specifieke- en algemene commando's.

11.3 Type-beschrijving PDIUS-serie

COMMAND NAME	RECIPIENT	CODING	DATA PHASE
	Initialization Commands		
Set Address / Enable	Hub	D0h	Write 1 byte
	Embedded Function 1	D1h	Write 1 byte
	Embedded Function 6	D2h	Write 1 byte
	Embedded Function 7	D3h	Write 1 byte
Set Endpoint Enable	Hub + Embedded Functions	D8h	Write 1 byte
Set Mode	Hub + Embedded Functions	F3h	Write 2 bytes
	Data Flow Commands		
Read Interrupt Register		F4h	Read 2 bytes
Select Endpoint	Hub Control OUT	00h	Read 1 byte (optional)
	Hub Control IN	01h	Read 1 byte (optional)
	Other Endpoints	00h + Endpoint Index	Read 1 byte (optional)
Read Last Transaction Status	Hub Control OUT	40h	Read 1 byte
	Hub Control IN	41h	Read 1 byte
	Other Endpoints	40h + Endpoint Index	Read 1 byte
Read Endpoint Status	Hub Control OUT	80h	Read 1 byte
	Hub Control IN	81h	Read 1 byte
	Other Endpoints	80h + Endpoint Index	Read 1 byte
Read Buffer	Selected Endpoint	F0h	Read n bytes
Write Buffer	Selected Endpoint	F0h	Write n bytes
Set Endpoint Status	Hub Control OUT	40h	Write 1 byte
	Hub Control IN	41h	Write 1 byte
	Other Endpoints	40h + Endpoint Index	Write 1 byte
Acknowledge Setup	Selected Endpoint	F1h	None
Clear Buffer	Selected Endpoint	F2h	None
Validate Buffer	Selected Endpoint	FAh	None
	Hub Commands		
Clear Port Feature	Port 2	E0h	Write 1 byte
	Port 3	E1h	Write 1 byte
Set Port Feature	Port 2	E8h	Write 1 byte
	Port 3	E9h	Write 1 byte
Get Port Status	Port 2	E0h	Read 1 or 2 bytes
	Port 3	E1h	Read 1 or 2 bytes
Set Status Change Bits		F7h	Write 1 byte
	General Commands		
Send Resume		F6h	None
Read Current Frame Number		F5h	Read 1 or 2 bytes

Tabel 9/11.3-49: Overzicht van de commando's voor de PDIUSBH12.

Sommige commando's hebben dezelfde commando-code (bijvoorbeeld Read Buffer en Write Buffer). In deze gevallen bepaalt de richting van de data-fase (lezen of schrijven) welk commando wordt uitgevoerd.

Initialisatie-commando's

Set Address/Enable

Dit commando wordt gebruikt om het aangewezen USB-adres in te stellen en de functie vrij te geven (zie figuur 9/11.3-4).

Set Endpoint Enable

De interrupt eindpunten kunnen alleen worden vrijgegeven als de functie via het Set Address/Enable-commando is vrijgegeven (zie figuur 9/11.3-33).

Set Mode

Het Set Mode-commando wordt gevolgd door twee data-writes. Het eerste byte bevat de configuratie-byte waarden (zie figuur 9/11.3-34).
Het tweede byte is de clock-deelfactor byte (zie figuur 9/11.3-35).

11.3 Type-beschrijving PDIUS-serie

Data Flow-commando's

Data Flow-commando's worden gebruikt om het datatransport tussen de USB-eindpunten en de monitor te beheren. Vaak wordt de data-overdracht via een interrupt naar de microcontroller geïnitieerd.
De microcontroller gebruikt deze commando's om toegang te krijgen tot de eindpunt-FIFO's en om te bepalen of deze geldige data hebben.

Read Interrupt Register

Dit commando geeft aan waar een interrupt vandaan komt (er worden 2 bytes gelezen). Een "1" signaleert dat op dit eindpunt een interrupt optrad.
De bits worden gecleared door het uitlezen van het eindpunt-statusregister door middel van het Read Endpoint Status Command. Zie de figuren 9/11.3-36 en 37: respectievelijk Interrupt Register Byte 1 en Interrupt Register Byte 2.
Na het resetten van de bus wordt een interrupt gegenereerd en bit 6 van Interrupt Register Byte 2 wordt "1". In de PDIUSBH11 wordt de bus-reset aangegeven doordat in geen enkel bit van het Interrupt-register een "1" aanwezig is. Merk op dat de achterwaartse compatibiliteit nog steeds geldig is, omdat in de PDIUSBH11 de Interrupt Register Byte 2 niet bestaat.
De interrupt wordt intern gecleared door uitlezen van het interrupt register. Een bus reset is identiek aan de hardware reset via de RESET_N-pen (er is alleen verschil in interrupt-melding). Het hub-interrupt eindpunt wordt inwendig door de PDIUSBH12 hardware behandeld zonder dat de microcontroller daarvoor in aktie hoeft te komen.

Select Endpoint

Het Select Endpoint commando initialiseert een interne pointer naar het begin van de geselecteerde buffer.
Het is mogelijk dit commando te laten volgen door een data read die "0" teruggeeft als de buffer leeg is en "1" als de buffer vol is (zie figuur 9/11.3-10).

Read Last Transaction Status

Het Read Last Transaction Status commando wordt gevolgd door éénmaal data-uitlezen die de status van de laatste transactie van het eindpunt weergeeft. Dit commando reset ook de overeenkomstige interrupt-vlag in het interrupt-register en cleart de status (waardoor wordt aangegeven dat deze werd uitgelezen). Dit commando is nuttig voor debug-doeleinden. Aangezien elke handeling wordt bijgehouden wordt de status-informatie bij elke nieuwe transactie overschreven (zie figuur 9/11.3-11 en de fout-codes tabel 9/11.3-15).

Read Endpoint Status

Om de status van een eindpunt te bepalen wordt 1 byte uitgelezen (zie figuur 9/11.3-22).

Read Buffer

Het Read Buffer-commando wordt gevolgd door een aantal data-uitlezingen (maximaal 10 bytes), waardoor telkens de inhoud van het geselecteerde eindpunt-databuffer wordt meegenomen. Na elke uitlezing wordt de interne buffer-pointer met 1 verhoogd.
De buffer-pointer wordt door dit commando niet gereset, zodat het lezen of schrijven van een buffer door een willekeurig commando mag worden onderbroken (behalve Select Endpoint). Ook kunnen meer dan één I^2C-transacties plaatsvinden (lees de eerste 2 bytes om het aantal data-bytes te bepalen en lees daarna de rest uit met andere transacties).
De data in de buffer is als volgt georganiseerd:
- Byte 0:
  Gereserveerd (mag elke waarde hebben).
- Byte 1:
  Aantal/lengte van de data-bytes.
- Byte 2:
  Data-byte 1.
- Byte 3:
  Data-byte 2.

11.3 Type-beschrijving PDIUS-serie

Write Buffer
Het Write Buffer-commando wordt ook gevolgd door meerdere data-schrijfhandelingen (maximaal 10 bytes) naar de eindpunten-buffer. De data moet op dezelfde manier zijn georganiseerd als hiervoor beschreven bij het Read Buffer-commando. Het eerste byte (gereserveerd) moet altijd "0" zijn. Net als bij het Read Buffer-commando mag de data worden verdeeld over verschillende I²C data-transacties.

WAARSCHUWING
Er zijn geen beveiligingen tegen het overschrijden van de grenzen van een buffer bij schrijven of lezen of tegen het schrijven in een OUT-buffer of lezen van een IN-buffer.

Clear Buffer
Wanneer een pakket compleet is ontvangen wordt een interne eindpunt buffer-vlag gezet. Alle daarop volgende pakketten worden geweigerd en geven een NAK (Negative Acknowledge) af. Als de microcontroller de data heeft gelezen moet hij de buffer vrijmaken door middel van het Clear Buffer-commando, waarna nieuwe pakketten weer worden geaccepteerd.

Validate Buffer
Als de microcontroller data naar een IN-buffer heeft geschreven moet hij door middel van het Validate Buffer commando de buffer-full vlag zetten. Dit geeft aan dat de data in de buffer geldig is en naar de host kan worden gezonden als de volgende IN-token wordt ontvangen.

Set Endpoint Status
Een vastgelopen besturings-eindpunt wordt automatisch vrijgemaakt als het een SETUP-token ontvangt (onafhankelijk van de inhoud van het pakket). Als een vastgelopen eindpunt wordt vrijgemaakt (door een Set Endpoint Status-commando of door ontvangst van een SETUP-token) wordt dit ook opnieuw geïnitialiseerd. Hierdoor wordt de buffer leeg gemaakt en - als het een OUT-buffer was - wacht het op een DATA O PID; als het een IN-buffer was, schrijft het een DATA O PID. Zelfs bij een niet-vastgelopen eindpunt initialiseert het schrijven van een "0" naar de Set Endpoint Status het eindpunt (zie figuur 9/11.3-13).

Acknowledge Setup
Het binnenkomen van een SETUP pakket maakt het IN-buffer leeg en spert de Validate Buffer- en Clear Buffer-commando's voor zowel de IN als OUT eindpunten. De microcontroller moet deze commando's opnieuw vrijgeven door middel van het Acknowledge Setup commando. Dit garandeert dat het laatste SETUP pakket in de buffer blijft en dat geen enkel pakket wordt teruggestuurd naar de host totdat de microcontroller expliciet heeft bevestigd dat hij het SETUP pakket heeft gezien.
De microcontroller moet het Acknowledge Setup-commando naar de IN en OUT eindpunten sturen.

Hub commando's
Hub-commando's worden gebruikt om de status van de verbinding en de voeding tussen hub en host te rapporteren. Deze commando's stellen de host in staat om elke poort apart vrij te geven en alle statusveranderingen op te nemen.

Clear/Set Port Feature
Als de controller een verzoek om Set Feature of een Clear Feature ontvangt, zijn er twee mogelijkheden:
- Het verzoek heeft betrekking op poort 1 (de ingebedde poort). In dit geval moet het verzoek intern door de controller worden behandeld.
- Als het verzoek betrekking heeft op de poorten 2 en 3 moet de controller het verzoek vertalen in een Set Feature- of een Clear Feature commando naar de PDIUSBH12.

Als de PDIUSBH12 in mode 0 is geconfigureerd, is er slechts één geschakelde voe-

dings-uitgang en één overstroom-ingang. Dit betekent dat de F_PORT_POWER en C_PORT_OVERCURRENT eigenschappen niet poort-specifiek zijn. Voor deze eigenschappen kan een willekeurig Set/Clear Feature commando worden gebruikt. De specifieke poortopdracht wordt dan genegeerd.
Als de PDIUSBH12 in mode 1 is geconfigureerd, is er nog steeds slechts één geschakelde voedings-uitgang, maar er zijn vier individuele overstroom-ingangen. Dit betekent dat de F_PORT_POWER eigenschap poort-specifiek is en de C_PORT_OVERCURRENT eigenschap niet poort-specifiek.
Door het zetten van de F_PORT_POWER eigenschap wordt de voeding ingeschakeld (als die uit stond) en wordt de overstroom-detectie alleen ingeschakeld als de voeding al aanstaat. Hierdoor is het mogelijk dat er gedurende korte tijd een overstroom-situatie is. Om deze reden moet de F_PORT_POWER eigenschap tweemaal worden gezet. Door dit te clearen worden zowel de voeding als de overstroom-detectie uitgeschakeld. De data die in de data-fase wordt geschreven bepaalt de eigenschap die in tabel 9/11.3-16 te zien is.

Get Port Status

Met dit commando wordt de poort-status opgehaald. Het kan worden gevolgd door één of twee data-uitlezingen.
De eerst opgehaalde byte bevat de poort-status (figuur 9/11.3-23); de twee byte is de poort status-change byte (figuur 9/11.3-24) waarmee de status-verandering bekend wordt.

Set Status Change Bits

Om het status-change register van de hub te kunnen assembleren heeft de schakeling wat extra informatie van de controller nodig, namelijk het Local Power Status Change-bit en het Embedded Function Status Change-bit. Deze worden geleverd door het Set Status Change Bits-commando. Dit commando wordt altijd gevolgd door één data write die het lokale status-veranderingsbit op de LSB heeft en het ingebedde status-veranderings-bit op positie 1. Alle overige bits moeten 0 zijn (zie ook figuur 9/11.3-38).

Algemene commando's

Send Resume

Dit commando stuurt gedurende 10 ms een upstream resume-signaal uit. Meestal wordt het gebruikt als de schakeling zich in suspend bevindt. Het RESUME-commando wordt niet gevolgd door lezen of schrijven van data. De PDIUSBH12 stuurt automatisch een RESUME uit als er downstream iets gebeurt.

Read Current Frame Number

Dit commando wordt gevolgd door één of twee uitlezingen van data en geeft dan informatie over het frame-nummer van het laatst succesvol ontvangen SOF (met de Least Significant Byte eerst). Zie figuur 9/11.3-26.

Ingebedde functie

De USB host ziet geen verschil tussen de ingebedde functie en een functie die op één van de downstream poorten wordt aangeboden. Sommige poort-commando's die door de host worden verstuurd, moeten speciaal door de ingebedde functie worden behandeld om er normaal uit te zien. De microcontroller bewaart een reeks status- en status-veranderings-bits voor de ingebedde functie, zoals die beschreven worden in het Get Port Status-commando gedeelte. Uit deze bits wordt het Status Change bit voor de ingebedde functie verkregen (dat wil zeggen: de poort-specifieke status-veranderings bits). Dit Status Change bit wordt vervolgens aan de PDIUSBH12 toegevoerd door het Set Status Change Bits-commando.

Host Requests

- SetFeature PORT_RESET:
  Her-initialiseer de ingebedde functie en zet het Reset Change-bit om aan te geven dat het resetten klaar is. Reset het Enable

Status-bit, maak de ingebedde functie vrij en zet het adres hiervan op 0 met het Set Embedded Function Address/Enable-commando. Sper het Embedded Function Interrupt-eindpunt met het Set Endpoint Enable-commando.

- SetFeature PORT_ENABLE:
  Geef de functie vrij door het Set Embedded Function Address/Enable-commando. Zet het Enable Status-bit.
- SetFeature PORT_SUSPEND:
  Sper de functie door het Set Embedded Function Address/Enable-commando. Reset het Enable Status-bit en zet het Suspend Status-bit.
- ClearFeature PORT_ENABLE:
  Sper de functie door het Set Embedded Function Address/Enable-commando. Reset het Enable Status-bit.
- ClearFeature PORT_SUSPEND:
  Geef de functie vrij door het Set Embedded Function Address/Enable-commando. Zet het Enable Status-bit en reset het Suspend Status-bit; zet het Resume Status Change-bit om aan te geven dat het resumeren klaar is.
- ClearFeature any Change Indicator:
  Clear het overeenkomstige Status Change-bit.

Babbling Conditie
Als de ingebedde functie een babbling conditie (soort overspraak) veroorzaakt, wordt de functie automatisch door de PDIUSBH12 gesperd. Zodra de microcontroller de babbling-fout ontdekt moet hij het Enable Status Change-bit zetten en het Enable Status-bit resetten.

Remote WakeUp
Er zijn drie scenario's waardoor een remote wakeup kan optreden:

- De schakeling is niet uitgesteld en de ingebedde poort is uitgesteld:
  Geef de functie weer vrij door het Enable-bit in het Set Address/Enable-register te zetten en de volgende statusbits in het microcontroller-programma bij te werken: reset het Suspend Status-bit, zet het Enable Status-bit en zet het Suspend Status Change-bit.
- De schakeling en de ingebedde poort zijn uitgesteld:
  Zend een upstream Resume door middel van het Send Resume-commando, geef de functie weer vrij door het Enable-bit in het Set Address/Enable-register te zetten en werk de volgende statusbits in het microcontroller-programma bij: reset het Suspend Status-bit, zet het Enable Status-bit en zet het Suspend Status Change-bit.
- De schakeling is uitgesteld en de ingebedde poort is vrijgegeven:
  Zend een upstream Resume door middel van het Send Resume-commando.

Elektrische- en timing eigenschappen

Tenslotte zijn in de tabellen 9/11.3-17 tot en met -23 en de figuren 9/11.3-27 tot en met -30 de elektrische- en timing kenmerken van de PDIUSBH11 te zien.

11.3 Type-beschrijving PDIUS-serie

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
V_{CC}	DC supply voltage		–0.5	+4.6	V
I_{IK}	DC input diode current	$V_I < 0$		–50	mA
V_I	DC input voltage	Note 2	–0.5	+5.5	V
$V_{I/O}$	DC input voltage range for I/O's		–0.5	V_{CC} + 0.5	V
I_{OK}	DC output diode current	$V_O > V_{CC}$ or $V_O < 0$		±50	mA
V_O	DC output voltage	Note 2	–0.5	V_{CC} + 0.5	V
I_O	DC output sink or source current for other pins	V_O = 0 to V_{CC}		±15	mA
I_O	DC output sink or source current for D+/D– pins	V_O = 0 to V_{CC}		±50	mA
I_{GND}, I_{CC}	DC V_{CC} or GND current			±100	mA
T_{STG}	Storage temperature range		–60	+150	°C
P_{TOT}	Power dissipation per package				

Tabel 9/11.3-50: Maximaal toegelaten waarden van de PDIUSBH12.

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
	Input Levels:					
V_{IL}	LOW level input voltage				0.6	V
VIH	HIGH level input voltage		2.7			V
V_{TLH}	LOW to HIGH threshold voltage	ST (Schmitt Trigger) pins	1.4		1.9	V
V_{THL}	HIGH to LOW threshold voltage	ST pins	0.9		1.5	V
V_{HYS}	Hysteresis voltage	ST pins	0.4		0.7	V
	Output Levels:					
V_{OL}	LOW level output voltage	I_{OL} = rated drive I_{OL} = 20 µA			0.4 0.1	V
V_{OH}	HIGH level output voltage	I_{OH} = rated drive I_{OH} = 20 µA	2.4 V_{CC} – 0.1			V
	Leakage Current:					
I_{OZ}	OFF state current	OD (Open Drain) pins			±1	µA
I_L	Input leakage current				±1	µA

Tabel 9/11.3-51: Gelijkspanningskenmerken voor de digitale pennen van de PDIUSBH12.

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
	Leakage Current:				
I_{LO}	Hi-Z state data line leakage	0V < V_{IN} < 3.3V		±10	µA
	Input Levels:				
V_{DI}	Differential input sensitivity	|(D+) – (D–)|[1]	0.2		V
V_{CM}	Differential common mode range	Includes V_{DI} range	0.8	2.5	V
V_{SE}	Single-ended receiver threshold		0.8	2.0	V
	Output Levels:				
V_{OL}	Static output LOW	R_L of 1.5kΩ to 3.6V		0.3	V
V_{OH}	Static output HIGH	R_L of 15kΩ to GND	2.8	3.6	V
	Capacitance:				
C_{IN}	Transceiver capacitance	Pin to GND		20	pF
	Output Resistance:				
Z_{DRV}[2]	Driver output resistance	Steady state drive	28	43	Ω
	Integrated Resistance:				
Z_{PU}	Pull-up resistance	SoftConnect™ = ON	1.1	1.9	kΩ
Z_{PD}	Pull-down resistance	Pull-down = ON	11	19	kΩ

NOTES:
1. D+ is the symbol for the USB positive data pin: UP_DP, DN2_DP, DN3_DP.
   D– is the symbol for the USB negative data pin: UP_DM, DN2_DM, DN3_DM.
2. Includes external resistors of 22 Ω ± 1% each on D+ and D–.

Tabel 9/11.3-52: Gelijkspanningskenmerken voor de AI/O-pennen van de PDIUSBH12.

11.3 Type-beschrijving PDIUS-serie

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
	Driver characteristics:	C_L = 50pF; R_{pu} = 1.5kΩ on D+ to V_{CC}			
 T_r T_f	Transition Time: Rise time Fall time	Between 10% and 90%	 4 4	 20 20	ns
T_{RFM}	Rise/fall time matching	(T_r/T_f)	90	110	%
V_{CRS}	Output signal crossover voltage		1.3	2.0	V
	Driver Timings:				
T_{EOPT}	Source EOP width	Figure 1	160	175	ns
T_{DEOP}	Differential data to EOP transition skew	Figure 1	–2	5	ns
	Receiver Timings:				
 T_{JR1} T_{JR2}	Receiver Data Jitter Tolerance To next transition For paired transitions	Characterized and not tested. Guaranteed by design.	 –18.5 –9	 18.5 9	ns
 T_{EOPR1} T_{EOPR2}	EOP Width at Receiver Must reject as EOP Must accept	Figure 1	 40 82		ns
	Hub Timings:	Full Speed downstream port.			
T_{HDD}	Hub Differential Data Delay	Figure 2		40	ns
T_{SOP}	Data bit width distortion after SOP	Figure 2	–5	3	ns
T_{EOPDR}	Hub EOP Delay Relative to T_{HDD}	Figure 3	0	15	ns
T_{HESK}	Hub EOP Output Width Skew	Figure 3	–15	+15	ns

Tabel 9/11.3-53: Schakeltijden op de AI/O-pennen van de PDIUSBH12 (op volle snelheid, zie ook figuur 9/11.3-27, -28 en -29).

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
	Driver characteristics:	C_L = 50pF and 350pF; R_{pu} = 1.5kΩ on D– to V_{CC}			
 T_{lr} T_{lf}	Transition Time: Rise time Fall time	Between 10% and 90% C_L = 50pF C_L = 350pF C_L = 50pF C_L = 350pF	 75 75	 300 300	ns
T_{RFM}	Rise/fall time matching	(T_r/T_f)	80	120	%
V_{LCRS}	Output signal crossover voltage		1.3	2.0	V
	Driver Timings:				
T_{LEOPT}	Source EOP width	Figure 1	1.25	1.50	µs
T_{LDEOP}	Differential data to EOP transition skew	Figure 1	–40	100	ns
	Receiver Timings:				
 T_{LEOPR1} T_{LEOPR2}	EOP Width at Receiver Must reject as EOP Must accept	Figure 1	 330 675		ns
	Hub Timings:	Low Speed downstream port.			
T_{LHDD}	Hub Differential Data Delay	Figure 2		300	ns
T_{LSOP}	Data bit width distortion after SOP	Figure 2	–65	45	ns
T_{LEOPDR}	Hub EOP Delay Relative to T_{HDD}	Figure 3	0	200	ns
T_{LHESK}	Hub EOP Output Width Skew	Figure 3	–300	+300	ns

Tabel 9/11.3-54: Schakeltijden op de AI/O-pennen van de PDIUSBH12 (bij lage snelheid, zie ook figuur 9/11.3-27, -28 en -29).

11.3 Type-beschrijving PDIUS-serie

All timing values are valid within the operating supply voltage and ambient temperature range and reference to V_{IL} and V_{IH} with an input voltage swing of V_{SS} and V_{DD}.

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	MAX	UNIT
F_{SCL}	S_{CL} clock frequency			1000	kHz
T_{BUF}	Bus free time		0.5		µs
$T_{SU;STA}$	Start condition set-up time		0.25		µs
$T_{HD;STA}$	Start condition hold time		0.25		µs
T_{LOW}	S_{CL} LOW time		0.45		µs
T_{HIGH}	S_{CL} HIGH time		0.45		µs
T_r	S_{CL} and S_{DA} rise time			0.3	µs
T_f	S_{CL} and S_{DA} fall time			0.1	µs
$T_{SU;DAT}$	Data set-up time		100		ns
$T_{HD;DAT}$	Data hold time		0		ns
$T_{VD;DAT}$	S_{CL} LOW to data out valid			0.4	µs
$T_{SU;STO}$	Stop condition set-up time		0.25		µs

Tabel 9/11.3-55: Schakeltijden op de I^2C-pennen van de PDIUSBH12 (zie ook figuur 9/11.3-30).